

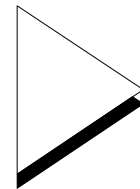
SIEMENS

SIMATIC S5

Programmiergerät PG 730

Systemhandbuch

6EA9200-0AA20-0AA0
Ausgabe 01



Copyright

Copyright © Siemens AG 1992 All Rights Reserved

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts ist nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwiderhandlungen verpflichten zu Schadensersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.

Haftungsausschluß

Wir haben den Inhalt der Druckschrift auf Übereinstimmung mit der beschriebenen Hard- und Software geprüft. Dennoch können Abweichungen nicht ausgeschlossen werden, so daß wir für die vollständige Übereinstimmung keine Gewähr übernehmen. Die Angaben in dieser Druckschrift werden jedoch regelmäßig überprüft und notwendige Korrekturen sind in den nachfolgenden Auflagen enthalten. Für Verbesserungsvorschläge sind wir dankbar.

Technische Änderungen bleiben vorbehalten.

SIEMENS

SIMATIC S5

Programmiergerät PG 730

Systemhandbuch

C79000-B8500-C073
Ausgabe 01

Systemhandbuch	Inhaltsübersicht	
Inhaltsverzeichnis		I
Aufbau		1
Grundplatine		2
Netzteil		3
Speicher- und Peripherieadressen		4
Arithmetikprozessor 80387SX		5
Leerkapitel		6
ROM-BIOS		7
DMA-Steuerung		8
Konfiguration der ASIC		9
Interrupt-Behandlung		10
Tonerzeugung		11
Identifikation PG 730		12
Schnittstellen		13
Parallele Schnittstelle		14
Serielle Schnittstelle COM 1/TTY-V.24/Linienstrom		15
Serielle Schnittstelle COM 2 (Maus)		16
Tastaturschnittstelle		17
Schnittstelle für Erweiterungsperipherie		18
ARCNET-Interface		19
Diskettenlaufwerk		20
Festplattenlaufwerk		21
Steckerbelegungen		22
Farbgraphik PG 730		23
Disketten-und Festplattensteuerung		24
Programmierschaltung		25
Display und Inverter		26
Tastatur		27
Stichwortverzeichnis		A

Wir haben den Inhalt der Druckschrift auf die Übereinstimmung mit der beschriebenen Hard- und Software geprüft. Dennoch können Abweichungen nicht ausgeschlossen werden, so daß wir für die vollständige Übereinstimmung keine Gewähr übernehmen. Die Angaben in dieser Druckschrift werden jedoch regelmäßig überprüft und notwendige Korrekturen sind in den nachfolgenden Auflagen enthalten. Für Verbesserungsvorschläge sind wir dankbar.

Technische Änderungen vorbehalten

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts ist nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.

Copyright © Siemens AG 1992 Alle Rechte vorbehalten

Siemens Aktiengesellschaft

C79000-B8500-C073-01
EWK Elektronikwerk Karlsruhe
Printed in the Federal Republic of Germany

Inhaltsverzeichnis

1	Aufbau	1 - 1
1.1	Grundgerät	1 - 1
1.2	Speicherausbau	1 - 2
1.3	Externe Geräte	1 - 2
1.4	Öffnen und Schließen des Grundgeräts	1 - 5
1.5	Umgebungsbedingungen	1 - 5
2	Grundplatine	2 - 1
2.1	Mikroprozessor	2 - 7
2.2	Arithmetikprozessor (Coprozessor)	2 - 9
2.3	Speicher	2 - 10
2.3.1	Lesespeicher (ROM)	2 - 10
2.3.2	Schreib-Lese-Speicher (RAM)	2 - 12
2.3.3	Refresh	2 - 12
2.3.4	Arbeitsweise der Paritätsprüfung	2 - 13
2.4	Systemuhr	2 - 14
2.4.1	Dienstprogramme zur Echtzeituhr	2 - 14
2.4.2	Uhrenbaustein	2 - 14
2.4.3	Register des Uhrenbausteins	2 - 18
2.4.4	CMOS-RAM-Konfigurationsregister	2 - 21
2.4.5	CMOS-RAM erweiterte Konfiguration	2 - 26
2.4.6	Besonderheiten bei der I/O-Programmierung	2 - 30
2.4.7	Beispielprogramm	2 - 31
2.5	Schnittstellen auf der Grundplatine	2 - 37
3	Netzteil	3 - 1
3.1	Technische Daten	3 - 1
3.2	Verhalten bei Netzausfall	3 - 2
3.3	Strombedarf der Komponenten	3 - 4
3.4	Steckerbelegungen	3 - 5
4	Speicher- und Peripherieadressen	4 - 1
4.1	Controlports B,C,D:	4 - 4

5	Arithmetikprozessor 80387SX	5 - 1
5.1	Arbeitsweise	5 - 1
5.1.1	Datentypen	5 - 1
5.1.2	Register	5 - 2
5.1.3	Befehle	5 - 2
5.1.4	Software-Emulator	5 - 3
5.2	Aufbau des Arithmetikprozessors	5 - 4
5.2.1	Hardware-Schnittstelle	5 - 4
5.2.2	Architektur des Prozessors	5 - 6
6	Leerkapitel	6 - 1
7	ROM-BIOS	7 - 1
7.1	Einführung	7 - 1
7.2	ROM-BIOS-Interrupt Übersicht	7 - 3
7.3	Akustische Meldungen	7 - 32
7.4	Programmteil SETUP	7 - 35
8	DMA-Steuerung	8 - 1
8.1	DMA-Controller	8 - 1
8.2	Priorität	8 - 1
8.3	Kanalzuweisung	8 - 1
8.4	Verfügbarkeit für E/A-Komponenten	8 - 2
8.5	Funktionsweise	8 - 2
8.5.1	DMA 1-Kanäle/ Byte	8 - 2
8.5.2	DMA 2-Kanäle/ Wort	8 - 2
8.5.3	I/O-Adressen der DMA-Steuerung	8 - 3
8.6	Seitenregister	8 - 4
9	Konfiguration der ASIC	9 - 1
9.1	Übersicht	9 - 1
9.2	Standard-BIOS-Konfiguration	9 - 4
10	Interrupt-Behandlung	10 - 1
10.1	INTR-Signal	10 - 1
10.1.1	Priorität	10 - 2
10.1.2	Interrupt-Maskenregister	10 - 3
10.1.3	Interrupt-Vektor	10 - 3

10.2	NMI-Signal	10 - 5
10.3	Zusammenfassung der Hardware-Interrupts	10 - 8
11	Tonerzeugung	11 - 1
12	Identifikation PG 730	12 - 1
12.1	Port C	12 - 3
12.2	Ident-Code	12 - 4
12.3	Funktionsweise, Anschaltungsteil	12 - 6
12.4	Programmbeispiel	12 - 9
13	Schnittstellen	13 - 1
13.1	Allgemeines	13 - 1
13.2	Beschreibung des COMBO I/O-Chip 82C106	13 - 2
13.2.1	Initialisierung der einzelnen Funktionsblöcke	13 - 3
14	Parallele Schnittstelle	14 - 1
14.1	Allgemeine Hinweise	14 - 1
14.2	Adressen der E/A-Kanäle	14 - 2
14.3	Druckerschnittstelle LPT 1	14 - 2
14.3.1	Parallele Schnittstelle auf der Grundplatine	14 - 2
14.3.2	Zuordnung der Schnittstellensignale	14 - 3
14.3.3	Bedeutung der Schnittstellensignale	14 - 3
14.3.4	Zuordnung der Schnittstellensignale zu den E/A-Kanälen	14 - 5
14.3.5	Zeitdiagramm der wichtigsten Signale	14 - 8
14.3.6	Ansprechen der Schnittstellen durch das Betriebssystem	14 - 9
14.3.7	Beispielprogramm	14 - 10
15	Serielle Schnittstelle COM 1/TTY-V.24/Linienstrom	15 - 1
15.1	Serielle Datenübertragung	15 - 3
15.2	Adreßvergabe und Interrupt	15 - 4
15.3	Interrupt	15 - 5
15.4	Register der seriellen Schnittstelle COM 1 im Schnittstellen-Controller (82C106)	15 - 5

15.4.1	Übertragungssteuerregister	15 - 6
15.4.2	Register zum Programmieren des Baudraten-Generators	15 - 7
15.4.3	Übertragungsstatusregister	15 - 9
15.4.4	Register zur Interrupt-Freigabe	15 - 11
15.4.5	Register zum Erkennen der Interrupt-Ursache (Interrupt-Statusregister)	15 - 12
15.4.6	Modem-Steuerregister	15 - 14
15.4.7	Modem-Statusregister	15 - 15
15.4.8	Empfangspuffer	15 - 17
15.4.9	Sendepuffer	15 - 17
15.4.10	Scratchpad-Register	15 - 17
15.4.11	Rücksetzbedingungen	15 - 18
15.4.12	Übersicht der Registerfunktionen	15 - 19
15.5	Steckerbelegung der seriellen Schnittstelle	15 - 20
15.6	Linienstrombetrieb an der COM 1/TTY-Schnittstelle	15 - 21
15.7	Druckerausgaben über die seriellen Schnittstellen durch das Betriebssystem	15 - 22
15.7.1	Steckleitung	15 - 23
15.8	Programmbeispiel	15 - 24
16	Serielle Schnittstelle COM 2 (Maus)	16 - 1
16.1	Allgemeines	16 - 1
16.2	Adreßvergabe und Interrupt	16 - 2
16.2.1	Adreßplan der seriellen Schnittstelle COM 2	16 - 2
16.2.2	Interrupt	16 - 3
16.2.3	Register der seriellen Schnittstelle COM 2	16 - 4
16.3	Steckerbelegung der COM 2-Schnittstelle (Maus)	16 - 5
17	Tastaturschnittstelle	17 - 1
17.1	Allgemeines	17 - 1
17.2	Datenempfang von der Tastatur	17 - 2
17.2.1	Abfrage-Code	17 - 2
17.2.2	Tastatur-Code	17 - 3
17.2.3	Datensenden zur Tastatur	17 - 8
17.2.4	Kommandos von der Tastatur	17 - 8
17.2.5	Kommandos an die Tastatur	17 - 10
17.3	System-Tastaturschnittstelle	17 - 14

17.4	I/O-Adressen der System-Tastaturschnittstelle	17 - 14
17.5	Register	17 - 15
17.5.1	Eingabepuffer	17 - 15
17.5.2	Ausgabepuffer	17 - 15
17.5.3	Statusregister der Tastaturschnittstelle	17 - 16
17.5.4	Kommandoregister der Tastaturschnittstelle	17 - 17
17.6	I/O-Ports des System-Tastatur-Controllers	17 - 21
17.6.1	Belegung des Input-Ports	17 - 21
17.6.2	Belegung des Output-Port 2	17 - 21
18	Schnittstelle für Erweiterungsperipherie	18 - 1
18.1	Allgemeines	18 - 1
18.2	Steckerbelegung	18 - 2
18.3	Besonderheiten der Signalbelegung	18 - 5
18.4	Beschreibung der Bussignale	18 - 6
19	ARCNET-Interface	19 - 1
19.1	Blockschaltbild	19 - 2
19.2	Adreßbereiche der ARCNET-Schnittstelle	19 - 3
19.3	Initialisierung	19 - 5
19.3.1	Wählen des Adreßbereichs	19 - 6
19.3.2	Programmieren der Knotennummer und den Controller rücksetzen und freigeben	19 - 6
19.3.3	Controller konfigurieren	19 - 7
19.4	Die Controller-Register	19 - 8
19.4.1	COM9026 Register	19 - 9
19.4.2	Weitere Funktionsregister	19 - 10
19.4.3	Übertragungspuffer-Zugriffsregister	19 - 13
19.5	Übertragungspuffer	19 - 14
20	Diskettenlaufwerk	20 - 1
20.1	Technische Daten	20 - 1
20.1.1	Stromversorgung	20 - 1
20.1.2	Funktionelle Daten des 3,5"-Laufwerks	20 - 2
20.2	Anschlußbelegungen	20 - 4
20.3	Stromversorgungsanschluß	20 - 7
20.4	Brücken beim 3,5"-Laufwerk	20 - 8

21	Festplattenlaufwerk	21 - 1
21.1	Stromversorgung	21 - 1
21.2	Funktionelle Daten	21 - 2
21.3	Anschlußbelegung des AT-Bus-Interface-Steckers	21 - 3
21.4	Stromversorgungsanschluß	21 - 4
21.5	Brücken	21 - 4
21.5.1	Brückenbelegung am 40 Mbyte-Laufwerk	21 - 5
21.5.2	Einstellungen am 100 Mbyte-Laufwerk	21 - 6
22	Steckerbelegungen	22 - 1
22.1	Grundplatine	22 - 1
22.1.1	Steckerbelegung der seriellen Schnittstelle	22 - 1
22.1.2	Steckerbelegung der COM 2-Schnittstelle (Maus)	22 - 2
22.1.3	Steckerbelegung der LPT 1-Schnittstelle	22 - 3
22.1.4	AT-Busfestplatten-Interface X4	22 - 4
22.1.5	Floppydisk-Schnittstelle X5	22 - 5
22.1.6	Stromversorgung für Floppydisk-Laufwerk X6	22 - 5
22.1.7	Busstecker auf der Grund- und Busplatine	22 - 6
22.1.8	Speichererweiterung X8 und X9	22 - 8
22.1.9	Monitorstecker X12	22 - 9
22.1.10	S/W-LCD-Schnittstelle X13	22 - 9
22.1.11	Steckerbelegung SIMATIC-Modulschnittstelle X15	22 - 10
22.1.12	Lautsprecheranschluß X16	22 - 11
22.1.13	Tastaturanschluß X17	22 - 11
22.1.14	Batterieanschluß X18 und X26	22 - 11
22.1.15	Schlüsselschalteranschluß X19	22 - 12
22.1.16	Stromversorgungsanschluß X20	22 - 12
22.1.17	Steckerbelegung Farb-LCD-Schnittstelle X21	22 - 13
22.1.18	Versorgungsanschluß für LCD und Modulprogrammierung X22	22 - 13
22.1.19	Erweiterungsanschluß der HIGRAPH X23	22 - 14
22.2	Netzteil	22 - 15
22.2.1	Peripheriestecker X1	22 - 15
22.2.2	Grundplatine X5	22 - 16
22.3	Tastaturstecker zum Grundboard	22 - 17

22.4	Laufwerke	22 - 18
22.4.1	Anschlußbelegung des Diskettenlaufwerks	22 - 18
22.4.2	Anschlußbelegungen des Festplattenlaufwerks	22 - 19
22.4.3	Stromversorgungsanschluß der Laufwerke	22 - 20
22.5	Steckerbelegung des S/W-LCD-Inverters	22 - 21
22.6	Steckerbelegungen des Farb-LCD-Inverters	22 - 24
22.7	Steckerbelegung S/W-LCD-Anzeige	22 - 26
22.8	Steckerbelegungen Farb-LCD-Anzeige	22 - 27
23	Farbgraphik PG 730	23 - 1
23.1	Allgemeines	23 - 1
23.2	Funktionseinheiten der Graphik	23 - 3
23.3	Adreßraumbelegung und verwendete Interrupts der PG 730-Graphik	23 - 5
23.3.1	Vorzugseinstellungen	23 - 5
23.4	HIGRAPH-Graphikbeschreibung	23 - 6
23.4.1	Graphikprozessor	23 - 6
23.4.2	GSP-Registersatz	23 - 7
23.4.3	Interface zum Systembus	23 - 19
23.4.4	Lokaler Bus	23 - 20
23.4.5	Peripherie der HIGRAPH-Graphik	23 - 21
23.4.6	Color-Lookup-Table	23 - 22
23.4.7	VRAM	23 - 26
23.4.8	Lokales RAM	23 - 27
23.5	EPROM	23 - 27
23.6	Schnittstellen/Steckerbelegung	23 - 27
23.7	Display-Schnittstellen	23 - 29
23.8	Initialisierung des GSP-Teils (Beispiel)	23 - 33
23.9	VGA-Graphik	23 - 42
23.9.1	Beschreibung der VGA-Funktionsblöcke	23 - 43
23.9.2	Funktionsblöcke der Bildschirmsteuerung	23 - 43
23.9.3	Betriebsarten der VGA-Graphik	23 - 51
23.9.4	Textmodus	23 - 52
23.9.5	Graphikmodus	23 - 54
23.9.6	Registerübersicht der VGA-Graphik	23 - 60
23.9.7	Diskrete Register	23 - 61
23.9.8	Attribute Controller Register	23 - 61

23.9.9	CRT-Controller-Register	23 - 62
23.9.10	Sequencer	23 - 63
23.9.11	Graphik-Controller	23 - 63
23.9.12	Extension-Register	23 - 64
23.9.13	Registerübersicht Color-Lookup-Table	23 - 65
24	Disketten- und Festplattensteuerung	24 - 1
24.1	Diskettensteuerung	24 - 1
24.1.1	Controller	24 - 1
24.1.2	Register der Diskettensteuerung	24 - 2
24.2	Festplattensteuerung	24 - 10
24.2.1	Busbetrieb	24 - 10
24.2.2	ECC-Prüfung und Korrektur	24 - 10
24.2.3	Winchester-Controller	24 - 11
24.2.4	Taskfile des Winchester-Controllers	24 - 12
24.2.5	Multisektortransfer	24 - 22
25	Programmierschaltung	25 - 1
25.1	Allgemeines	25 - 1
25.2	Host-Interface	25 - 2
25.3	Programmierspannungserzeugung	25 - 4
25.3.1	U _{VV} -Spannungserzeugung	25 - 8
25.3.2	U _{PP} -Spannungserzeugung	25 - 9
25.3.3	Abschaltverhalten im Fehlerfall	25 - 10
25.4	Modulschnittstelle	25 - 11
25.5	Steuerregister	25 - 16
25.6	Steckerbelegung SIMATIC-Modulsteckplatz	25 - 16
26	Display und Inverter	26 - 1
26.1	S/W-Display	26 - 1
26.1.1	Technische Daten LCD	26 - 1
26.1.2	Technische Daten Hinterleuchtung	26 - 2
26.1.3	Anschlußbelegung LCD	26 - 2
26.1.4	Anschlußbelegung Hinterleuchtung	26 - 3
26.2	Inverter für S/W-LCD-Display	26 - 4
26.2.1	Technische Daten	26 - 4
26.2.2	Anschlußbelegung	26 - 5

26.3	TFT-Farb-Display	26 - 7
26.3.1	Technische Daten TFT-Farb-Display	26 - 7
26.3.2	Technische Daten Hinterleuchtung	26 - 9
26.3.3	Anschlußbelegung des TFT-Farb-Displays	26 - 10
26.3.4	Stromversorgungsanschluß der Hinterleuchtung	26 - 11
26.4	Inverter für TFT-Farb-Display	26 - 12
26.4.1	Technische Daten des Inverters	26 - 12
26.4.2	Steckerbelegung des Inverters	26 - 13
27	Tastatur	27 - 1
27.1	Aufbau	27 - 1
27.1.1	Schreibmaschinentastatur	27 - 2
27.1.2	Tastenbelegung der Schreibmaschinentastatur (MS-DOS)	27 - 3
27.1.3	Funktionstastenbelegung bei MS-DOS	27 - 6
27.1.4	Weitere Editiertasten bei MS-DOS	27 - 8
27.1.5	Sondertasten	27 - 9
27.2	Ablauf der seriellen Datenübertragung von der Tastatur	27 - 11
27.3	Tastencodes	27 - 12
27.3.1	Make-Code	27 - 13
27.3.2	Break-Code	27 - 13
27.4	Technische Daten der Tastatur	27 - 13
27.5	Steckerbelegung Buchse X17 Tastaturanschluß	27 - 14
A	Stichwortverzeichnis	A - 1

1 Aufbau

Das Programmiergerät PG 730 gibt es in drei Grundversionen:

- PG 730 – tragbares Gerät mit 80386DX-16 MHz, LC-Display, VGA und einem Erweiterungssteckplatz (hergestellt bis September 1991)
- PG 730 – tragbares Gerät mit 80386SX-20 MHz, Schwarzweiß-LC-Display, TMS 34010-Graphikprozessor (HIGRAPH), VGA und zwei Erweiterungssteckplätzen (ab September 1991)
- PG 730 C – tragbares Gerät mit 80386SX-20 MHz, Farb-TFT-Display, TMS 34010-Graphikprozessor (HIGRAPH), VGA und zwei Erweiterungssteckplätzen (ab April 1992)

In diesem Handbuch wird die Schwarzweiß- und die Farbversion PG 730 mit 80386SX-Mikroprozessor beschrieben.

1.1 Grundgerät

Das Grundgerät besteht aus den Komponenten:

- Gehäuse
- Grundplatine (Mainboard) mit einem Steckplatz für die Busplatine und 4 Steckplätzen für Speichererweiterung (SIMM-Module)
- Stromversorgung
- Busplatine mit 2 Steckplätzen (Slots) für Erweiterungsbaugruppen (ISA)
- Tastatur
- 3,5" Floppydisk-Laufwerk
- Festplatte mit AT-Bus-Schnittstelle
- Display-Oberteil mit Flüssigkristall-Display

Anmerkung: Detaillierte Angaben zu speziellen Geräteversionen finden Sie in der jeweiligen Produktinformation.

1.2 Speicherausbau

Das PG 730 wird standardmäßig mit 4 Mbyte Hauptspeicher geliefert. Davon sind 640 kbyte im "real mode" und 3 Mbyte im "protected mode" des Prozessors adressierbar. Die fehlenden 384 kbyte sind "hinter" den ROM-Bereich und den Bildwiederhol-speicher gemappt.

Für Programme, die einen höheren Speicherausbau benötigen, stehen verschiedene Speichererweiterungen zur Verfügung. Damit ist ein maximaler Speicherausbau von bis zu 16 Mbyte möglich (Das 16. Mbyte ist für Dual-Port-RAM Anwendungen reserviert.).

1.3 Externe Geräte

- **Bildschirme, die mit den Graphikansteuerungen der eingebauten Farb-graphik-Anschaltung betrieben werden können:**
 - Farbsichtgerät (Frequenzen: Zeile 31,5 kHz; Bild 60/70 Hz) max. Auflösung 640x480 an der analogen Monitorschnittstelle
 - Farbsichtgerät (Frequenzen: Zeile 30-50 kHz; Bild 60/70 Hz) max. Auflösung 1024x768 an der analogen Monitorschnittstelle (Multisynch-Monitor)
- **Drucker**
 - PT 88S bzw. PT 89S oder PT 10 mit Centronics-Schnittstelle und IBM-kompatibel. Die parallele Schnittstelle befindet sich auf der Grundplatine.

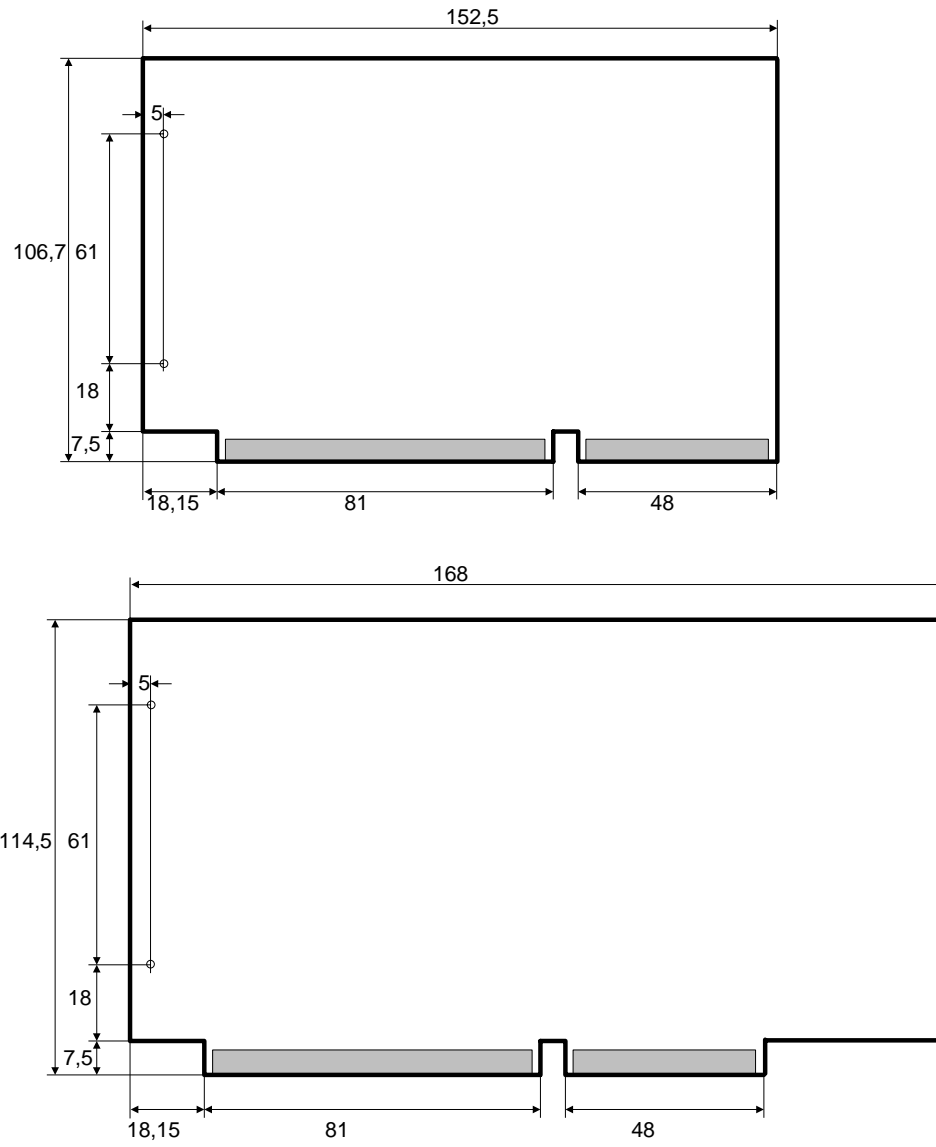


Bild 1.2: Leiterplattenformat der Erweiterungsbaugruppe

1.4 Öffnen und Schließen des Grundgeräts

Bitte beachten Sie die näheren Angaben in der Betriebsanleitung.

1.5 Umgebungsbedingungen

	bei Betrieb	bei Lagerung und Transport
Temperatur	+5 bis +40 °C	–20 bis +60 °C
relative Luftfeuchtigkeit (keine Betauung)	8 bis 80 %	5 bis 95 %
Temperaturänderungs- geschwindigkeit	10 K/h	10 K/h
Schockbeanspruchung		<40 G (<10 ms)
Funkentstörung nach VDE 0871	Klasse B	
Schutzart	IP 30	

2 Grundplatine

Die Grundplatine des PG 730 enthält im wesentlichen folgende Komponenten:

- 32-bit-Mikroprozessor 80386SX
- Arithmetikprozessor 80387SX (Option)
- System-Controller
Dieser Baustein enthält die Logik, um den Prozessor, den Coprozessor und den ISA-Bus-Controller zu steuern. Der Speicher-Controller und die Datenbustreiber sind ebenfalls in diesem Baustein enthalten.
- ISA-Bus-Controller
Der Baustein steuert alle Funktionen des ISA-Busses, außerdem beinhaltet der Baustein zwei Interrupt-Controller 8259A, zwei DMA-Controller 8237, einen Timer 8254, die Port B-Logik, eine zum MC 146818 kompatible Echtzeituhr und die Adreßbustreiber.
- COMBO I/O-Chip
Der Baustein enthält zwei zum 16450 kompatible serielle Schnittstellen, eine bidirektionale parallele Druckerschnittstelle, den Tastatur-Controller, Chip-Select-Erzeugung für Floppydisk-Controller sowie AT-Bus-Festplatte (IDE-Interface) und eine zweite Echtzeituhr.
- Speicher (RAM/ROM)
- ARCNET-Schnittstelle für ein Token-Ring-Netzwerk
- 1 Steckplatz für die Busplatine, sowie 4 Steckplätze für Speichererweiterung
- Floppydisk-Controller und Schnittstelle für AT-Bus-Festplattenlaufwerk
- HIGRAPH-Graphik mit VGA-Controller, Graphikprozessor TMS 34010 und LCD-Controller
- Modulprogrammierschnittstelle

Die HIGRAPH und die Modul-Programmierschnittstelle werden in gesonderten Kapiteln beschrieben.

Das nachfolgende Bild zeigt die Grundplatine des PG 730.

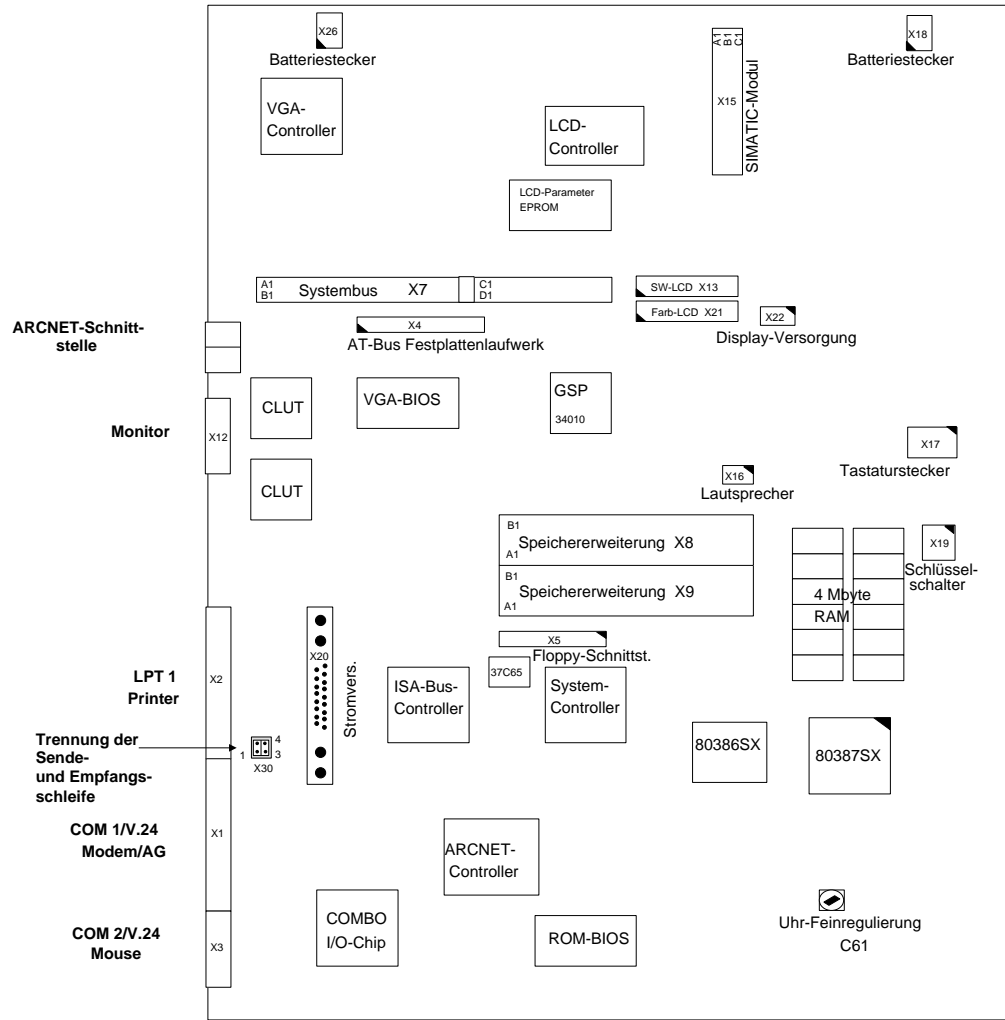


Bild 2.1: Grundplatine PG 730

PG 730 Busstruktur

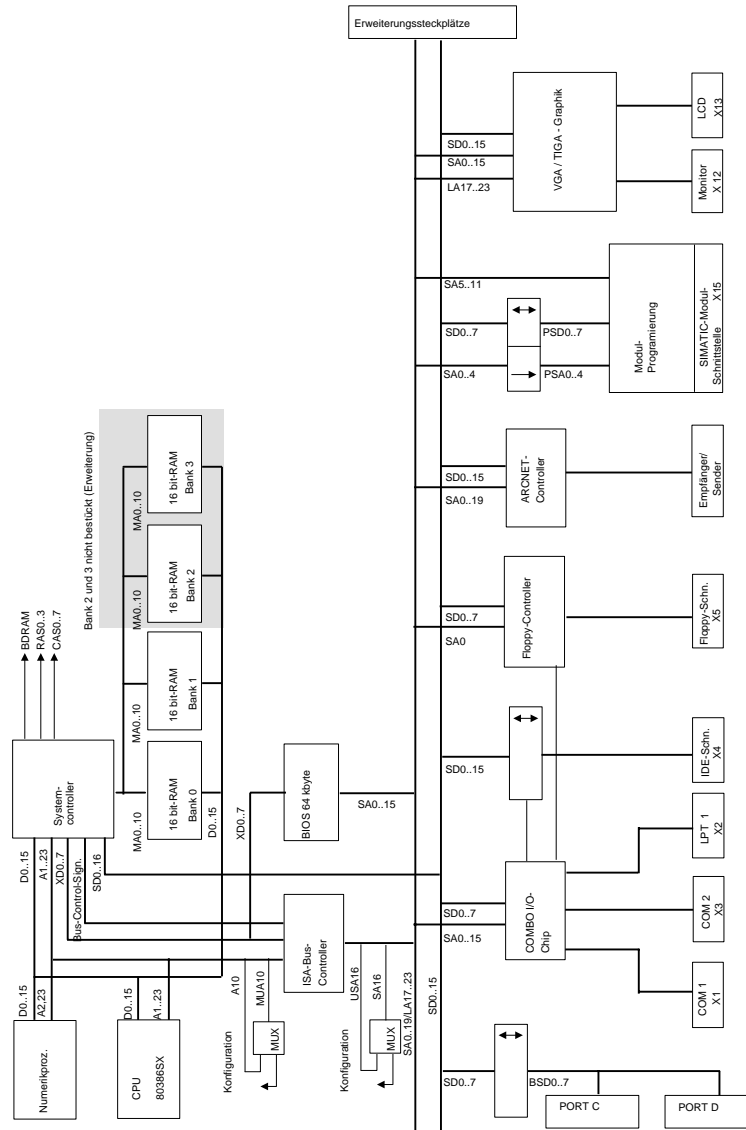


Bild 2.2: Busstruktur der Grundplatine

System-Controller

Dies ist ein hoch integrierter CMOS-Baustein. Er enthält die System-Kontrollfunktionen, den Memory-Controller, die Datenbustreiber, bzw. die Steuerung der Datenbusse und die Takterzeugung für den Prozessor und den ISA-Bus-Controller. Die Funktionen des Bausteins können über Konfigurationsregister in weiten Bereichen parametrisiert werden. Der integrierte Memory-Controller kann bis zu vier Speicherbänke mit max. 20 Mbyte DRAM verwalten, er unterstützt Page-Mode und Bank-Interleaving sowie die Generierung und Prüfung der Paritybits. Vom System-Controller wird auch der Slot-Bus-Refresh und die BIOS-Shadow-Funktion durchgeführt. Es wird der Numerikprozessor 80387SX unterstützt.

ISA-Bus-Controller

Dieser Baustein erzeugt das ISA-Bus-Timing und kontrolliert diesen Bus. Er enthält zwei zum 8237 kompatible DMA-Controller (direct memory access), zwei zum 8259 kompatible Interrupt-Controller, einen zum 8254 kompatiblen Timer/Counter, eine zum 146818 kompatible Echtzeituhr mit einem auf 114 byte erweiterten CMOS-RAM, die Adreßbus-treiber für den ISA-Bus und die Port B-Logik. Der ganze Baustein ist batteriegepuffert, so daß bei "Netz AUS" die Uhr weiterläuft, und die Daten im CMOS-RAM erhalten bleiben.

Programmierbarer DMA-Controller 8237 (im ISA-Bus-Controller integriert)

Der DMA-Controller ist ein Steuerbaustein für direkten Speicherzugriff. Die Hauptfunktion besteht darin, aufeinanderfolgende Speicheradressen zu erzeugen, die es einem Peripheriebauteil ermöglichen, Daten direkt aus dem Speicher zu lesen oder dorthin zu schreiben, ohne die CPU zu benutzen.

Hinweise zum DMA-Betrieb finden Sie im Kapitel DMA-Steuerung.

**Programmierbarer Interrupt-Steuerbaustein 8259A
(im ISA-Bus-Controller integriert)**

Der Baustein 8259A (Interrupt-Controller) verwaltet bis zu acht priorisierte Unterbrechungsanforderungen (Interrupts) für den Mikroprozessor und sendet dann ein Interrupt-Signal an den Mikroprozessor. Nachdem der Mikroprozessor die Interrupt-Anforderung bestätigt hat, sendet der Steuerbaustein 8259A einen 8-bit-Interrupt-Vektor.

Aus diesem Interrupt-Vektor kann der Mikroprozessor die Startadresse des entsprechenden Interrupt-Bearbeitungsprogramms ermitteln. Beide im System vorhandenen Controller sind kaskadiert. Nähere Angaben hierzu siehe Kapitel Interrupt-Behandlung.

Zeitgeber 8254 (im ISA-Bus-Controller integriert)

Der Timer-Baustein 8254 enthält drei voneinander unabhängige 16-bit-Zähler, die programmierbar sind. Er ist als Mehrfach-Zeitgeber einsetzbar. Die Zähler des Bausteins werden von der Systemsoftware wie gewöhnliche Eingabe-/Ausgabekanäle behandelt. Der Timer dient vor allem zur Erzeugung präziser Referenzzeiten.

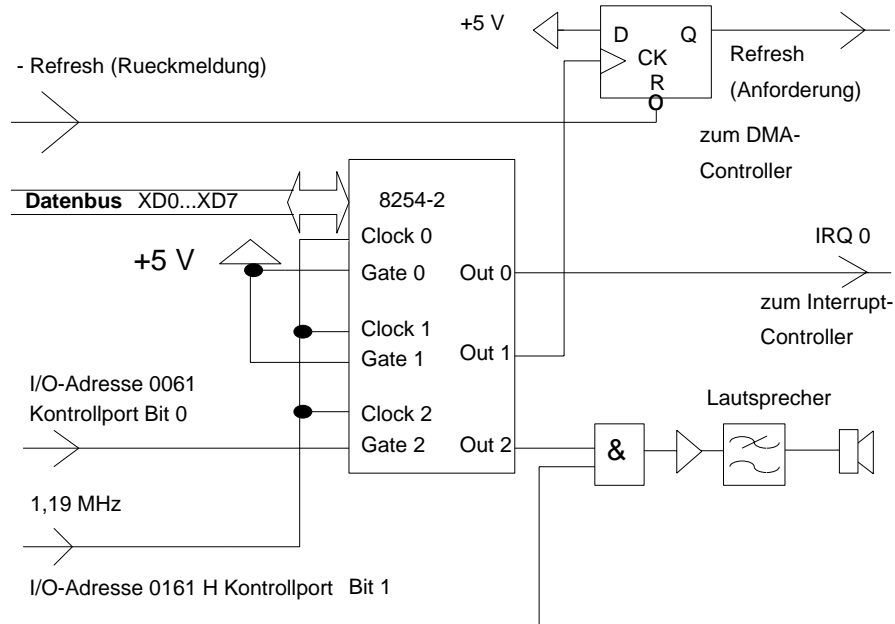


Bild 2.3: Blockschaltbild der Zeitgeber

Wie das obige Bild zeigt, sind mit dem Zeitgeber 8254 drei Systemzeitgeber realisiert. Sie werden wie folgt verwendet:

Kanal	0	Systemzeitgeber
Gate	0	dauernd freigegeben
Clock	0	1,19 MHz Takt
Out	0	Interrupt-Request 0
Kanal	1	Refresh-Request-Generator
Gate	1	dauernd freigegeben
Clock	1	1,19 MHz Takt
Out	1	Refresh-Zyklusforderung

Kanal	2	Tongenerator für Lautsprecher
Gate	2	Gesteuert von Bit 0 des Ports mit der Adresse 61 H
Clock	2	1,19 MHz Takt
Out	2	Niederfrequenzsignal für den Lautsprecher

Folgende Adressen sind für den Baustein 8254-2 reserviert:

0040 H Daten für den Zähler/Zeitgeber 0

0041 H Daten für den Zähler/Zeitgeber 1

0042 H Daten für den Zähler/Zeitgeber 2

0043 H Befehle/Modussteuerung für alle Zähler/Zeitgeber

COMBO I/O-Chip

Dies ist ein hochintegrierter, programmierbarer CMOS-Baustein. Er enthält zwei zum NS 16450 kompatible UART, einen Parallelport, den Tastatur-Controller, eine MC 146818 kompatible Echtzeituhr sowie eine parametrierbare Chip-Select-Erzeugung.

Eine Besonderheit des Bausteins ist, daß das Parallelport als Drucker-Interface oder als bidirektionales "Scanner"-Interface konfiguriert werden kann. Die integrierte Echtzeituhr wird nicht benutzt (Kapitel Schnittstellen). Im Baustein ist auch ein zum 8742 kompatibler Tastatur-Controller integriert.

Serieller Schnittstellen-Baustein 16450 (integriert im COMBO I/O-Chip)

Der Baustein 16450 ist ein universeller Asynchron-Sender/Empfänger. Wie bei anderen Eingabe-/Ausgabebausteinen in MC-Systemen wird seine Funktion durch Systemsoftware programmiert. Dazu werden Steuerworte übergeben und in Bausteinregistern gespeichert. Die Steuerworte bleiben gültig, bis sie überschrieben werden.

Der Status von Sender und Empfänger läßt sich durch Lesen eines speziellen Registers (Kapitel Serielle Schnittstelle) ermitteln.

Tastatur-Controller (integriert im COMBO I/O-Chip)

Dieser ist speziell als serieller Schnittstellen-Controller für die Tastatur programmiert. Neben der Tastaturbedienung übernimmt der Controller noch folgende Aufgaben:

- Lesen der Konfiguration
- Lesen des Schlüsselschalters
- Auslösen des System-Resets

2.1 Mikroprozessor

Als CPU wird der Prozessor

80386SX verwendet. Sein hohes Leistungsvermögen ist bedingt durch 24 Adreßbits, einen internen 32-bit-Datenbus, einen sehr komfortablen Befehlssatz, DMA- und Interrupt-Unterstützung, integrierte Speicherverwaltung, 4 Ebenen Speicherschutz und 3 Operationszustände ("real address mode", "virtual 8086 mode" bzw. "protected virtual address mode").

Im "real address mode" ist Kompatibilität zu dem Prozessor 8086 gegeben; von den 24 Adreßbits sind nur die niederwertigsten 20 Bit aktiv. Dieser Mode wird automatisch nach einem Hardware-Reset eingestellt. Über einen Befehl kann der Prozessor in den "protected virtual address mode" gebracht werden.

In diesem Mode sind die Speicherverwaltung und der Speicherschutz wirksam. Er enthält noch eine Besonderheit, den "virtual 8086 mode", der ebenfalls durch einen Befehl eingeschaltet wird.

Der 80386 emuliert dann selbst im "protected mode" einen 8086 Prozessor. Die virtuelle Adressierung umfaßt einen Bereich von 64 Tbyte (2^{46} byte). Mehr Informationen darüber finden Sie im Datenbuch für die CPU 80386SX.

Im System werden 3 verschiedene Datenbusse unterschieden:

- 16-bit-Prozessor- und Memory-Datenbus D[0..15]
- 16-bit-I/O-Datenbus SD[0..15]
- 8-bit-I/O-Datenbus XD[0..7]

Ein 16-bit-Onboard-Memory-Zyklus benötigt zwei Prozessortakte, was einer Zeit von 100 ns bei einem Prozessortakt von 40 MHz (Takt wird im Prozessor auf 20 MHz geteilt) entspricht. Wird beim Lesen eine Speicherpage (bei 4-Mbit-RAM ist eine Page 1024 Worte groß) durch die CPU verlassen oder ins RAM geschrieben, so wird ein zusätzlicher Wartetakt von 50 ns (= 2/Prozessortakt) eingefügt.

Ein 16-bit-Buszyklus benötigt mindestens 2 Systemtakte und einen Wartetakt, was einer Zeit von 375 ns bei 8 MHz-Systemtakt entspricht.

Ein 8-bit-Zyklus läuft in 2 Systemtakten und 4 Systemwartetakten in 750 ns bei 8 MHz-Systemtakt ab.

Ein 16-bit-Buszugriff auf eine 8-bit-Peripherie benötigt 12 Systemtakte, wobei 10 Systemwartetakte enthalten sind, die für das Umschalten der Datenleitungen D8...D15 auf D0...D7 benützt werden. Es ergibt sich somit eine Zugriffszeit von 1500 ns bei 8 MHz.

Der Refresh-Controller ist im System-Controller integriert, die Refresh-Zyklen für das Onboard-Memory und den ISA-Bus werden synchron erzeugt. Ein Refresh-Zyklus hat die Länge von 5 Takten. Für das DRAM werden innerhalb von 4 ms 256 Refresh-Zyklen erzeugt. Das heißt, in 4 ms laufen ca. 32000 Systemtaktzyklen ab. Davon werden für den Refresh $5 \times 256 = 1280$ Systemtakte benötigt.

Ohne Berücksichtigung von Synchronisationstakten (bei DMA-Zugriffen) ergibt sich durch den Refresh eine Systembelastung von $100 \times 1280 / 32000 = 4\%$.

Der DMA-Controller ist im ISA-Bus-Controller integriert und arbeitet mit dem halben Systemtakt. Woraus bei 8 MHz eine DMA-Taktdauer von 250 ns resultiert.

Jeder DMA-Zugriff benötigt 5 DMA-Takte, davon 1 DMA-Wartetakt (dieser ist programmierbar). Synchronisationstakte, bedingt durch das Zusammenspiel von DMA-Controller und CPU sind dabei nicht berücksichtigt. Auf dem Bus stehen 7 DMA-Kanäle zur Verfügung, und zwar 3 für 16-bit- und 4 für 8-bit-Zugriffe.

2.2 Arithmetikprozessor (Coprozessor)

Auf der Grundplatine ist neben dem Prozessor 80386SX ein freier Steckplatz für den Coprozessor 80387SX vorhanden.

Ein Numerikprozessor ermöglicht die Durchführung von arithmetischen, logarithmischen und trigonometrischen Operationen mit sehr hoher Geschwindigkeit und großer Genauigkeit.

Der Numerikprozessor arbeitet parallel zu dem Mikroprozessor. Der Parallelbetrieb spart Bearbeitungszeit, da der Numerikprozessor mathematische Aufgaben lösen kann, während der Mikroprozessor andere Funktionen ausführt.

Hardware-Interface 80387 SX

Der 80387SX wird so in die 68polige PLCC-Fassung gesteckt, daß sich die abgeflachte Ecke des 80387SX über der abgeflachten Ecke des Stecksockels befindet.

Dem Numerikprozessor wird der Prozessortakt zugeführt. Er arbeitet asynchron zum 80386SX. Beide Prozessoren sind so miteinander verbunden, daß der Numerikprozessor für den Mikroprozessor eine Peripherieschnittstelle mit den I/O-Adressen 00F8 H, 00FA H, 00FC H und 00FE H darstellt.

Über diese Schnittstelle erhält der Numerikprozessor vom Mikroprozessor alle Befehle und Daten und sendet die Ergebnisse wieder zurück. Das BUSY-Signal des Numerikprozessors teilt dem Mikroprozessor mit, daß er noch tätig ist. Mit einem WAIT-Befehl kann der Mikroprozessor veranlaßt werden, auf das Ende einer Operation des Numerikprozessors zu warten.

Während der Bearbeitung eines Befehls kann der Numerikprozessor 6 verschiedene Fehlerursachen erkennen. Ein Fehler aktiviert das ERROR-Signal, welches den Hardware-Interrupt 13 erzeugt.

Der Numerikprozessor kann wie der Mikroprozessor 80386SX in 2 Operationszuständen arbeiten, nämlich dem sogenannten "real address mode" und dem sogenannten "protected virtual address mode". Nach einem Hardware-Reset wird immer der "real address mode" eingestellt. In den "protected virtual address mode" gelangt man durch Ausführung des Befehls "ESC SETPM". Eine Rückkehr in den "real address mode" ist durch Ausgabe eines beliebigen Datenbytes an die I/O-Adresse 00F1 H möglich. Zum Beispiel "OUT 0F1,AL" (Kapitel Numerikprozessor 80387SX).

2.3 Speicher

Der Speicher auf der Grundplatine gliedert sich in Lesespeicher (ROM bzw. EPROM; "read only memory" bzw. "erasable programmable read only memory") und in Schreib-Lese-Speicher (RAM: random access memory). Der Speicher der Graphik wird im Kapitel Farbgraphik beschrieben.

Der RAM-Speicher kann durch Speichererweiterungen um 4, 8 oder 16 Mbyte erweitert werden. Der jeweilige Speicherausbau wird vom BIOS erkannt und ins SETUP eingetragen, wobei das 16. Mbyte (Adr. F00000..FEFFFF H) für Baugruppen mit Dual-Port-RAM Bus-Interface auf dem ISA-Bus reserviert ist. Der Speicher auf dem Grundboard wird in diesem Adreßbereich ausgeblendet.

2.3.1 Lesespeicher (ROM)

Die Grundplatine enthält zwei Steckplätze für ROM bzw. EPROM der Organisation 32 kbit x 8 und 64 kbit x 8. Diese ROM enthalten das "System-BIOS" und das "VGA-BIOS"(= basic input output system). Sie belegen einen Adreßbereich von 64 kbyte bzw. 32 kbyte (auf das VGA-BIOS wird im Kapitel Farbgraphik weiter eingegangen). Da es sich bei dem ROM-BIOS um einen Speicher mit einem 8-bit-Datenbus handelt, laufen die Zugriffe des 80386SX sehr langsam ab. Daher ist die Möglichkeit vorgesehen, den Inhalt der ROM in ein dahinterliegendes 16 bit breites RAM zu kopieren (= BIOS-Shadowing ist im Kapitel Konfiguration beschrieben).

Automatisches Einbinden von Device-Treibern aus externem ROM-BIOS bei der Initialisierungsphase

Der ROM-BIOS kann durch zusätzliche ROM-Device-Treiber ergänzt werden. Während der Initialisierungsphase wird der Adreßbereich von 000C 0000 H bis 000E 0000 H einschließlich in 2-kbyte-Schritten nach dem Datum 0AA55 H durchsucht. Wird ein solches Datum gefunden, wird an die gefundene Adresse ein "CALL FAR adresse+3" ausgeführt. Das so aufgerufene Programm wird mit einem "RETF" abgeschlossen.

Weiter sind folgende Punkte zu beachten:

1. Inhalt der ersten Adressen des optionellen ROM

Adresse	Datum
0000 H	055 H
0001 H	0AA H
0002 H	Länge in Bytes/512
0003 H	Code
:	:

2. In der Prüfsumme des ROM muß das Low-Byte 00 H betragen.

Der Adreßbereich 000C 0000 H - 000C 8000 H ist für Video-Softwaretreiber wie z.B. VGA-Anschaltung reserviert. Über den ROM-BIOS wird während der Testphase (Wiederanlauf nach POWER ON oder RESET) die im Konfigurationsregister des Uhren-RAM eingetragene Monitoranschaltung getestet. Wird die eingetragene Anschaltung nicht gefunden oder ein Fehler festgestellt, so wird eine Fehlermeldung ausgegeben. Ist als Monitoranschaltung "VGA" (00 H) eingetragen, unterbleibt dieser Test. Die Ausgabe von Fehlermeldungen erfolgt im allgemeinen über den Software-Interrupt INT 10 H. Bei der VGA-Anschaltung wird nun dieser Interrupt auf den optionellen ROM-BIOS im Bereich 000C 0000 H..000C 7FFF H umgelenkt.

Unabhängig von dem oben beschriebenen Softwaretreiber für eine Video-Anschaltung sind zwei weitere Bereiche für optionelle ROM-BIOS möglich.

1. Der Bereich 000C 8000 H..000E 0000 H ist vorgesehen für eine spezielle Festplatten-Anschaltung (siehe INT 13 H).
2. Der Bereich 000E 0000..000E FFFF H ist frei für eine weitere ROM-BIOS-Erweiterung. Dieser letzte Bereich wird nur auf die ersten 2 Bytes und auf Checksumme geprüft. Er ist nur verfügbar, wenn die ARCNET-Schnittstelle gesperrt ist. Die ARCNET-Schnittstelle belegt den Adreßraum 000E0000 H....000E0FFF H.

2.3.2 Schreib-Lese-Speicher (RAM)

Das RAM wird bei einem Prozessortakt von 40 MHz mit 0 Waitstates betrieben. Der RAM-Speicherbereich von 4 Mbyte Länge beginnt auf der absoluten Adresse 0000 0000 und endet bei 640 kbyte (Adresse 0009 FFFF H), um nach dem 1. Mbyte (Adresse 0010 0000 H) wieder zu beginnen und beim 4. Mbyte (Adresse 003F FFFF H) im Grundausbau zu enden.

Der Verschnitt im 1. Mbyte kann als RAM-BIOS aktiviert werden (Kapitel Konfiguration). Es finden Bausteine der Organisation 1 Mbit x 4 Anwendung. Die Zugriffszeit der Speicherchips beträgt 80 ns und die Zykluszeit ist 130 ns. Da der Prozessor bei 0 Waitstates lediglich 100 ns für einen Zugriff benötigt, wird der Speicher im sogenannten "fast page mode" betrieben.

Das RAM ist intern als Matrix organisiert. Zum Adressieren von einem Bit wird pro Zyklus immer eine Reihen- und eine Spaltenadresse benötigt, die nacheinander an die Speicherchips gelegt werden müssen und von ihnen dann gespeichert werden.

Bleibt die Adresse innerhalb einer Reihe (Page), so wird jeweils nur eine neue Spaltenadresse an den Baustein gelegt, was die Zugriffszeit um ca. 30% verringert. Die verwendeten Speicherbausteine haben eine Page-Größe von 1024 bit. Im "Page Interleave Mode" wird die Reihenadresse auf zwei Speicherbänke gleichzeitig gelegt und so die Page-Größe verdoppelt. Der Standardausbau des PG 730 hat zwei Speicherbänke, und es wird der "Page Interleave Mode" verwendet.

2.3.3 Refresh

Der Inhalt der RAM muß in regelmäßigen Abständen aufgefrischt werden (refreshed), da DRAM zu den flüchtigen Speichern gehören. Hierzu wird alle 15 ms von dem Zeitgeber Zähler 1 ein Refresh-Zyklus für eine Adresse angeregt. Der Refresh selbst erfolgt durch kurzzeitiges Aktivieren der RAS-Leitungen (Reihenauswahl) der RAM. Die Reihenadresse (1 aus 1024 bei 1 Mbit-Speichern) erzeugt ein 12-bit-Zähler, der nach jedem Refresh-Zyklus inkrementiert wird. Dieser Zähler ist im System-Controller integriert.

Für einen vollständigen Refresh aller RAM-Zellen müssen alle Reihen der RAM einmal pro einer bestimmten Zeiteinheit angewählt werden. Für die verwendeten RAM-Bausteine sind 512 Refresh-Zyklen alle 8 ms notwendig. Der Zeitgeber wird also auf $(8 \text{ ms}/512) = 15,6 \mu\text{s}$ programmiert.

2.3.4 Arbeitsweise der Paritätsprüfung

Die Logik zur Erzeugung und Prüfung der Paritybits ist im System-Controller integriert.

Bei Schreiboperationen wird für jeweils 8 bit des 16-bit-Speicherbusses ein Paritybit gebildet und in einem separaten RAM-Baustein gespeichert.

Bei Leseoperationen werden die Paritybits aus den separaten Speicherbausteinen gelesen und im System-Controller wird eine Überprüfung der Paritybits vorgenommen.

Auswertung der Signale zur Paritätsprüfung

Bei einem RAM-Zugriff (BRDRAM aktiv (low)) liegen die Paritybits an den Signalen PAR 0 und PAR 1. Tritt bei einem Lesezugriff ein Parityfehler auf, so wird dieser Fehler erst im folgenden Memory-Zyklus über das Signal PAREERROR an den ISA-Bus-Controller weitergemeldet.

Der Status des Paritätsausgangs vom System-Controller läßt sich über I/O-Port 61 H, Bit 7, ermitteln: High-Pegel (Bit 7 = 1) bedeutet, daß ein Paritätsfehler erkannt wurde. Das Port befindet sich im ISA-Bus-Controller, wo auch der Zustand dieser Paritätsleitung in einem internen Flip-Flop gespeichert wird. Beim Auftreten eines Paritätsfehlers wird ein NMI-Interrupt am 80386SX ausgelöst. Der NMI-Interrupt läßt sich maskieren (Kapitel Interrupt-Behandlung). Das Sperren (Maskieren) des NMI-Interrupts für Paritätsfehler löscht auch das Flip-Flop und ist die einzige Möglichkeit, den Fehlerstatus nach einem RAM-Paritätsfehler wieder zurückzusetzen.

2.4 Systemuhr

2.4.1 Dienstprogramme zur Echtzeituhr

Unter dem Betriebssystem MS-DOS für das PG 730 wird beim Booten die Zeit und das Datum der Hardware-Uhr ausgelesen. Die Software-Uhr von MS-DOS übernimmt diese Zeit. Durch die Dienstprogramme Time und Date kann die Software-Uhr ebenfalls gestellt werden. Die Hardware-Uhr des PG 730 lässt sich mit dem Programm Setup einstellen (drücken Sie dazu die Tastenkombination **CTRL+ALT+S**).

2.4.2 Uhrenbaustein

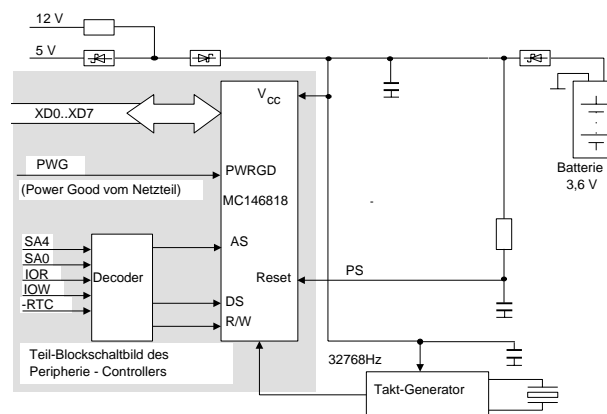


Bild 2.4: Blockschaltung der Echtzeituhr

Die Hardware-Uhr ist im ISA-Bus-Controller integriert und ist kompatibel zur Echtzeituhr MC146818 von Motorola. Dieser Controller enthält neben der Uhr (14 byte) noch 114 byte Schreib-Lese-Speicher – also 128 byte Adressiervolumen. Der Speicher wird über ein Indexregister auf der I/O-Adresse 70 H adressiert und das Datum über die I/O-Adresse 71 H transferiert (siehe Kapitel Besonderheiten bei der I/O-Programmierung). Das Indexregister befindet sich ebenfalls im Uhrenbaustein.

Bei ausgeschaltetem Gerät wird die Uhr mit der Batterie betrieben. Der Austausch der Batterie ist in der Betriebsanleitung beschrieben. Damit die Daten im Uhrenspeicher nicht verloren gehen, sollte ein Batteriewechsel nur bei eingeschaltetem Gerät vorgenommen werden.

Die Echtzeituhr belegt 14 byte im Adreßraum, der Rest wird für die Hardware-Konfiguration und Systemstatus verwendet. In der folgenden Tabelle ist eine Übersicht der verwendeten Bytes ab Indexadresse 0E H im Schreib-Lese-Speicher des Uhrenbausteins (CMOS-RAM) gezeigt:

Byte	Funktion	Adresse
0E H	Diagnose-Statusbyte	0E H
0F H	Diagnose-Statusbyte	0F H
10 H	Erster und zweiter Disketten-Laufwerkstyp	10 H
11 H	reserviertes Byte	11 H
12 H	Byte, das den Typ des Festplattenlaufwerks angibt	12 H
13 H	Enthält reserviertes Byte	13 H
14 H	Systemkonfigurationsbyte	14 H
15 H 16 H	niederwertiges und höherwertiges Byte für den Speicher bis zum 1. Mbyte	15 H 16 H
17 H 18 H	niederwertiges und höherwertiges Byte für den Speicher oberhalb dem 1. Mbyte	17 H 18 H
19 H 1A H	erweiterter Festplattenlaufwerkstyp	19 H 1A H
1B H 2D H	reserviert	1B H 2D H
2E H 2F H	Prüfsumme	2E H 2F H
30 H 31 H	nieder- und höherwertiges Byte für den Speicher oberhalb dem 1. Mbyte	30 H 31 H
32 H	Byte, das das Jahrhundert des Datums angibt	32 H
33 H	Informationsregister	33 H
34 H 3F H	reserviert	34 H 3F H

Fortsetzung von der vorherigen Seite:

Byte	Funktion	Adresse
40 H	ROM-BIOS in Shadow-RAM	40 H
41 H	000C 0000..000D FFFF H in Shadow-RAM	41 H
42 H	000E 0000 H in Shadow-RAM	42 H
43 H	reserviert	43 H
44 H	reserviert	44 H
45 H	reserviert	45 H
46 H	reserviert	46 H
47 H	reserviert	47 H
48 H	ARCNET-Knotennummer	48 H
49 H 4B H	reserviert für Kennung der auf dem Grundboard integrierten Graphik und das angeschlossene Display	49 H 4B H
4C H 4E H	Baugruppe Steckplatz 1 (oberer Steckplatz)	4C H 4E H
4F H 51 H	Baugruppe Steckplatz 2 (unterer Steckplatz)	4F H 51 H
52 H 54 H	reserviert für Kennung der auf dem Grundboard integrierten HIGRAPH	52 H 54 H
55 H 57 H	reserviert	55 H 57 H
58 H 5A H	reserviert	58 H 5A H
5B H 5D H	reserviert	5B H 5D H
5E H 5F H	reserviert	5E H 5F H
60 H 7D H	reserviert	60 H 7D H
7E H 7F H	erweiterte CMOS-Checksumme	7E H 7F H

In der folgenden Tabelle ist die Verwendung der ersten 14 Bytes im Schreib-Lese-Speicher des Uhrenbausteins gezeigt:

Byte	Funktion	Adresse	Dezimalbereich
0	Sekunden	00 H	0-59
1	Sekunden für Alarm	01 H	0-59
2	Minuten	02 H	0-59
3	Minuten für Alarm	03 H	0-59
4	Stunden 12-Stunden-Modell 24-Stunden-Modell	04 H	1-12 0-23
5	Stunden für Alarm 12-Stunden-Modell 24-Stunden-Modell	05 H	1-12 0-23
6	Wochentag (Sonntag = 1)	06 H	1-7
7	Tag	07 H	1-31
8	Monat	08 H	1-12
9	Jahr	09 H	0-99
10	Statusregister A	0A H	
11	Statusregister B	0B H	
12	Statusregister C	0C H	
13	Statusregister D	0D H	

Das SETUP-Programm initialisiert die Statusregister A...D, wenn die Uhr gestellt wird. Der "INT 1A H" ist das BIOS-Interface für das Lesen und Schreiben von Zeit und Datum. Dieser Interrupt initialisiert die Statusregister auf die gleiche Weise wie das SETUP-Programm. Dieses Programm ist im ROM hinterlegt und wird über die Tastenkombination **CTRL+ALT+S** aktiviert.

2.4.3 Register des Uhrenbausteins

Statusregister A (Schreib-Lese-Register mit Ausnahme des Bits 7):

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0

UIP

Ist dieses Bit=1, ist ein Zugriff auf die Datenbytes der Uhr nicht zulässig, da gerade ein Aktualisierungszyklus läuft. Ein Aktualisierungszyklus wird zu jeder vollen Sekunde angeregt; Uhrzeit und Datum werden dadurch auf den neuesten Stand gebracht. Das UIP-Bit kann nur gelesen werden und wird nicht von einem Reset beeinflusst. Setzt man das SET-Bit im Statusregister B=1, sind Aktualisierungszyklen unterbunden und das UIP-Bit ist =0 gesetzt.

DV2, DV1, DV0

Diese Bits informieren den Uhrenbaustein über die von außen zugeführte Taktfrequenz. Die Systemsoftware initialisiert diese Bits mit 010, was einer Taktfrequenz von 32 768 Hz entspricht.

RS3, RS2, RS1, RS0

Die Systemsoftware initialisiert diese Bits mit 0110. Dadurch wird alle 976,562 μ s ein Interrupt-Signal (Serien-Interrupt) IRQ 8 erzeugt. Diese Interrupt-Leitung ist im inneren des Peripherie-Controller-ASIC fest mit dem Interrupt-Controller verbunden.

Statusregister B (Schreib-Lese-Register):

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SET	PIE	AIE	UIE	0	0	24/12	DSE

SET

Wenn dieses Bit gesetzt ist, sind Aktualisierungszyklen der Uhr unterbunden; Zugriffe auf die Zeitdatenbytes sind zulässig. Weder ein Hardware-Reset noch interne Funktionen beeinflussen dieses Bit. Ist dieses Bit log. "0", so wird die Uhr nach jeder Sekunde aktualisiert.

PIE

Eine 1 in diesem Bit gibt den periodischen Interrupt frei, dessen zeitlicher Ablauf mit den Bits RS 3...RS 0 im Register A spezifiziert ist. Interne Abläufe beeinflussen das PIE-Bit nicht.

Ein Hardware-Reset setzt es jedoch auf 0. Die Systemsoftware initialisiert dieses Bit mit 0.

AIE

Der Alarm-Interrupt wird durch eine 1 in diesem Bit freigegeben. Ein Alarm entsteht durch Gleichheit der 3 Zeitbytes mit den 3 Alarmbytes. Ein Hardware-Reset setzt das AIE-Bit auf 0. Interne Funktionen beeinflussen dieses Bit nicht. Die Systemsoftware initialisiert dieses Bit mit 0.

UIE

Das UIE-Bit gibt den Interrupt frei, der am Ende eines Aktualisierungszyklus erzeugt wird. Ein Hardware-Reset oder das Setzen des SET-Bits setzt das UIE-Bit auf 0. Die Systemsoftware initialisiert dieses Bit mit 0.

24/12

Dieses Bit bestimmt, in welchem Modus das Stundenbyte arbeitet.

Bit = 1 24-Stunden-Modus

Bit = 0 12-Stunden-Modus

Beeinflussung dieses Bits ist nur über die Software möglich; die Systemsoftware setzt es auf 1.

DSE

Mit diesem Bit läßt sich die automatische Umschaltung von Winterzeit auf Sommerzeit und umgekehrt freigeben.

DSE = 1 Umschaltung freigegeben

DSE = 0 Umschaltung gesperrt

Die Systemsoftware initialisiert dieses Bit mit 0.

Statusregister C (Leseregister (Flags)):

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRQ	PF	AF	UF	0	0	0	0

Das IRQ-Bit ist 1, wenn ein Interrupt am Ausgang IRQ ansteht und eine oder mehrere der folgenden Bedingungen erfüllt sind:

PF = PIE = 1

AF = AIE = 1

UF = UIE = 1

Alle Flags werden rückgesetzt, wenn der Prozessor das Register C gelesen hat oder ein Hardware-Reset erfolgt ist.

PF = Perioden-Interrupt-Flag

AF = Alarm-Interrupt-Flag

UF = Aktualisierungsende-Flag

Statusregister D (Leseregister):

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VRT	0	0	0	0	0	0	0

VRT

Eine 1 in diesem Bit signalisiert, daß die Versorgungsspannung vorhanden ist. Bei Verlust dieser Spannung ist das Bit = 0. Der Inhalt des VRT-Bits ist ein Abbild des Eingangs PS.

2.4.4 CMOS-RAM-Konfigurationsregister

Die folgende Aufstellung zeigt die Bedeutung der Bits der CMOS-Konfigurationsbytes, die unter den Adressen 0E H-3F H angesprochen werden können.

Diagnose-Statusbyte (0E H)

- Bit 7** Eine 0 bedeutet, daß die Spannungsversorgung des Uhren-Chips in Ordnung ist; eine 1 bedeutet, daß die Spannungsversorgung des Chips gestört ist.
- Bit 6** Konfigurationszeichen - gibt den Status der Prüfsumme wieder. Eine 0 bedeutet, daß die Prüfsumme in Ordnung ist, eine 1 zeigt an, daß die Prüfsumme ungültig ist.
- Bit 5** Ungültige Information in Konfigurationsregister. Dies ist ein Vergleich des Systemkonfigurationsbytes mit den Konfigurationsdaten. Eine 0 bedeutet, daß die Information im Konfigurationsregister gültig ist und eine 1 bedeutet, sie ist ungültig. Der Einschalt-Selbsttest erfordert:
- Wenigstens ein Diskettenlaufwerk muß eingerichtet sein, d.h. Bit 0 des Systemkonfigurationsbyte muß auf 1 gesetzt sein.
 - Die Einstellung im Konfigurationsregister für die Primär-Sichtgeräte-Anschaltung deckt sich mit der Einstellung des Schalters (Konfigurationsschalter) für das Sichtgerät auf der Grundplatine und dem sich tatsächlich am System befindlichen Sichtgerät.
- Bit 4** Die Größe des getesteten stimmt mit der des angegebenen Speichers nicht überein. Eine 0 bedeutet, daß der Einschalttest den gleichen Speicherausbau gefunden hat, wie es im Konfigurationsregister angegeben ist; eine 1 bedeutet, die Speichergrößen sind verschieden.
- Bit 3** Eine 0 bedeutet, daß die Festplatten-Anschaltung und das Laufwerk C ordentlich funktionieren und das System bereit ist zum Booten. Eine 1 zeigt an, daß die Anschaltung oder das Laufwerk nicht initialisiert werden konnte, was das System davon abhält zu booten.
- Bit 2** Eine 0 zeigt an, daß die Zeit gültig ist; eine 1 zeigt an, daß die Zeit ungültig ist.
- Bit 1..0** reserviert

Diagnoseabschluß-Statusbyte (0F H)

Die Bits in diesem Byte werden durch das Einschalt diagnose-Programm definiert.

Byte, das den Diskettentyp angibt (10 H)**Bit 7 - Bit 4**

Typ des ersten installierten Diskettenlaufwerks:

0000 kein Laufwerk vorhanden.

0001 5,25"-Diskettenlaufwerk (48 Spuren/inch).

0010 5,25"-Diskettenlaufwerk mit hoher Kapazität (96 Spuren/inch).

0011 3,5"-Diskettenlaufwerk mit 720 kbyte Kapazität.

0100 3,5"-Diskettenlaufwerk mit 1,44 Mbyte Kapazität.

Bemerkung: 0101 bis 1111 sind reserviert.

Bit 3 - Bit 0

Typ des zweiten eingerichteten Diskettenlaufwerks:

0000 kein Laufwerk vorhanden.

0001 5,25"-Diskettenlaufwerk (48 Spuren/inch).

0010 5,25"-Diskettenlaufwerk mit hoher Kapazität (96 Spuren/inch).

0011 3,25"-Diskettenlaufwerk mit 720 kbyte Kapazität.

0100 3,5"-Diskettenlaufwerk mit 1,44 Mbyte Kapazität.

Bemerkung: 0101 bis 1111 sind reserviert.

Die Adresse (11 H) enthält ein reserviertes Byte.

Byte, das den Typ des Festplattenlaufwerks angibt (12 H)**Bit 7 - Bit 4**

Definiert den Typ des ersten eingerichteten Festplattenlaufwerks.

0000 Keine Festplatte vorhanden.

0001 bis 1110 definieren Typ 1 bis Typ 14, wie er im SETUP-Programm anzugeben ist. Wird ein Laufwerk verwendet, dessen Typnummer größer 14 ist, so wird hier 1111 eingetragen. Der Laufwerkstyp ist dann in Byte 19 H eingetragen.

Bit 3 - Bit 0

Definieren den Typ des 2. eingerichteten Festplattenlaufwerks.

0000 Dieses Festplattenlaufwerk ist nicht vorhanden.

0001 bis 1110 definieren Typ 1 bis Typ 14, wie er im SETUP-Programm angegeben ist. Wird ein Laufwerk verwendet, dessen Typnummer größer 14 ist, so wird hier 1111 eingetragen. Der Laufwerkstyp ist dann in Byte 1A H eingetragen.

Die Adresse (13 H) enthält ein reserviertes Byte.**Systemkonfigurationsbyte (14 H)**

Es definiert die Grundausstattung für die Einschalt diagnose.

Niederwertiges und höherwertiges Grundspeicherbyte (15 H und 16 H)**Bit 7 - Bit 0**

Adresse 15 H, niederwertiges Byte der Grundspeichergröße

Bit 7 - Bit 0

Adresse 16 H; höherwertiges Byte der Grundspeichergröße.

Gültige Größen:

0100 H 256 kbyte RAM auf der Grundplatine

0200 H 512 kbyte RAM auf der Grundplatine.

0280 H 640 kbyte RAM auf der Grundplatine

**Niederwertiges und höherwertiges Byte für die Speichererweiterung
(17 H und 18 H)****Bit 7 - Bit 0**

Adresse 17 H niederwertiges Byte für Speicher oberhalb dem 1. Mbyte.

Bit 7 - Bit 0

Adresse 18 H höherwertiges Byte für Speicher oberhalb dem 1. Mbyte.

Gültige Größen:

0200 H	512 kbyte Speicher oberhalb dem 1. Mbyte
0400 H	1024 kbyte Speicher oberhalb dem 1. Mbyte
0600 H	1536 kbyte Speicher oberhalb dem 1. Mbyte
bis	
3C00 H	15360 kbyte Speicher oberhalb dem 1. Mbyte

Verwendeter Festplattentyp als Laufwerk 1: (19 H)

Definiert den Typ des verwendeten 1. Laufwerks, wenn in Adresse 12 H für dieses Laufwerk 15 (dez.) eingetragen ist. Gültige Einträge sind 16..255 (dez.).

Verwendeter Festplattentyp als Laufwerk 2: (1A H)

Definiert den Typ des verwendeten 2. Laufwerks, wenn in Adresse 12 H für dieses Laufwerk 15 (dez.) eingetragen ist. Gültige Einträge sind 16..255 (dez.).

Die Adressen (1B H bis 1F H) sind reserviert.

Parameter für frei konfigurierbaren Festplattentyp 48: (20..27 H)

Die Adressen (28 H bis 2D H) sind reserviert.

Prüfsumme (2E H und 2F H)

Die Prüfsumme wird aus den Adressen 10 H bis 2D H gebildet:

Adresse 2E H höherwertiges Byte der Prüfsumme.

Adresse 2F H niederwertiges Byte der Prüfsumme.

Niederwertiges und höherwertiges Byte der Speichererweiterung (30 H und 31 H)**Bit 7 - Bit 0**

Adresse 30 H niederwertiges Byte für den Speicher oberhalb dem 1. Mbyte

Bit 7 - Bit 0

Adresse 31 H höherwertiges Byte für den Speicher oberhalb dem 1. Mbyte

Gültige Größen:

0200 H 512 kbyte Speicher oberhalb dem 1. Mbyte

0400 H 1024 kbyte Speicher oberhalb dem 1. Mbyte

0600 H 1536 kbyte Speicher oberhalb dem 1. Mbyte

usw.

Dieses Wort gibt die gesamte Speichererweiterung, oberhalb des 1. Mbyte Adreßraums an, wie er zur Einschaltzeit bestimmt wird; die Größe der Speichererweiterung kann durch den Interrupt 15 H bestimmt werden. Der zur Einschaltzeit vorhandene Grundspeicher wird durch den Interrupt (12 H) bestimmt.

Byte für das Datum des Jahrhunderts (32 H)**Bit 7 - Bit 0**

BCD-Wert für das Jahrhundert

Informationsregister (33 H)**Parameter für frei konfigurierbaren Festplattentyp 49: (35..3C H)**

Byte 35 H bis 3F H reserviert.

2.4.5 CMOS-RAM erweiterte Konfiguration

Byte 40 H Prüfsummenfehler/ ROM-BIOS in Shadow-RAM

Bit 0:

eine "1" bedeutet: Der ROM-BIOS wird in das Shadow-RAM kopiert

Bit 1 - 2: reservierte Bits

Bit 3:

eine "1" bedeutet: Es wurde bei den Konfigurationsdaten ein Prüfsummenfehler festgestellt.

Bit 4 - 7: reservierte Bits

Byte 41 H Shadow-RAM-Freigabe im Bereich 0C0000 .. 0DFFFF H

eine "1" in dem jeweiligen Bit bedeutet: daß 16 kbyte ab der angegebenen Adresse vom vorhandenen ROM in das Shadow-RAM kopiert werden.

Bit 0:

ab Adresse 0C 0000 H vom ROM in das Shadow-RAM

Bit 1:

ab Adresse 0C 4000 H vom ROM in das Shadow-RAM

Bit 2:

ab Adresse 0C 8000 H vom ROM in das Shadow-RAM

Bit 3:

ab Adresse 0C C000 H vom ROM in das Shadow-RAM

Bit 4:

ab Adresse 0D 0000 H vom ROM in das Shadow-RAM

Bit 5:

ab Adresse 0D 4000 H vom ROM in das Shadow-RAM

Bit 6:

ab Adresse 0D 8000 H vom ROM in das Shadow-RAM

Bit 7:

ab Adresse 0D C000 H vom ROM in das Shadow-RAM

Byte 42 H Shadow-RAM-Freigabe im Bereich 0E 0000 .. 0E FFFF H

eine "1" in dem jeweiligen Bit bedeutet: daß 16 kbyte ab der angegebenen Adresse vom ROM in das Shadow-RAM kopiert werden.

Bit 0:

ab Adresse 00E 0000 H vom ROM in das Shadow-RAM
(Adreßbereich wird auch von ARCNET benutzt, eine Freigabe dieses Bereichs darf nur dann vorgenommen werden, wenn ARCNET gesperrt oder in den Adreßbereich 0D0000..0D0FFF H gemappt ist.)

Bit 1:

ab Adresse 0E 4000 H vom ROM in das Shadow-RAM

Bit 2:

ab Adresse 0E 8000 H vom ROM in das Shadow-RAM

Bit 3:

ab Adresse 0E C000 H vom ROM in das Shadow-RAM

Bit 4-7: reserviert

Byte 43 H - 44 H reserviert

Byte 45 H Schnittstellenfreigabe**Bit 0:**

0 Serielle Schnittstelle 2 gesperrt
1 Serielle Schnittstelle 2 freigegeben

Bit 1:

0 Modul-Programmierschnittstelle freigegeben
1 Modul-Programmierschnittstelle gesperrt

Bit 2:

0 Serielle Schnittstelle 1 gesperrt
1 Serielle Schnittstelle 1 freigegeben

Bit 3:

0 GSP-Interrupt 11
1 GSP-Interrupt 12

Bit 4:

- 0 Parallelschnittstelle 1 gesperrt.
- 1 Parallelschnittstelle 1 freigegeben.

Bit 5 - 7: reserviert**Byte 46 H** ARCNET-Response-Time**Byte 47 H** ARCNET-Adreßbereich**Byte 48 H** ARCNET-Knotennummer

Der Eintrag 00 H bedeutet, daß die ARCNET-Schnittstelle nicht freigegeben ("not installed") ist. Der Interrupt IRQ 5 und der Adreßbereich 0E 0000 H .. 0E 0FFF H bzw. 0D0000 H..0D0000 H ist frei auf dem Systembus verfügbar.

Byte 49 H Kennung für Graustufendarstellung und Display-Typ

- 3C H Monochrom-LCD-Anzeige
- 3D H Farb-LCD-Anzeige

Byte 4A H bis 4B H reserviert**Byte 4C H** Identbyte der Baugruppe auf Steckplatz 1 *)

00 H wenn der Steckplatz unbenutzt oder eine Fremdbaugruppe gesteckt ist.

Byte 4D H bis 4E H weitere Kennbytes der Baugruppe in Steckplatz 1

Identifikationsbytes der Baugruppe. Für die Spezifikation siehe Kapitel Konfiguration und Beschreibung der jeweiligen Baugruppe.

Byte 4F H Identbyte der Baugruppe auf Steckplatz 2 *)

00 H wenn der Steckplatz unbenutzt oder eine Fremdbaugruppe gesteckt ist.

Byte 50 H bis 51 H weitere Kennbytes der Baugruppe in Steckplatz 2

Identifikationsbytes der Baugruppe. Für die Spezifikation siehe Kapitel Konfiguration und Beschreibung der jeweiligen Baugruppe.

Byte 52 H Kennung für die auf dem Grundboard integrierten HIGRAPH

Byte 53 H Kennbyte 1 für HIGRAPH

Bit 0..1:

00 GSP-Interrupt 11

10 GSP-Interrupt 12

Bit 2: reserviert

Bit 3:

0 GSP-Adresse I/O 340 H

1 GSP-Adresse I/O 350 H

Bit 4..7: reserviert

Byte 55 H bis 5D H reserviert

Byte 5E H bis 5F H reserviert

Byte 60 H bis 7D H reserviert

Byte 7E H bis 7F H zusätzliche Prüfsumme für den CMOS-RAM-Bereich

Prüfsumme von Byte 40 H .. Byte 7D H

*) Wichtige Identnummern sind im Kapitel Identifikation beschrieben.

2.4.6 Besonderheiten bei der I/O-Programmierung

Schreibzugriffe auf den RAM-Speicher des Uhrenbausteins benötigen 2 Schritte:

1. OUT auf die Adresse 70 H

Das ausgegebene Datenbyte enthält in den Bits 0...6 die Adresse des anzusprechenden RAM-Bytes. Mit Bit 7 kann der NMI (**N**on **M**askable **I**nterrupt) gesperrt werden. Bit 7 = "1": gesperrt, = "0": freigegeben.

2. OUT auf die Adresse 71 H

Daten, die in den RAM eingetragen werden sollen.

Lesezugriffe auf den RAM-Speicher des Uhrenbausteins erfordern ebenfalls 2 Schritte:

1. OUT auf die Adresse 70 H

Das ausgegebene Datenbyte enthält in den Bits 0...6 die Adresse des anzusprechenden RAM-Bytes.

2. IN von der Adresse 71 H

Die Daten des angesprochenen RAM-Bytes werden in ein Register des Prozessors eingelesen.

Bei Assembler-Programmierung ist zu beachten:

Werden I/O-Befehle direkt hintereinander auf die gleiche I/O-Adresse des Uhrenbausteins gegeben, treten Fehler auf. Die Erholzeit wird nicht eingehalten. Abhilfe schafft folgende Programmierweise:

Auf einen "IN" bzw. "OUT"-Befehl sollte folgender "Dummy-Zugriff" folgen:

PUSH	AX
IN	AL,80H
POP	AX

Beispiel :

OUT	IO_PORT, AL
PUSH	AX
IN	AL,80H
POP	AX
MOV	AL, AH
OUT	IO_PORT, AL

2.4.7 Beispielprogramm

Das folgende Beispielprogramm soll die Anwendung der Echtzeituhr demonstrieren. Es wurde für das Betriebssystem MS-DOS (ab Version 3.1) erstellt.

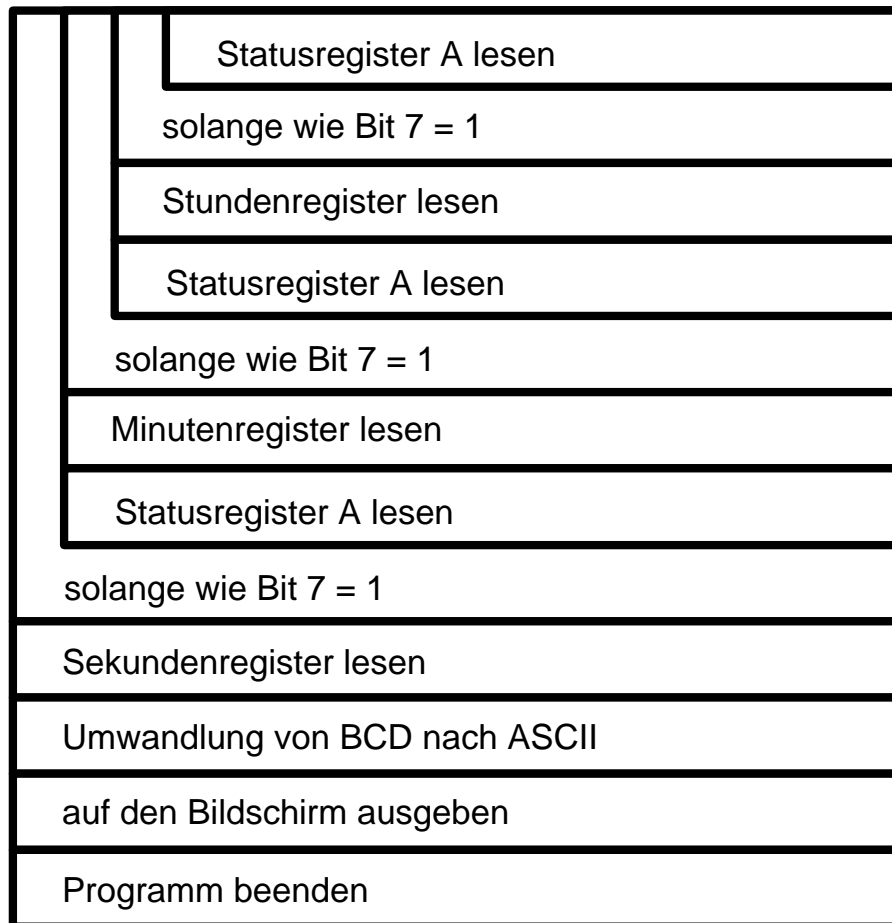


Bild 2.5: Struktogramm zum folgenden Listing

```

warte macro
    push    ax
    in      al,80H
    pop     ax
endm clock segment
assume    cs:clock, ds:daten, ss:stack
;
;
hwclock:
    mov     ax, seg stack      ;Stacksegment- u. Datensegment-
    mov     ss, ax            ;register vorbesetzen
    mov     ax, daten
    mov     ds, ax
;
;
; ****      STUNDEN      ****
lesen:
    mov     al, starega
    mov     dx, hwusel        ;dx=Portadr. des Auswahlreg.
    out     dx, al            ;Register auswählen
    warte
    inc     dx                 ;dx=Portadr. MC146818
    in      al, dx            ;Statusregister auslesen
    and     al, 10000000B     ;Bit 7 ausblenden
    jnz     lesen            ;Sprung wenn nicht null
    dec     dx                 ;dx=Portadresse Auswahlreg.
    mov     al, stureg
    out     dx, al            ;Register auswählen
    warte
    inc     dx                 ;dx=Portadr. MC146818
    in      al, dx            ;Register lesen
    mov     stunde, al        ;Wert im Datenseg. speichern
;
;
; ****      MINUTEN      ****
;
;
    mov     al, starega
    dec     dx                 ;dx=Portadr. Auswahlreg.
    out     dx, al            ;Register auswählen
    warte
    inc     dx                 ;Portadr. MC146818

```

```

in      al, dx      ;Statusregister auslesen
and     al, 1000000B ;Bit 7 ausblenden
jnz     lesen      ;Sprung wenn nicht null
dec     dx          ;dx=Portadresse Auswahlreg.
mov     al, minreg
out     dx, al     ;Register auswählen
warte
inc     dx          ;Portadresse MC146818
in      al,dx      ;Register lesen
mov     minute, al ;Wert im Datenseg. speichern
;
;
; **** SEKUNDEN ****
;
mov     al, starega
dec     dx          ;dx=Portadr. Auswahlreg.
out     dx, al     ;Register auswählen
warte
inc     dx          ;Portadr. MC146818
in      al, dx      ;Statusregister lesen
and     al, 1000000B ;Bit 7 ausblenden
jnz     lesen      ;Sprung wenn null
dec     dx          ;dx=Portadresse Auswahlreg.
mov     al,sekreg
out     dx, al     ;Register auswählen
warte
inc     dx          ;Portadresse MC146818
in      al, dx      ;Register lesen
mov     sekunde, al ;Wert im Datenseg. abspeichern
;
;
; **** Daten der RTC (= real time clock) gültig ****
; **** Umwandlung der Daten in ASCII-Darstellung ****
;
mov     al, staregb
dec     dx          ;dx=Portadr. Auswahlreg.
out     dx, al
warte
inc     dx          ;Portadresse MC146818
in      al, dx      ;Statusreg. 'B' lesen
and     al, 00000100B ;Bit 'DM' ausblenden

```

```

jnz      binasi                ;gegebenenfalls Sprung
;
; ****      Umwandlung   BCD-ASCII   ****
;
mov      al, stunde
call    bcdasc                ;BCD-ASCII-Umwandlung
mov     word ptr stunde, ax   ;Stunde in String
mov     al, minute
call    bcdasc                ;BCD-ASCII-Umwandlung
mov     word ptr minute, ax   ;Minute in String
mov     al, sekunde
call    bcdasc                ;BCD-ASCII-Umwandlung
mov     word ptr sekunde, ax  ;Sekunde in String
jmp     ausgabe                ;Sprung an Ausgabeteil binasi:
mov     al, stunde
call    binasc                ;Binär-ASCII-Umwandlung
mov     word ptr stunde, ax   ;Stunde in String
mov     al, minute
call    binasc                ;Binär-ASCII-Umwandlung
mov     word ptr minute, ax   ;Minute in String
mov     al, sekunde
call    binasc                ;Binär-ASCII-Umwandlung
mov     word ptr sekunde, ax  ;Sekunde in String
;
; ****      RTC Daten ausgeben   ****
;
ausgabe:
lea     dx, msg                ;ds:dx Zeiger auf String
mov     ah, 09h                ;MS DOS-Systemaufruf
int     dos                    ;INT 21h
;
; ****      beende Programm   ****
;
mov     ah, 4ch                ;MS DOS-Systemaufruf
int     dos                    ;INT 21
;
; ****      Unterprogramm zum Wandeln   ****

```

```
; ****      von Binär- in ASCII-Code      ****
;
;
binasc      proc xor ah, ah      ;ah=0
mov        cl, 10
div        cl                    ;ax durch 10 dividieren
mov        cl, 4
sal        al, cl                ;Quotient mit 16 multiplizieren
or         al, ah                ;Quotient H-Nibble rest L-Nibble
call      bcdasc                ;BCD-ASCII-Umwandlung
ret
;
binasc      endp ;
;
; ****      Unterprogramm zum Wandeln      ****
; ****      von BCD- in ASCII-Code      ****
;
;
bcdasc      proc
mov        cl, 4
xor        ah, ah                ;ah=0
shl        ax, cl                ;H-Nibble in ah
shr        al, cl                ;L-Nibble in al
or         ax, 3030h             ;umsetzen in ascii
xchg      ah, al                ;Stellen tauschen
ret
;
bcdasc      endp clock          ends
;
daten      segment
hwusel     equ          70h
sekreg     equ          00
minreg     equ          02
stureg     equ          04
starega    equ          0ah
staregb    equ          0bh
;
dos        equ          21h
msg        db 0dh, 0ah, 0ah      ;String
;
stunde     db            'Echtzeituhr'
           db            0, 0
```

```
minute      db      ':'
            db      0, 0
            db      ':'
sekunde     db      0, 0
            db      0dh, 0ah, 0ah
            db      '$'
;
daten      ends
;
stack      segment para stack 'stack'
            db      2 dup (?)
;
stack      ends
;
end
```


2.5 Schnittstellen auf der Grundplatine

Auf der Grundplatine befinden sich neben ARCNET noch eine parallele und 2 serielle Schnittstellen. An die Parallelschnittstelle (Centronics; LPT 1) wird der Drucker über eine 25polige Buchsenleiste angeschlossen. Alle Leitungen führen TTL-Pegel.

Eine der 2 seriellen Schnittstellen ist als 9polige Stiftleiste ausgeführt; sie ist für den Anschluß einer Maus vorgesehen, kann jedoch auch zum Anschluß eines seriellen Druckers verwendet werden (V.24), sofern dieser über eine entsprechende Schnittstelle verfügt.

Die Signal- und Steuerleitungen der zweiten seriellen Schnittstelle sind auf eine 25polige Buchsenleiste geführt. Zusätzlich zu den standardmäßigen V.24-Leitungen sind ein Sende- und Empfangskanal mit 20 mA Linienstrom (TTY) und die Modem-Steuerleitungen DSR, CTS, DTR, RI und DCD auf die Buchsenleiste aufgelegt. Sende- und Empfangskanal sind passiv und mit dem 20 mA-Anschluß auch aktiv verwendbar.

Der ARCNET-Anschluß bildet die Verbindung zu einem Token-Ring-Netzwerk. Über diese Schnittstelle ist ein rascher Datenaustausch möglich.

Die oben aufgeführten Schnittstellen belegen die Interrupts 3, 4, 5 und 7 (IRQ 3 Mausschnittstelle, IRQ 4 V.24, IRQ 5 ARCNET, IRQ 7 Parallelschnittstelle). Werden diese Interrupts von anderen Baugruppen benötigt, so kann in der SETUP-Maske die entsprechende Schnittstelle "disable" geschaltet werden. Der Interrupt steht dann einer Baugruppe auf dem Systembus zur Verfügung. Die den Schnittstellen zugeordneten I/O-Adressen sind dann frei.

Werden Baugruppen auf den Systembus gesteckt, die bereits auf der Grundbaugruppe vorhandene Schnittstellen nochmals besitzen, kommt es zu Fehladressierungen und Konflikten auf dem Datenbus. Weitere Angaben zu den Schnittstellen finden Sie in den entsprechenden Kapiteln.

3 Netzteil

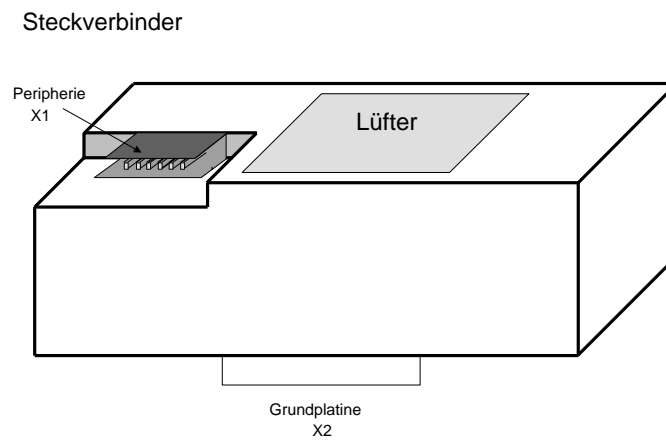


Bild 3.1: Aufbau

3.1 Technische Daten

Das Netzteil kann mit 115 V bzw. 230 V betrieben werden. Die Umschaltung zwischen den beiden Netzspannungen erfolgt automatisch.

Für die beiden Bereiche sind folgende Toleranzen zulässig:

Bereich 115 V:	AC 97 ... 127 V
Bereich 230 V:	AC 187 ... 264 V

Netzfrequenz: 47 ... 63 Hz

Leistungsaufnahme: max. 160 VA

Das Netzteil ist mit einem drehzahlgeregelten Lüfter ausgestattet. Die Drehzahl wird in Abhängigkeit der Temperatur geregelt.

Spannung	Strom	Toleranz	Ripple	Bemerkung
+5 V *)	max. 10 A min. 3,5 A	+/-5%	50 mV	
+12 V *)	max. 3,0 A min. 1,4 A	+/-5%	100 mV	3,5 A kurzzeitig (30 s)
-12 V	max. 0,15 A	+/-5%	100 mV	
-5 V	max. 0,15 A	+/-5%	50 mV	
+24 V	max. 0,04 A	+/-15%	200 mV	potentialfrei
- 24 V	max. 0,06 A	+/-5%	120 mV	

*) Die am Netzteil angeschlossenen Lasten müssen die angegebenen Mindestströme aufnehmen; sonst regelt das Netzteil alle Spannungen zurück.

3.2 Verhalten bei Netzausfall

Zusätzlich zu den Versorgungsspannungen liefert das Netzgerät ein Signal (Power Good), das anzeigt, ob die angebotenen Spannungen korrekt zur Verfügung stehen. Sollte es einmal vorkommen, daß die Netzspannung ausfällt, so wird dies vom Power-Good-Signal 20 ms bevor die +5 V Spannungsversorgung zusammenbricht angezeigt. Das Power-Good-Signal kann einen NMI auslösen, diese Funktion kann im Port D aktiviert werden. Durch Lesen des Port D (Adr. IO 65 H) kann festgestellt werden, ob ein NMI durch das Power-Good-Signal ausgelöst wurde. Dadurch läßt sich vor dem Ausfall der Versorgungsspannung noch eine Rettroutine anstoßen, um z.B. im Speicher vorhandene Daten noch in nicht flüchtige Speichermedien zu transferieren.

Die oben erwähnte Pufferung von 20 ms nach Netzausfall gilt bei Vollbelastung des Netzteiles. Dadurch läßt sich eine Power-Pack-Lösung realisieren (Notstromversorgung).

Ist die 5-V-Versorgung sekundärseitig nach einem Netzausfall nicht mehr gewährleistet, so liefert das Netzteil ein RESET-Signal, das die CPU und andere periphere Einheiten in die Grundstellung bringt.

Das RESET-Signal wird auch benutzt, um den Zugriff des Prozessors auf die Uhr mit den Konfigurationsdaten zu sperren.

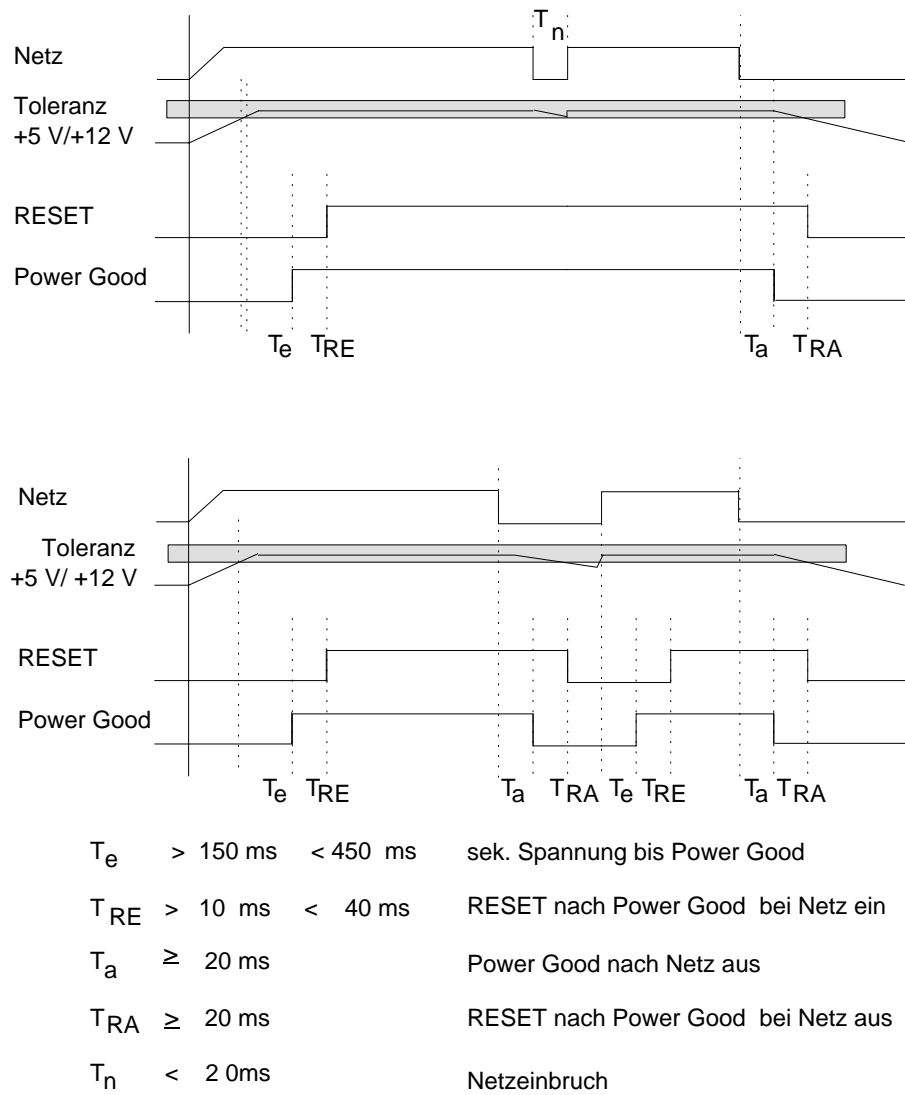


Bild 3.2: Zeitlicher Verlauf von Power Good und RESET

3.3 Strombedarf der Komponenten

Baugruppe	+5 V	+12 V	-12 V	Sonst.
Grundplatine	5 A	0,08 A	0,04 A	-
Numerikprozessor 80387SX	0,25 A	-	-	-
Modulprogrammierung	-	0,35 A	0,01 A	-
S/W-LCD-Display mit Hinterleuchtung	0,03 A	0,6 A	-	- 24 V/50 mA
Farb-LCD-Display m.Hinterleuchtung	0,1 A	1,9 A		
L2 - Anschaltung	1,5 A	-	-	-
Speichererweiterung	1 A	-	-	-
Ethernet - Anschaltung CP1413	1,5 A	0,25	-	-
DF20GAT	1,3 A	-	-	-
Floppy-Laufwerk 5,25"	ca.0,5 A	0,2(0,6) A	-	-
Floppy-Laufwerk 3,5"	0,3(0,8) A	-	-	-
Winchester-Laufwerk 40 Mbyte	ca.0,6 A	0,6(1,6) A	-	-
Winchester-Laufwerk 100 Mbyte	ca.0,32 A	0,4(1) A	-	-
Tastatur/Maus	0,05 A	-	-	-

Die Werte in den Klammern sind Spitzenwerte, die nur beim Einschalten bzw. beim Zugriff erreicht werden.

3.4 Steckerbelegungen

Peripheriestecker X1

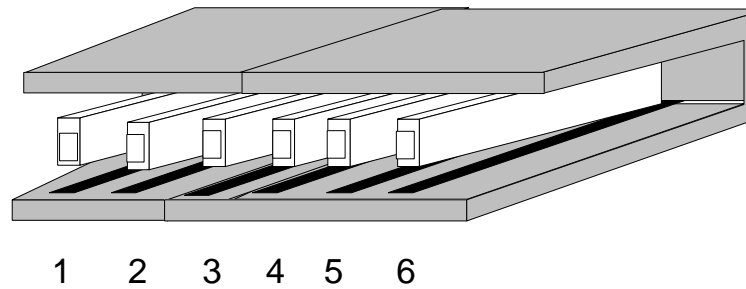


Bild 3.3: Peripheriestecker X1

-24 V	O 1	6poliger Stecker (grün); Draufsicht auf Stifte
0 V	O 2	
12 V	O 3	
12 V	O 4	
0 V	O 5	
5 V	O 6	

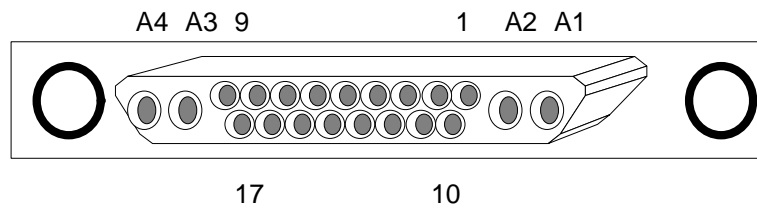


Bild 3.4: Grundplatine X2

D-Buchsenleiste mit Hochstromkontakten (Draufsicht auf Buchse)

A4	O	+5 V
A3	O	GND
	O	reserviert
Reset	O	9
	17	O
Power Good	O	8
	16	O
GND	O	24 V pot. frei
	15	O
0 V Sense(5 V)	O	0 V pot. frei
	14	O
5 V Sense	O	0 V Sense (12 V)
	13	O
-5 V	O	12 V Sense
	12	O
reserviert	O	12 V
	11	O
-12 V	O	12 V
	10	O
		1
A2	O	+5 V
A1	O	GND

4 Speicher- und Peripherieadressen

Bei der Aufteilung der Adreßräume wird unterschieden zwischen

- **Speicheradreßraum und**
- **Peripherieadreßraum.**

Angesprochen werden diese Bereiche durch unterschiedliche Schreib-Lese-Signale (I/O WR, I/O RD, MEMR, MEMW). Die folgenden Tabellen geben einen Überblick über die belegten Adreßbereiche. Weitere Informationen entnehmen Sie bitte der Beschreibung der einzelnen Funktionsgruppen.

Belegung des Speicheradreßraums 16 Mbyte

00 0000 bis 09 FFFF	640 kbyte Systemspeicher auf der Grundplatine Systemdaten, Betriebssystem, Treiber und Programme
0A 0000 bis 0B FFFF	128 kbyte Bildwiederholtspeicher und Punktspeicher für Monitor-Anschaltung. Je nach Betriebsart wird ein Teil oder der ganze zur Verfügung stehende Speicherbereich von der VGA-Monitor-Anschaltung benutzt.
0C 0000 bis 0C 7FFF	32 kbyte für VGA-BIOS reserviert
0C 8000 bis 0D FFFF	96 kbyte für Erweiterungen reserviert (zusätzliche ROM- Treiber)
0D 0000 bis 0D 0FFF	reserviert für ARCNET-Puffer-RAM 2. Adreßraum
0E 0000 bis 0E 0FFF	reserviert für ARCNET-Puffer-RAM
0E 1000 bis 0E FFFF	60 kbyte für Erweiterungen reserviert
0F 0000 bis 0F FFFF	64 kbyte max. System-BIOS auf der Grundplatine
10 0000 bis EF FFFF	14 Mbyte RAM-Erweiterung davon 3 Mbyte im Grundausbau (virtuelle Diskette oder "protected mode" Betriebssysteme)
F0 0000 bis FE FFFF	reserviert für Dual-Port-RAM-Busschnittstelle für Erweiterungsbaugruppen
FF 0000 bis FF FFFF	64 kbyte Spiegelung des Bereiches 0F 0000 bis 0F FFFF aus Gründen der Kompatibilität zum 8086

Peripherie- Adreßbelegung	Baustein/Baugruppe	Verwendeter Hardware Interrupt
0000 H-001F H	DMA-Controller 1 (ISA-Bus-Controller: 8237)	
0020 H-0021 H	Interrupt-Controller 1 (ISA-Bus-Contr.: Master 8259)	
0022 H-003F H	unbenutzt	
0040 H-005F H	Timer (ISA-Bus-Controller: 8254)	IRQ 0
0060 H-0064 H	Tastatur-Controller (COMBO I/O-Chip: 8042)	IRQ 1
0061 H	Port B: Timer/Lautspr./Parität Systembus/ -RAM	NMI
0062 H	reserviert	
0063 H	Port C: Konfiguration und Identifikation	
0065 H	Port D: Konfiguration der Grundbaugruppe	
0066 H-006F H	unbenutzt	
0070 H-007F H	Echtzeituhr(ISA-Bus-Contr.:146818) NMI-Freigabe	
0080 H-009F H	DMA-Seitenregister (ISA-Bus-Contr.: '612)	
00A0 H-00BF H	Interrupt-Controller 2 (ISA-Bus-Contr.: Slave/8259A)	IRQ 2
00C0 H-00DF H	DMA-Controller 2 (ISA-Bus-Contr.: 8237)	
00E0 H-00EF H	reserviert	
00EC H-00ED H	Konfiguration (System- und ISA-Bus-Controller)	
00F0 H-00FF H	Numerikprozessor (80387SX)	IRQ 13
0100 H-010F H	SINEC-H1-Anschaltung	IRQ x
0110 H-016F H	unbenutzt	
0170 H-0171 H	RTC-Register COMBO I/O-Chip	
0172 H-0177 H	reserviert	
0178 H-01EF H	unbenutzt	
01F0 H-01FF H	IDE-Interface (COMBO I/O-Chip)	IRQ 14
0200 H-020F H	reserviert (Game I/O)	
0210 H-0277 H	reserviert (z.B. RAM-Page)	
0278 H-027F H	reserviert (Parallelschnittstelle 2)	IRQ 5
0280 H-02AF H	reserviert (z.B. RAM-Page)	
02B0 H-02DF H	reserviert (Farbgraphik 2/EGA)	
02E0 H-02EB H	reserviert (ARCNET-Controller 2. Adreßbereich)	IRQ 5

Peripherie- Adreßbelegung	Baustein/Baugruppe	Verwendeter Hardware Interrupt
02F8 H-02FF H	Serielle Schnittstelle 2 (Maus)	IRQ 3
0300 H-031F H	reserviert (Modulprogrammierung)	
0320 H-033F H	unbenutzt (XT:320-32F: Fixed Disk)	
0340 H-035F H	HIGRAPH (CPU-) Host-Interface	IRQ x
0360 H-036F H	reserviert (IBM-PC-Net)	
0370 H-0377 H	reserviert (Floppy-Controller 2)	
0378 H-037F H	Parallelschnittstelle 1	IRQ 7
0380 H-038F H	reserviert (SDLC, bisynchron 2)	
0390 H-039F H	SINEC-H2-Anschaltung	IRQ x
03A0 H-03AF H	reserviert (SDLC, bisynchron 1)	
03B0 H-03BF H	S/W-Monitor-Anschaltung bzw. VGA	
03C0 H-03CF H	Farbgraphik-Anschaltung VGA	IRQ 9
03D0 H-03DF H	Farbgraphik-Anschaltung CGA/VGA	
03E0 H-03EF H	unbenutzt	
03F0 H-03F7 H	Floppy-Controller 1	IRQ 6 DRQ- /DACK 2
03F8 H-03FF H	Serielle Schnittstelle 1 (V.24/V.28)	IRQ 4
0400 H-FFFF H	reserviert	

IRQ x

steht für eins von IRQ 10,11,12,15 je nach Selektion auf der Baugruppe, bei der HIGRAPH je nach der in der SETUP-Maske vorgenommenen Selektion.

4.1 Controlports B,C,D:

Port B		
Adr. 0061 H		
BIT	DIR	BEDEUTUNG
7	L/-	1: RAM-Paritätsfehler steht an
6	L/-	1: Systembus-Paritätsfehler steht an
5	L/-	Timer OUT2
4	L/-	1: bei jedem 2. Speicher-Refresh-Zyklus
3	L/S	0: Systembus-Paritätsprüfung ist freigegeben 1: Reset eines Systembus-Paritätsfehlers. Dieses Bit wird ebenfalls zur CGA-Emulation und während der Systembuskonfiguration benutzt.
2	L/S	0: RAM-Paritätskontrolle freigegeben 1: Reset eines RAM-Paritätsfehlers
1	L/S	Daten für den Lautsprecher bzw. Freigabe für den Timer OUT 2
0	L/S	Timer Gate 2 für den Lautsprecher

Port C		
Adr. 0063 H		
BIT	DIR	BEDEUTUNG
7	L/S	Freies Merkerbit unbenutzt
6-4	L	unbenutzt beim Lesen immer 1
3	L/S	CONFIG schaltet normale I/O-Decodierung ab. 1: über die SLOT[0..2] kann jeder Steckplatz einzeln adressiert werden
2	L/S	unbenutzt beim Lesen immer 1
1..0	L/S	SLOT[2..1] Steckplatzadresse 00b und 01b kein Steckplatz angewählt, mit 10b und 11b werden die Steckplätze auf der Busplatine angewählt.

Die Grundstellung nach RESET von diesem Register ist 0000 0000b.

Port D		Adr. 0065 H
BIT	DIR	BEDEUTUNG
7	L/S	Freies Merkerbit unbenutzt
6	L	NMI (PF) 0b = Normalbetrieb 1b = NMI wurde durch Netzausfallwarnung ausgelöst
5	L/S	Freies Merkerbit unbenutzt
4	L/S	HIGRAPH-Adreßraum 0b = GSP-Adresse I/O 340 H 1b = GSP-Adresse I/O 350 H
3	L/S	HIGRAPH-Interrupt 0b = GSP-Interrupt IRQ 11 1b = GSP-Interrupt IRQ 12
2	L/S	Netzausfallwarnung (FE) 0b = Ausfallwarnung gesperrt 1b = Netzausfall löst NMI aus (siehe auch Bit 6)
1	L/S	Modulprogrammierung 0b = Modulprogrammierung ist gesperrt (Adr. 300..31F H sind frei) 1b = Modulprogrammierung ist freigegeben
0	L/S	0b = ARCNET ist gesperrt 1b = ARCNET ist freigegeben

5 Arithmetikprozessor 80387SX

5.1 Arbeitsweise

Für die schnelle und genaue Ausführung von numerischen Funktionen läßt sich der Arithmetikprozessor 80387SX in das PG 730 einsetzen. Der 80387SX ergänzt die CPU (Prozessor 80386SX) um zusätzliche Datentypen, Register und Befehle. Die Architektur des Arithmetikprozessors und die Funktionsweise der Compiler/Linker der üblichen Programmiersprachen sorgen dabei selbsttätig für die Koordination beider Prozessoren. Der Numerikprozessor 80387SX ist softwarekompatibel zu den Prozessoren 8087, 80287 und 80387.

5.1.1 Datentypen

Datentypen	Zahlendarstellung		Ungefäherer Wertebereich
	Länge (in Bit)	Dezimal- stellen	
Wort Ganzzahl	16	4	$-32,768 \leq X \leq +32767$
Kurze Integer-Zahl	32	9	$-2 \times 10^9 \leq X \leq +2 \times 10^9$
Lange Integer-Zahl	64	18	$-9 \times 10^{18} \leq X \leq +9 \times 10^{18}$
Gepackte Dezimalzahl	80	18	$-99..9 \leq X \leq +99..9$ (18 Stellen)
Kurze Gleitkommazahl	32	6-7	$8,43 \times 10^{-37} \leq X \leq 3,37 \times 10^{38}$
Lange Gleitkommazahl	64	15-16	$4,19 \times 10^{-307} \leq X \leq 1,67 \times 10^{308}$
Temporäre Gleitkommazahl	80	19	$3,4 \times 10^{-4932} \leq X \leq 1,2 \times 10^{4932}$

Die Tabelle gibt eine Übersicht über die Datentypen des Arithmetikprozessors 80387SX.

Intern hält der Arithmetikprozessor alle Zahlen im temporären Gleitkommaformat; der große Bereich und die Genauigkeit sind hauptverantwortlich für stabile, wiederholbare Ergebnisse. Während der Lade- und Transferbefehle findet eine Umwandlung zwischen den anderen Formaten und der internen Zahlendarstellung statt.

5.1.2 Register

Arithmetische Berechnungen werden im Registerstapel des 80387SX ausgeführt. Die acht 80 bit langen Register bieten eine Kapazität, die 40 Registern einer 16-bit-CPU entsprechen. Damit lassen sich Konstanten und Zwischenergebnisse intern abspeichern, ohne den externen Bus zu belasten.

Die Register lassen sich als Registerstapel ansprechen, wobei Befehle implizit mit einem oder den beiden oberen Registern arbeiten. Als frei adressierbarer Registersatz wird der Registerstapel von Befehlen angesprochen, die auf bestimmte Register wahlfrei zugreifen. Die Adressierung erfolgt relativ zum Stapelanfang.

5.1.3 Befehle

Befehlsklassen	Befehlsarten
Datentransfer	Laden und Speichern aller Datentypen, Austausch
Arithmetik	+ , - , x , / - , / mit vertauschten Operanden Wurzel, Skalierung, Division mit Rest, Rundung auf Ganzzahl, Vorzeichenwechsel, Betrag, Zahlenzerlegung
Vergleich	Vergleich, Prüfen, Test
Transzendent	TAN, ARCUSTAN, $2^{(X-1)}$, $Y \cdot \text{ld}(X+1)$, $Y \cdot \text{ld}(X)$
Konstanten	0, 1, π , $\log(2)$, $\ln(2)$, $\text{ld}(10)$, $\text{ld}(e)$
Prozessorsteuerung	Steuerwort laden und Speichern, Statuswort speichern, Teilstatus laden und speichern, Status sichern und wiederherstellen, Sperren und Freigeben von Unterbrechungen, Löschen von Sonderfällen, Initialisierung

Die Tabelle gibt eine Übersicht über die verschiedenen Befehlsklassen des 80387SX.

Der Microsoft Assembler MASM bietet Direktiven für die Definition aller Datentypen des 80387SX und verarbeitet seine Befehlsmnemonik. Daß dabei verschiedene Befehle in einem Programm vom 80387SX und andere von der CPU ausgeführt werden, ist für den Programmierer ohne Belang. Alle Adressierungsarten des 80386SX können benutzt werden, um auf Speicheroperanden für den Arithmetikprozessor zuzugreifen. Damit lassen sich numerische Datenfelder und Strukturen bequem verarbeiten.

Auf Hochsprachenniveau bieten z.B. verschiedene C-Compiler Zugriff auf viele Funktionen des 80387SX, ohne daß der Programmierer etwas von der Architektur des Chips wissen muß.

Zwei Eigenschaften des 80387SX vereinfachen die Programmierung numerischer Probleme:

- Der Arithmetikprozessor wird direkt von den Befehlen angesprochen. Eine Sonderbehandlung beim Programmieren ist nicht notwendig.
- Der Arithmetikprozessor erkennt automatisch Sonderfälle, die Rechenergebnisse verfälschen könnten. Die Sonderfälle werden hardwareseitig erkannt und so behandelt, daß ein "vernünftiges" Ergebnis zustande kommt und der Prozessor ohne Programmeingriff weiter arbeitet. Der 80387SX signalisiert Ausnahmen über die ERROR-Leitung, dabei wird der Hardware-Interrupt IRQ 13 ausgelöst, der über den BIOS zur NMI-Routine verzweigt, der zur "Sonderfall-Behandlungs"-Routine zeigen muß.

5.1.4 Software-Emulator

Der Software-Emulator für den Arithmetikprozessor läuft vollständig auf der CPU 80386SX ab. Dieses Programm bildet die Befehle nach, die der Arithmetikprozessor ausführen würde, wenn er im PG eingebaut wäre. Der Emulator ist Bestandteil der Hochsprachen-Compiler/Linker.

Auf Quellcode-Ebene gibt es keinen Unterschied zwischen Programmen, die mit dem Emulator oder mit dem Arithmetikprozessor ablaufen. Erst beim Binden von Programmen wird geprüft, ob ein Arithmetikprozessor vorhanden ist. Ist kein Arithmetikprozessor vorhanden, müssen die Emulator-Programme mit in das Anwenderprogramm eingebunden werden. Ein erneutes Assemblieren oder Recompilieren der Anwenderprogramme im Quellcode ist nicht notwendig.

Der Arithmetikprozessor bearbeitet entsprechende Befehle erheblich schneller als der Software-Emulator.

5.2 Aufbau des Arithmetikprozessors

Der 80387SX kann als Prozessorerweiterung zum 80386SX, gemäß Bild angeschlossen werden. Die Datenkanal-Steuersignale PRQNPX, BSYNPX und ERRNPX ermöglichen es dem Arithmetikprozessor, Daten und Befehle von der CPU zu erhalten.

BSYNPX	zeigt an, daß der Numerikprozessor damit beschäftigt ist, ein Kommando abzuarbeiten.
PRQNPX	zeigt an, daß der Numerikprozessor bereit ist, einen Datentransfer durchzuführen.
ERRNPX	zeigt an, daß eine nicht maskierte Fehlerbedingung aufgetreten ist.

Der 80387SX kann parallel mit oder unabhängig von der Host-CPU betrieben werden. Wenn der Numerikprozessor einen Fehler oder einen Sonderfall entdeckt, zeigt er dies der CPU durch das Signal ERRNPX an, welches auf den Interrupt-Controller wirkt.

Der 80387SX benutzt im "protected mode" die Prozessor-Erweiterungsanschlüsse der 80386SX-CPU für den Datentransfer mit dem Speicher. Der volle virtuelle und physikalische Adreßraum des 80386SX ist verfügbar. Daten für den 80387SX werden im Speicher auf dieselbe Art wie beim 8087, 80287 oder 80387 adressiert und dargestellt.

5.2.1 Hardware-Schnittstelle

Der Arithmetikprozessor benutzt den gleichen Takt wie der Zentralprozessor 80386SX. Mit dem 80386SX Zentralprozessor ist der Arithmetikprozessor wie ein Port mit den Adressen 00F8 H, 00FA H und 00FC H verbunden. Der Zentralprozessor übergibt und empfängt Daten, Op-Codes und Operanden über diese I/O-Ports vom Arithmetikprozessor. Der Austausch von Daten und Befehlen zwischen den Prozessoren 80386SX und 80387SX wird dabei von den Signalen STEN, CMD0#, NPS1#, NPS2 und W/R# durchgeführt. Das BUSY-Signal des Arithmetikprozessors signalisiert dem 80386SX Zentralprozessor, daß gerade ein Befehl ausgeführt wird. Mit dem WAIT-Befehl kann der 80386SX Zentralprozessor angehalten werden, bis der Arithmetikprozessor seine Befehlsabarbeitung beendet hat. Das READY-Signal dient lediglich zur Synchronisation der beiden Prozessoren während der Befehls- und Datenübertragung.

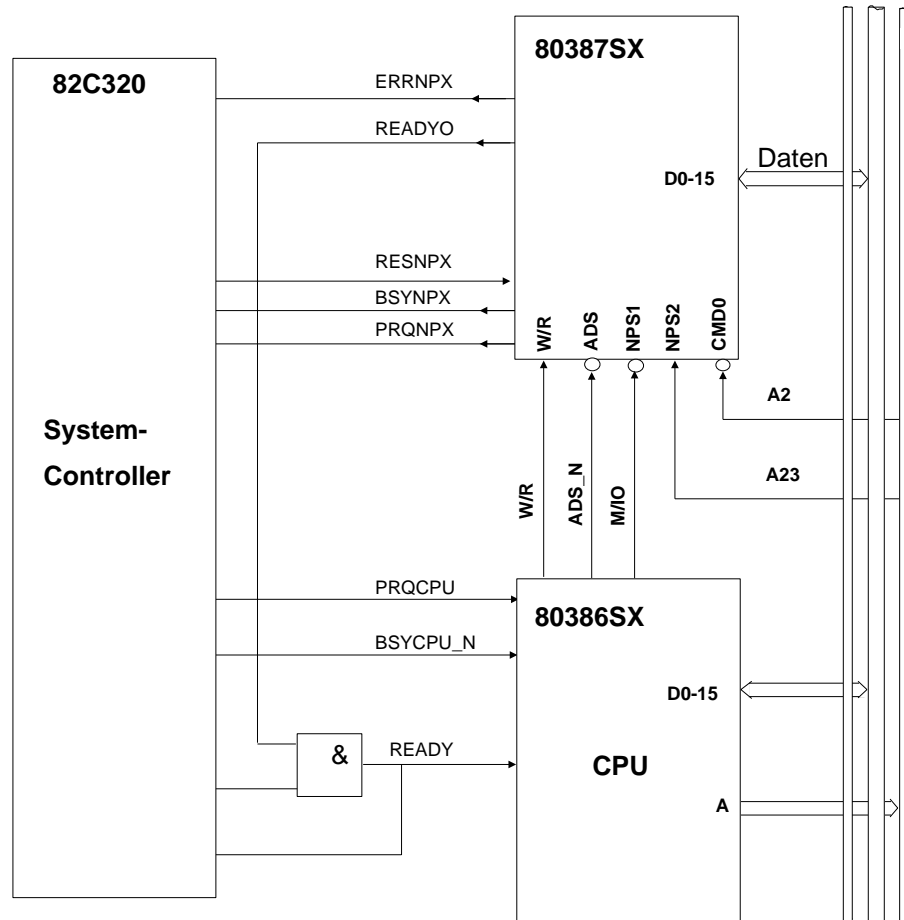


Bild 5.1: Hardware-Verbindungen zwischen den Prozessoren

Der Arithmetikprozessor kennt sechs verschiedene EXCEPTION-Bedingungen. Falls die passende EXCEPTION-Maske im Arithmetikprozessor nicht gesetzt ist, wird vom Arithmetikprozessor ein /ERROR-Signal ausgegeben. Mit diesem /ERROR-Signal wird ein Hardware-Interrupt 13 ausgelöst und gleichzeitig das /BUSY-Signal ausgegeben. Das /BUSY-Signal kann mit einem Schreibbefehl auf das Port 00F0 H mit dem Datum 00 H zurückgesetzt werden. Der vom ROM-BIOS während des Systemstarts durchgeführte Selbsttest setzt den Vektor (INT 13) auf eine ROM-Routine. Diese ROM-Routine löscht das gelatchte /BUSY-Signal und springt in die NMI-Routine; damit wird Kompatibilität zum 8087 erreicht.

Der 80387SX Arithmetikprozessor kann wie der 80386SX Zentralprozessor im "real- und protected adress mode" betrieben werden. Nach Einschalten des Geräts befindet sich der Arithmetikprozessor im "real adress mode".

Zusätzlich kann mit einem Schreibbefehl auf das Port 00F1 H mit dem Datum 00 H ein RESET des Arithmetikprozessors veranlaßt werden, d.h. der Arithmetikprozessor wird in den "real adress mode" gesetzt. Wird der Arithmetikprozessor über Port F1 H zurückgesetzt, dann muß zusätzlich das Kommando FINIT an den Arithmetikprozessor gegeben werden. Damit verhält sich der Arithmetikprozessor wie ein 80287 Arithmetikprozessor nach einem Hardware-Reset. Die Reset-Funktion (siehe Beschreibung von Port F1 H) kann im System-Controller 82C320 gesperrt werden. Dazu muß Bit 6 des MISCSET-Register auf logisch "1" gesetzt werden.

Im "real adress mode" verhält sich der 80387SX Arithmetikprozessor wie der 8087 Arithmetikprozessor. Mit dem Befehl ESC SETPM kann der Arithmetikprozessor in den "protected adress mode" gesetzt werden.

5.2.2 Architektur des Prozessors

Der Arithmetikprozessor 80387SX ist intern aus 2 Teilen aufgebaut:

- Bus-Interface-Unit (BIU) und
- Numeric-Execution-Unit (NEU)

Während die NEU die eigentliche numerische Bearbeitung ausführt, ist der BIU-Teil für Befehlholen, Lesen und Schreiben von Speicheroperanden und die Ausführung der Steuerbefehle verantwortlich. Beide Teile können unabhängig voneinander arbeiten. Während die Bus-Interface-Unit den Arithmetikprozessor mit der CPU synchronisiert, bearbeitet die Numeric-Execution-Unit numerische Anweisungen.

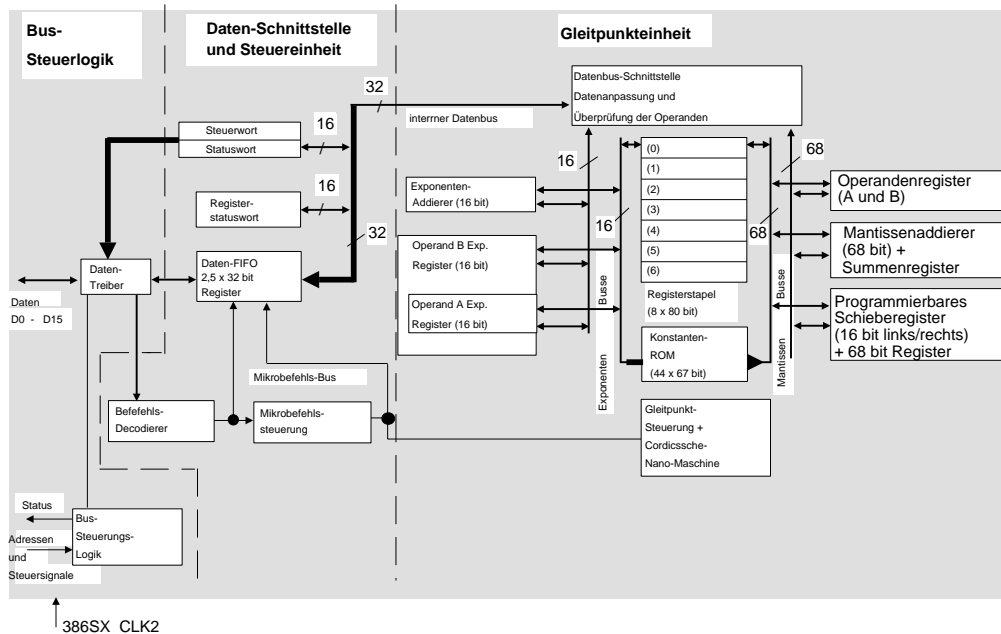


Bild 5.2: Architektur des 80387

Bus-Interface-Unit (BIU)

Der BIU-Teil decodiert die ESC-Anweisung, die vom 80386SX zum 80387SX übertragen wird. Wenn eine mathematische Instruktion vorliegt, überträgt der BIU-Teil die formatierte Anweisung zum NEU.

Liegt ein Steuerbefehl vor, so führt diesen die BIU unabhängig von NEU aus. Das parallele Arbeiten des Arithmetikprozessors mit der CPU ist normalerweise für den Benutzer transparent. BIU erzeugt die /BUSY- und /ERROR-Signale für die 80386SX/80387SX-Prozessorsynchronisation bzw. Fehlererkennung.

Der 80387SX führt immer nur einen numerischen Befehl aus. Bei den meisten ESC-Anweisungen testet der 80386SX den BUSY-Anschluß und wartet, bis der 80387SX anzeigt, daß er bereit ist, bevor er das Kommando initialisiert.

Wenn die Initialisierung vorüber ist, setzt der 80386SX das Programm fort, während der 80387SX die ESC-Anweisung ausführt. In 8086/8087-Systemen wird diese Synchronisation erreicht, indem eine WAIT-Anweisung vor einer ESC-Anweisung eingefügt wird. Für die meisten ESC-Anweisungen benötigt der 80387SX keine WAIT-Anweisung vor dem ESC-Operationscode. Jedoch arbeitet der 80387SX auch korrekt mit diesen WAIT-Anweisungen. Auf jeden Fall sollte nach jedem "Speicher lesen" (außer FLDENV oder FRSTOR) oder "Speicher schreiben" (außer FSTSW und FSTCW) eine WAIT- oder ESC-Anweisung eingefügt werden, bevor der 80386SX den Wert liest oder ändert, um sicher zu gehen, daß der 80387SX den Wert bereits geschrieben oder gelesen hat.

Datentransfer zwischen Speicher und dem 80387SX wird, wenn nötig durch die BUSY#, PEREQ, NPS1#, NPS2(=A31), CMD0# und W/R# Signale gesteuert. Der 80386SX führt den tatsächlichen Datentransfer mit dem Speicher durch.

Numeric-Execution-Unit (NEU)

Der NEU führt alle Instruktionen aus, die den Register-Stack einschließen, wie arithmetische, logische, transzendente, konstante Anweisungen und Anweisungen zum Datentransfer. Der Datenpfad der NEU ist 84 bit breit (68 signifikante Bit, 15 Exponentenbit und ein Vorzeichenbit), was intern einen Operandentransfer mit sehr hoher Geschwindigkeit erlaubt.

Am Beginn der Ausführung einer Anweisung aktiviert der Arithmetikprozessor das BIU-BUSY-Signal. Dieses Signal wird benutzt im Zusammenhang mit der CPU-WAIT-Anweisung oder automatisch mit den meisten ESC-Anweisungen, um beide Prozessoren zu synchronisieren.

Hinweis: Weitere Informationen (z. B. Befehlssatz des 80387SX) finden Sie im INTEL Handbuch "Microprocessor Peripheral Handbook Volume 1 Microprocessor".

6 Leerkapitel

7 ROM-BIOS

7.1 Einführung

Das BIOS (Basic Input/Output System) befindet sich innerhalb des ROM-Bereichs (ROM-BIOS) und stellt Steuerfunktionen für die wichtigsten I/O- bzw. Peripherieeinheiten zur Verfügung. So sind beispielsweise Routinen für Datum und Uhrzeit, Bestimmung des vorhandenen Systemspeichers, Ausgaben zum Sichtgerät oder Drucker vorhanden. BIOS-Aufrufe ermöglichen dem Assembler-Programmierer den zeichen- und blockweisen Zugriff auf Diskette oder Festplatte, ohne auf die jeweiligen Geräte oder auf die absoluten Hardware-Adressen der Steuerbausteine Bezug nehmen zu müssen.

Während der Hochlaufzeit wird ein Test des ROM-Bereichs durchgeführt. Dabei wird dieser auf mögliche ROM-BIOS-Erweiterungen abgesucht. Das ROM-BIOS soll dem Programmierer eine Schnittstelle bieten, über die er ohne detaillierte Hardware-Kenntnisse auf das System zugreifen kann. Das ROM-BIOS isoliert den Anwender von der Hardware. Es ermöglicht die Ergänzung bzw. den Betrieb weiterer Geräte, ohne daß ein Programm grundlegend geändert werden muß.

Zugriff auf ROM-BIOS

Der Zugriff auf das ROM-BIOS erfolgt über Interrupt-Einsprung. So kann beispielsweise der verfügbare Systemspeicher mittels des Interrupts INT 12 H über das ROM-BIOS ermittelt werden. Die ROM-BIOS-Routine liefert den entsprechenden Wert an das aufrufende Programm zurück.

Übergabe der Parameter

Alle Parameter zu und vom ROM-BIOS laufen über die CPU-Register. Angaben wie und welche Parameter beim Aufruf bzw. nach Abarbeiten der Interrupt-Routine übergeben werden, finden Sie im Abschnitt "ROM-BIOS-Interrupts". Beispielsweise ist zur Ermittlung des verfügbaren Systemspeichers keine Parameterübergabe beim Aufruf erforderlich. Die Größe des Systemspeichers wird vom ROM-BIOS modulo 1 kbyte im AX-Register geliefert. Bei ROM-BIOS-Routinen, die mehrere Funktionen ausführen können, wird die gewünschte Funktion durch den Wert des AH-Registers bestimmt. Die ROM-BIOS-Routinen lassen in der Regel die Register des Prozessors unverändert, mit Ausnahme von AX sowie Statusregistern. Dies gilt nicht für Register, die einen Wert an

den Aufrufer zurückliefern. Angaben über die Verwendung der Register enthalten die Beschreibungen der wichtigsten ROM-BIOS-Routinen.

Vom ROM-BIOS belegter Systemspeicher (RAM)

Das ROM-BIOS benutzt einen Teil des Systemspeichers für spezielle Funktionen. Der Bereich 400 H...4FF H dient zur Ablage interner Daten. So enthält der Bereich von 400 H bis 407 H alle Basisadressen der installierten seriellen Schnittstellen und der Bereich von 408 H bis 40F H die Basisadressen der installierten parallelen Schnittstellen.

Der Bereich von 300 H bis 3FF H wird beim Boot-/Hochlaufvorgang als Stapelspeicher genutzt.

Bereich	Benutzer	Funktion
0000 0000...0000 003F 0000 0040...0000 007F 0000 0080...0000 00FF 0000 0100...0000 03FF	ROM-BIOS Hardware DOS "zuweisbar"	Interrupt-Vektoren
0000 0400...0000 0417 0000 0418...0000 043D 0000 043E...0000 0448 0000 0449...0000 0466 0000 0467...0000 0470 0000 0471...0000 0487 0000 0488...0000 04EF 0000 04F0...0000 04FF	Hardware-Parameter Tastaturpuffer/Statusbytes Disk-Statusbytes Video-Display-Daten Options-ROM und Timer-Daten Zusätzliche Statusbytes reserviert res. als Anwender spez. Datenber.	ROM-BIOS Datenbereich
0000 0500 0000 0504 0000 0500...0000 05FF	Statusflag für Hardcopy-Funktionen 0 = Hardcopy inaktiv oder beendet 1 = Hardcopy in Arbeit 0FF H = Fehler bei Hardcopy Statusbyte für Einzelaufwerksfunk- tionen	DOS-Datenbereich

7.2 ROM-BIOS-Interrupt Übersicht

Der nachfolgende Abschnitt ist ein Originalauszug aus dem ROM-BIOS; er wurde daher nicht übersetzt. Bitte haben Sie Verständnis für diese Entscheidung.

The following figure shows the interrupts with their addresses and functions.

address	int	name	
0-3	0	divide by zero	INT ERROR
4-7	1	single step	INT ERROR
8-B	2	nonmaskable	NMI int
C-F	3	breakpoint	INT ERROR
10-13	4	overflow	INT ERROR
14-17	5	print screen	print screen
18-1B	6	reserved	INT ERROR
1D-1F	7	reserved	INT ERROR
20-23	8	time of day	timer int
24-27	9	keyboard	KB int
28-2B	A	reserved	INT ERROR
2C-2F	B	communications	INT ERROR
30-33	C	communications	INT ERROR
34-37	D	alternate printer	INT ERROR
38-3B	E	diskette	disk int
3C-3F	F	printer	INT ERROR
40-43	10	video	video I/O
44-47	11	equipment check	equipment
48-4B	12	memory	memory size determine
4C-4F	13	diskette/disk	diskette I/O
50-53	14	communications	RS232 I/O
54-57	15	system services	cassette I/O/system extensions
58-5B	16	keyboard	keyboard I/O
5C-5F	17	parallel printer	printer I/O
60-63	18	process boot failure	
64-67	19	bootstrap loader	boot strap
68-6B	1A	time of day	time of day
6C-6F	1B	keyboard break	dummy return
70-73	1C	user timer tick	dummy return
74-77	1D	video initialization	video parms
78-7B	1E	diskette parameters	disk base
7C-7F	1F	video graphics chars	EGA-BIOS/zero vector

80386 program interrupt listing (real mode only)

The following figure shows DOS reserved interrupts.

address	int	function
80-83	20	DOS program terminate
84-87	21	DOS function call
88-8B	22	DOS terminate address
8C-8F	23	DOS Ctrl break exit address
90-93	24	DOS fatal error vector
94-97	25	DOS absolute disk read
98-9B	26	DOS absolute disk write
9C-9F	27	DOS terminate, fix in storage
A0-FF	28-3F	reserved for DOS

DOS interrupts listing (real mode only)

The following figure shows hardware reserved interrupts.

address	int	function
100-103	40	diskette BIOS revector
104-107	41	fixed disk parameter #0
108-10B	42	EGA default video driver
10C-10F	43	video graphics characters
110-117	44-45	reserved
118-11B	46	fixed disk parameter #1
11C-167	47-59	reserved
168-16B	5A	cluster adapter
16C-17F	5B-5F	reserved
180-19B	60-66	reserved for user program interrupts
19C-19F	67	LIM EMS driver
1A0-1BF	68-6F	reserved
1C0-1C3	70	IRQ 8 realtime clock INT
1C4-1C7	71	IRQ 9 (REDIRECT TO INT A)
1C8-1CB	72	IRQ 10 (INT ERROR)
1CC-1CF	73	IRQ 11 (INT ERROR)
1D0-1D3	74	IRQ 12 (INT ERROR)
1D4-1D7	75	IRQ 13 INT 387 ERROR (redirect to NMI INT.)
1D8-1DB	76	IRQ 14 (INT ERROR)
1DC-1DF	77	IRQ 15 (INT ERROR)
1E0-1FF	78-7F	not used
200-217	80-85	reserved
218-3C3	86-F0	reserved (BASIC)
3C4-3FF	F1-FF	reserved for user program interrupts

Hardware and user defined interrupts

vectors with special meanings**interrupt 15–cassette I/O :**

this vector points to the following functions:

- device open; device closed
- program termination
- joystick support
- system request key pressed
- wait
- move block
- extended memory size determination
- processor to protected mode

Interrupt 1B--Break Address:

this vector points to the code that will be executed when the Ctrl and Break keys are pressed on the keyboard. The vector is invoked while responding to keyboard interrupt, and control should be returned through an IRET instruction. The power-on routines initialize this vector to point to an IRET instruction so that nothing will occur when the Ctrl and Break keys are pressed unless the application program sets a different value.

control may be retained by this routine with the following problems:

- the Break may have occurred during interrupt processing, so that one or more End of Interrupt commands must be sent to the 8259 controller.
- all I/O devices should be reset in case an operation was underway at the same time.

Interrupt 1C--Timer Tick:

this vector points to the code that will be executed at every system-clock tick. This vector is invoked while responding to the timer interrupt, and control should be returned through an IRET instruction, the power-on routines initialize this vector to point to an IRET instruction, so that nothing will occur unless the application modifies the pointer. The application must save and restore all registers that will be modified.

Interrupt 1D--Video Parameters:

this vector points to a data region containing the parameters required for the initialization of the 6845 on the video adapter. Notice that there are four separate tables, and all four must be reproduced if all modes of operation are to be supported. The power_on routines initialize this vector to point to the parameters contained in the ROM video routines.

Interrupt 1E--Diskette Parameters:

this vector points to a data region containing the parameters required for the diskette drive. The power_on routines initialize this vector to point to the parameters contained in the ROM diskette routine. These default parameters represent the specified values for any drives attached to the system. Changing this parameter block may be necessary to reflect the specifications of other drives attached.

Interrupt 1F--Graphics Character Extensions:

when operating in graphics modes 320 x 200 or 640 x 200, the read/write character interface will form a character from the ASCII code point, using a set of dot patterns. ROM contains the dot patterns for the first 128 code points. For access to the second

128 code points, this vector must be established to point at a table of up to 1 Kb, where each code point is represented by 8 bytes of graphic information. At power-on time, this vector is initialized to 000:0, and the user must change this vector if the additional code points are required.

Interrupt 40--Diskette BIOS Revector:

when an AT Personal Computer Fixed Disk and Diskette Drive Adapter is installed, the BIOS routines use interrupt 40 to revector the diskette pointer.

Interrupt 41 and 46:

these vectors point to the parameters for the fixed disk drives, 41 for the first drive and 46 for the second. The power on routines initialize the vectors to point to the appropriate parameters in the ROM disk routine if CMOS is valid. The drive type codes in CMOS are used to select which parameter set the vector points to. Changing this parameter hook may be necessary to reflect the specifications of other fixed drives attached.

Interrupt Hex 42 - EGA Default Video Driver:

when an Enhanced Graphics Adapter (EGA) is installed, the BIOS routines use interrupt 42 to revector the video pointer.

Interrupt Hex 43 - Enhanced Graphics Video Parameters:

when an Enhanced Graphics Adapter (EGA) is installed, the BIOS routines use this vector to point to a data region containing the parameters required for the initializing of the Enhanced Graphics Adapter. Note that the format of the table must adhere to the BIOS conventions established in the listing. The power-on routines initialize this vector to point to the parameters contained in the Enhanced Graphics Adapter ROM.

Interrupt Hex 44 - Graphics Character Table:

when an Enhanced Graphics Adapter is installed the BIOS routines use this vector to point to a table of dot patterns that will be used when graphics characters are to be displayed. This table will be used for the first 128 code points in video modes 4, 5 and 6. This table will be used for 256 characters in all additional graphics modes. See the appropriate BIOS interface for additional information on setting and using the graphics character table pointer.

INT 10^{*}

video_IO

these routines provide the crt interface

the following functions are provided

- (ah) = 0 set mode (al) contains mode value
 (al) = 0 40x25 bw (power on default)
 (al) = 1 40x25 color
 (al) = 2 80x25 bw
 (al) = 3 80x25 color
 graphics modes
 (al) = 4 320x200 color
 (al) = 5 320x200 bw
 (al) = 6 640x200 bw
 crt mode = 7 80x25 b&w card (used internal to video only)
 *** notes - bw modes operate same as color modes, but color
 burst is not enabled
 - cursor is not displayed in graphics mode
- (ah) = 1 set cursor type
 (ch) = bits 4-0 = start line for cursor
 ** hardware will always cause blink
 ** setting bit 5 or 6 will cause erratic blinking
 or no cursor at all
 (cl) = bits 4-0 = end line for cursor
- (ah) = 2 set cursor position
 (dh,dl) = row.column (0,0) is upper left
 (bh) = page number (must be 0 for graphics modes)
- (ah) = 3 read cursor position
 (bh) = page number (must be 0 for graphics modes)
 on exit (dh,dl) = row.column of current cursor
 (ch,cl) = cursor mode currently set
- (ah) = 4 read light pen position
 on exit:
 (ah) = 0 -- light pen switch not down/not triggered
 (ah) = 1 -- valid light pen value in registers
 (dh,dl) = row, column of character lp posn
 (ch) = raster line (0-199)
 (bx) = pixel column (0-319,639)
- (ah) = 5 select active display page (valid only for alpha modes)
 (al) = new page value (0-7 for modes 0&1, 0-3 for modes 2&3)

- (ah) = 6 scroll active page up
(al) = number of lines, input lines blanked at bottom of window
al = 0 means blank entire window
(ch,cl) = row, column of upper left corner of scroll
(dh,dl) = row, column of lower right corner of scroll
(bh) = attribute to be used on blank line
- (ah) = 7 scroll active page down
(al) = number of lines, input lines blanked at top of window
al = 0 means blank entire window
(ch,cl) = row, column of upper left corner of scroll
(dh,dl) = row, column of lower right corner of scroll
(bh) = attribute to be used on blank line

character handling routines

- (ah) = 8 read attribute/character at current cursor position
(bh) = display page (valid for alpha modes only)
on exit:
(al) = char read
(ah) = attribute of character read (alpha modes only)
- (ah) = 9 write attribute/character at current cursor position
(bh) = display page (valid for alpha modes only)
(cx) = count of characters to write
(al) = char to write
(bl) = attribute of character (alpha)/color of char (graphics)
see note on write dot for bit 7 of bl = 1
- (ah) = 10 write character only on current cursor position
(bh) = display page (valid for alpha modes only)
(cx) = count of characters to write
(al) = char to write
for read/write character interface while in graphics mode, the characters are formed from a character generator image maintained in the system rom. Only the 1st 128 chars are contained there. to read/write the second 128 chars, the user must initialize the pointer at interrupt 1fh (location 0007ch) to point to the 1k byte table containing the code points for the second 128 chars (128-255).
for write character interface in graphics mode, the replication factor contained in (cx) on entry will produce valid results only

for characters contained on the same row, continuation to succeeding lines will not produce correctly.

graphics interface

(ah) = 11 set color palette
(bh) = palette color id being set (0-127)
(bl) = color value to be used with that color id

note: for the current color card, this entry point has meaning only for 320x200 graphics.

color id = 0 selects the background color (0-15)

color id = 1 selects the palette to be used.

0 = green(1)/red(2)/yellow(3)

1 = cyan(1)/magenta(2)/white(3)

in 40x25 or 80x25 alpha modes, the value set for palette color 0 indicates the border color to be used (values 0-31, where 16-31 select the high intensity background set.


(ah) = 12 write dot
(dx) = row number
(cx) = column number
(al) = color value
if bit 7 of al = 1, then the color value is exclusive or'd with the current contents of the dot

(ah)= 13 read dot
(dx) = row number
(cx) = column number
(al) = returns the dot read

ASCII teletype routine for output

(ah) = 14 write teletype to active page
(al) = char to write
(bl) = foreground color in graphics mode
note -- screen width is controlled by previous mode set

- (ah) =15 current video state
 returns the current video state
 (al) = mode currently set (see ah=0 for explanation)
 (ah) = number of character columns on screen
 (bh) = current active display page
- (ah) =16 set palett / color registers
- (ah) =17 load character generator
- (ah) =18 alternate select
- (ah) =19 write string
 es:bp - pointer to string to be written
 cx - length of character string to be written
 dx - cursor position for string to be written
 bh - page number
- (al) = 0
 bl - attribute
 string is [char,char, ... ,char]
 cursor not moved
- (al) = 1
 bl - attribute
 string is [char,char, ... ,char]
 cursor is moved
- (al) = 2
 string is [char,attr,char,attr .. ,char,attr]
 cursor is not moved
- (al) = 3
 string is [char,attr,char,attr, .. ,char,attr]
 cursor is moved

 carriage return, line feed, backspace and bell are treated as commands rather than printable characters.

ss,sp,es,ds,dx,cx,bx,si,di,bp preserved during call ,all others destroyed.

*) Der beschriebene INT 10 wird durch den VGA/EGA-BIOS der auf dem Grundboard integrierten HIGRAPH umgelenkt und in seiner Funktion erweitert (VGA/EGA-Funktionsumfang). Hier ist nur die Grundfunktion des INT 10 für Schwarzweiß- bzw. "CGA"-Baugruppen dargestellt (System-BIOS auf der Grundbaugruppe).

INT11

equipment determination

this routine attempts to determine what optional devices are attached to the system.

input

no registers

output

(eax) is set, bit significant, to indicate attached i/o

bit 31 ... 16 not used

bit 15,14 = number of printers attached

bit 13,12 not used

bit 11,10,9 = number of rs232 cards attached

bit 8 = not used

bit 7,6 = number of diskette drives
00=1, 01=2 only if bit 0=1

bit 5,4 = initial video mode
00 - unused
01 - 40x25 bw using color card
10 - 80x25 bw using color card
11 - 80x25 bw using bw card

bit 3 = not used

bit 2 = not used

bit 1 = math coprocessor

bit 0 = 1 (ipl diskette installed)

no other registers affected

INT 12

memory_size_determine

this routine returns the amount of memory in the system as determined by the post routines.

input

no registers

output

(ax) = number of continuous 1k blocks of memory

INT 13

fixed disk I/O-Interface

this interface provides access to fixed disks

input (ah = hex value)

(ah)=00 reset disk (dl = 80h,81h) / diskette

(ah)=01 read the status of the last disk operation into (al)

note: dl < 80h - diskette

dl > 80h - disk

(ah) =02 read the desired sectors into memory

(ah) =03 write the desired sectors from memory

(ah) =04 verify the desired sectors

(ah) =05 format the desired track

(ah) =06 unused

(ah) =07 unused

(ah) =08 return the current drive parameters

(ah) =09 initialize drive pair characteristics

interrupt 41 points to data block for drive 0

interrupt 46 points to data block for drive 1

(ah) =0a read long

(ah) =0b write long

note: read and write long encompass 512 + 4 bytes ecc

(ah) =0c seek

(ah) =0d alternate disk reset (see dl)

(ah) =0e unused

(ah) =0f unused

(ah) =10 test drive ready

(ah) =11 recalibrate

(ah) =12 unused

(ah) =13 unused

(ah) =14 controller internal diagnostic

(ah) =15 read type

page registers used for fixed disk operations

(dl) - drive number (80h-81h for disk, value checked)

(dh)- head number (0-15 allowed, not value checked)

(ch)- cylinder number (0-1023, not value checked)

(cl) - sector number (1-17, not value checked)

note: high 2 bits of cylinder number are placed in the high 2 bits of the cl register (10 bits total)

(al) - number of sector (maximum possible range 1-80h, for read/write long 1-79h)

(es:bx) - address of buffer for reads and writes, not required for verify)

output

ah = status of current operation

cy = 0 successful operation (ah=0 on return)

cy = 1 failed operation (ah has error reason)

if drive parameters were requested,

dl = number of consecutive acknowledging drives attached (0-2)

dh = maximum useable value for head number

ch = maximum useable value for cylinder number

cl = maximum useable value for sector number
and cylinder number high bits

if read type was requested,

ah = 0 - not present

1 - diskette - no change line available

2 - diskette - change line available

3 - fixed disk

cx,dx = number of 512 byte blocks when ah = 3

registers will be preserved except when they are used to return information.

note: if an error is reported by the disk code, the appropriate action is to reset the disk, then retry the operation.

INT 13

diskette I/O

this interface provides access to the 5 1/4" and 3 1/2" diskette drives
320/360k and 1.2m diskette drives and
720k and 1.44m diskette drives supported

ROMDATA are relative to segment 40h:

40:10 Number of devices installed
40:3E Drive status
40:3F Motor status
40:40 Motor timeout count
40:41 Disk error status
40:42 Disk controller status (7 bytes)
40:8B Last Floppy Disk data rate selected
40:8F Controller info
40:90 Drive 0/1 Media state
40:92 Drive 0/1 Operation state
40:94 Drive 0/1 Current track
40:A0 Wait active flag
40:A1 Delay count for 100 μ s.

INPUT: AH = 00 reset diskette system
DL = Drive number (0 - 1), bit 7= 0 for floppy

OUTPUT: Carry set - Status non 0
AH value on stack = status :
00H - no error
01H - invalid parameters
02H - address mark not found
03H - write protect error
04H - sector not found
06H - change line set
08H - DMA overrun
09H - DMA boundary error
0CH - Media type error
10H - CRC error
20H - controller error
40H - seek error
80H - drive not ready

Status byte 40:41 = status = AH

INPUT: AH = 01H - Read status of previous operation
DL = Drive number (0 - 1), bit 7=0 for floppy

OUTPUT: Carry set - Status non 0
AH value on stack = status, refer to reset diskette system for status

INPUT: AH = 02H - Read sector(s) from diskette
DL = Drive number (0 - 1), bit 7=0 for floppy
DH = Head number (0 - 1)
CH = Track number

media	drive	track number
320/360	320/360	0-39
320/360	1.2M	0-39
1.2M	1.2M	0-79
720k	720k	0-79
720k	1.44M	0-79
1.44M	1.44M	0-79

CL = Sector number

media	drive	sector number
320/360	320/360	1-8/9
320/360	1.2M	1-8/9
1.2M	1.2M	1-15
720k	720k	1-9
720k	1.44M	1-9
1.44M	1.44M	1-18

AL = number of sectors

media	drive	max number of sectors
320/360	320/360	8/9
320/360	1.2M	8/9
1.2M	1.2M	15
720k	720k	9
720k	1.44M	9
1.44M	1.44M	18

ES:BX = address of buffer

OUTPUT: Carry set - Status non 0

AL = number of sectors transferred

AH = status : refer to reset diskette system for status values

Status byte 40:41 = status = AH

INPUT: AH = 03H - Write sector(s) to diskette
DL = Drive number (0 - 1), bit 7=0 for floppy
DH = Head number (0 - 1)
CH = Track number
CL = Sector number
AL = number of sectors
ES:BX = address of buffer
OUTPUT: Carry set - Status non 0
AL = number of sectors transferred
AH = status: refer to reset diskette system for status values
Status byte 40:41 = status = AH

INPUT: AH = 04H- Verify sector(s) from diskette
DL = Drive number (0 - 1), bit 7=0 for floppy
DH = Head number (0 - 1)
CH = Track number
CL = Sector number
AL = number of sectors
ES:BX = address of buffer
OUTPUT: Carry set - Status non 0
AL = number of sectors verified
AH = status: refer to reset diskette system for status values
Status byte 40:41 = status = AH

INPUT: AH = 05H- Format track(s)
DL = Drive number (0 - 1), bit 7=0 for floppy
DH = Head number (0 - 1)
CH = Track number
CL = Sector number
AL = number of sectors
ES:BX = address of buffer containing address fields for track:
byte 0 - track number
byte 1 - head number
byte 2 - sector number
byte 3 - # of bytes per sector :
00 - 128 bytes per sector
01 - 256 bytes per sector
02 - 512 bytes per sector
03 - 1024 bytes per sector

There must be one entry for every sector on the track.
This information is used to find the requested sector during read/write access. Prior to formatting a diskette, function call 17 of this routine must be invoked to set the diskette type that is to be formatted. In order to format 320/360k media in either a 320/360k or 1.2m diskette drive the gap length for format parameter of disk_base must be changed to 050h. Also the eot parameter (last sector on track) must be set to the desired number of sectors/track 8 for 320k, 9 for 360k. disk_base is pointed to by disk pointer located at absolute address 0:78. When 320/360k format operations are complete, the parameters should be restored to their respective initial values.

OUTPUT: Carry set - Status non 0

AH = status : refer to reset diskette system for status values

Status byte 40:41 = status = AH

INPUT: AH = 08H- Read drive parameters

DL = Drive number (0 - 1), bit 7=0 for floppy

OUTPUT: Carry set - illegal parameter

AX = 0

BL = bits 4 - 7 = 0,

bits 0 - 3 = valid drive type

= 01H - 360Kb. , 5.25 in. , 40 track

= 02H - 1.2Mb. , 5.25 in. , 80 track

= 03H - 720Kb. , 3.5 in. , 80 track

= 04H - 1.44Mb. , 3.5 in. , 80 track

BH = 00

CL = bits 6,7 = number of tracks (high 2 bits of 10 bit number)

bits 0 - 5 = number of sectors per track

CH = number of tracks(low 8 bits)

DL = number of diskette drives

DH = number of heads

ES:DI = pointer to drive parameter table

Status byte 40:41 = status (not modified)

INPUT: AH = 15H- Read Drive type
DL = Drive number (0 - 1), bit 7=0 for floppy
OUTPUT: Carry set - invalid drive number
AH = status =
00H - drive not present
01H - diskette, no change line present
02H - diskette, change line present
03H - fixed disk drive installed
Status byte 40:41 = status = AH

INPUT: AH = 16H- Read disk change line status
DL = Drive number (0 - 1), bit 7=0 for floppy
OUTPUT: Carry set - error
AH = status =
00H - diskette change line not active
01H - invalid diskette parameter
06H - diskette change line active
80H - diskette drive not ready
Status byte 40:41 = status = AH

INPUT: AH = 17H- Set Diskette type
DL = Drive number (0 - 1), bit 7=0 for floppy
AL = 00H - invalid rest
01H - diskette 360Kb in 360Kb drive
02H - diskette 360Kb in 1.2Mb drive
03H - diskette 1.2Mb in 1.2Mb drive
04H - diskette 720Kb in 720Kb drive
OUTPUT: Carry set - error
AH = status : refer to reset diskette system for status values
Status byte 40:41 = status = AH

INPUT: AH = 18H- Set type for format
DL = Drive number (0 - 1), bit 7=0 for floppy
CL = bits 6,7 = number of tracks (high 2 bits of 10 bit number)
bits 0 - 5 = number of sectors per track
CH = number of tracks (low 8 bits)
OUTPUT: Carry set - Status non 0
AH = status: refer to reset diskette system for status values
ES:DI = pointer to 11 byte parameter table, unchanged if AH non 0
Status byte 40:41 = status = AH

- (ah) = 2 receive a character in (al) from communication line before returning to caller.
(dx) has serial port number (valid values are 0,1,2,3)

on exit, ah has the current line status, as set by the status routine, except that the only bits left on are the error bits (7,4,3,2,1) if ah has bit 7 on (time out) the remaining bits are not predictable. Thus, ah is non zero only when an error occurred.

- (ah) = 3 return the communication port status in (ax) ah contains the line control status:

Bit	AH= Line Status
7	= 0: Reserved; = 1: Time out
6	= 1: Transmitter shift holding register empty
5	= 1: Transmitter holding register empty
4	= 1: Break interrupt
3	= 1: Framing error
2	= 1: Parity error
1	= 1: Overrun error
0	= 1: Data ready

Bit	AL= Modem Status
7	= 1: Data carrier detect
6	= 1: Ring indicator
5	= 1: Data set ready
4	= 1: Clear to send
3	= 1: Delta data carrier detect
2	= 1: Trailing edge ring indicator
1	= 1: Delta data set ready
0	= 1: Delta clear to send

- (dx) = parameter indicating which rs232 port (0, 1, 2, 3 allowed)
output
ax modified according to parameters of call, all others unchanged

INT 15

input - cassette I/O functions

(ah) = 00 : Motor on

(ah) = 01 : Motor off

(ah) = 02 : Read cassette

(ah) = 03 : Write cassette

returns for these functions always (ah) = 86h, cf = 1 if
cassette port not present

input - unused functions

(ah) = 04 through 4e

returns for these functions always (ah) = 86h, cf = 1

input - Keyboard intercept

INT 09h ISR (interrupt service routine) calls this function each time a key
is pressed.

(ah) = 4f

(al) = Scan Code

on return:

(al) = Scan Code

cf = Clear:

Scan code processed and should not be put into keyboard buffer

cf = Set:

Scan code not processed (or it has been modified) and should be
put into keyboard buffer

input - unused functions

(ah) = 50 through 7f

returns for these functions always (ah) = 86h, cf = 1

extensions

(ah) = 80h device open
(bx) device id
(cx) process id
on return: ah = 0; cf=clear if successful
 ah = status; cf=set if unsuccessful

(ah) = 81h device close
(bx) device id
(cx) process id
on return: ah = 0; cf=clear if successful
 ah = status; cf=set if unsuccessful

(ah) = 82h programm termination
(bx) device id
on return: ah = 0; cf=clear if successful
 ah = status; cf=set if unsuccessful

(ah) = 83h event wait
(al) = 0 set interval
(cx) = Microseconds (high byte) to elapse before posting.
(dx) = Microseconds (low byte) to elapse before posting.
(es:bx) pointer to a byte in callers memory that will have
 the high order bit set (bit 7) as soon as possible
 after the interval expires.
on return: ah = 0; al = a value written to CMOS register B
 if successful
 ah = 0; al = 0 function busy
 cf = clear if successful; cf = set if unsuccessful
 (already in progress)
(al) = 1 cancel set interval
on return: non

(ah) = 84h joystick support

(dx) = 0 - read the current switch settings
 returns al = switch settings (bits 7-4) (bits 3-0 =0);cf succ.

(dx) = 1 - read the resistive inputs
 returns ax = a(x) value, bx = a(y) value
 cx = b(x) value, dx = b(y) value ; cf =0 if succ.

(ah) = 85h system request key pressed
 (al) = 00 make of key
 (al) = 01 break of key
on return: ah = 0; cf=clear if successful
 ah = status; cf=set if unsuccessful

(ah) = 86h wait
 (cx,dx) (High-,Low-Byte) number of microseconds to elapse before
 return to caller
on return: cf=clear if successful (wait performed)
 cf=set if unsuccessful (wait not performed)

(ah) = 87h move block
 (cx) number of words to move
 (es:si) pointer to a 48-byte descriptor table
on return: cf= clear no error ah= 0: successful move
 cf= set error ah= 1: RAM parity error
 ah= 2: other exception interrupt error
 ah= 3: gate address line 20 failed

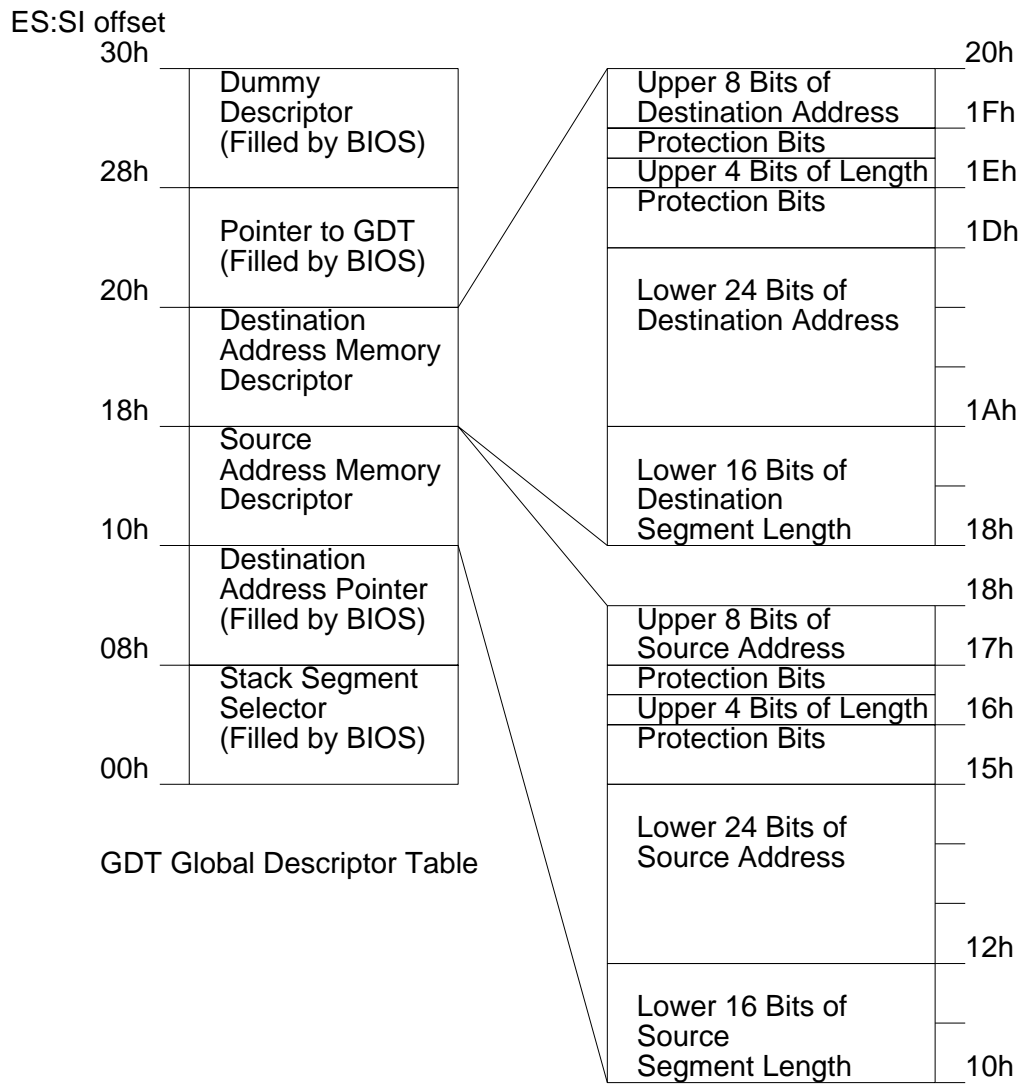


Bild 7.1: Descriptor Format

- (ah) = 88h extended memory size determine
on return: (ax) = number of contiguous 1K blocks of extended memory
(starting at address 10 0000h)
- (ah) = 89h processor to protected mode
(bh)= interrupt number for IRQ 0
(bl)= interrupt number for IRQ 8
(ES:SI)= Pointer to GDT built by user
on return: ah=0; cf=clear if successful (returns in protected mode)
ah=ffh; cf=set if unsuccessful
- (ah) = 90h device busy loop
(al) = type code
00h:fixed disk (may time out)
01h:diskette (may time out)
02h:keyboard (no time out)
03h:pointing device (may time out)
80h:network (no time out)
FCh:fixed disk reset (may time out)
FDh:diskette drive motor start (may time out)
FEh:printer (may time out)
(es:bx) = points to request block (if al= 80h-FFh)
on return: cf=clear no wait performed ; Driver must perform its own wait
cf=set wait was performed (I/O complete or time out)
- (ah) = 91h interrupt complete flag set
(al) = type code
00h:fixed disk (may time out)
01h:diskette (may time out)
02h:keyboard (no time out)
03h:pointing device (may time out)
80h:network (no time out)
FCh:fixed disk reset (may time out)
FDh:diskette drive motor start (may time out)
FEh:printer (may time out)
(es:bx) = points to request block (if al= 80h-FFh)
on return:
ah = 0h

INT 16

keyboard I/O

these routines provide keyboard support

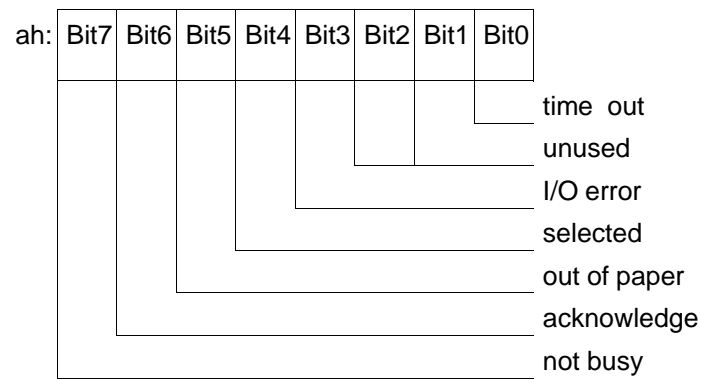
- input: (ah) = 00H - return keyboard input
 - Input: DS = ROM data segment (0040h)
 - Output: AL = ASCII CHARACTER
 - AH = SCAN CODE
 - (ah) = 01H - return keyboard status
 - Input: DS = ROM data segment (0040h)
 - Output: AL = ASCII CHARACTER
 - AH = SCAN CODE
 - Z FLAG = 1 if no character available
 - Z FLAG = 0 if character available
 - if zf = 0, the next character in the buffer to be read is in ax, and the entry remains in the buffer
 - Carry flag, Aux carry, Overflow flag, Sign flag, Parity flag= ?
 - (ah) = 02H - return shift status
 - Input: DS = ROM data segment (0040h)
 - Output: AL = SHIFT STATUS BYTE
 - (ah) = 03h - (JR or 101-key) Set typematic rate and delay
 - (ah) = 04h - (JR) Set/Clear keyboard click (not implemented)
 - (ah) = 05h - stuff keyboard buffer
 - (ah) = 10H - return keyboard input including new keys (101-key)
 - Input: DS = ROM data segment (0040h)
 - Output: AL = ASCII CHARACTER
 - AH = SCAN CODE
 - (ah) = 11H - return extended keyboard status (101-key)
 - Input: DS = ROM data segment (0040h)
 - Output: AL = ASCII CHARACTER
 - AH = SCAN CODE
 - Z FLAG = 1 if no character available
 - Z FLAG = 0 if character available
 - Carry flag, Aux carry, Overflow flag, Sign flag, Parity flag= ?
 - (ah) = 12H - return extended shift status
 - Input: DS = BIOS data segment (0040h)
 - Output: AL = shift status byte
 - AH = extended shift status
- as noted above, only ax and flags changed, all registers retained

INT 17

printer_I/O

these routines provide communication with the printer

- input: (dx) = printer to be used (0,1,2)
 (ah) = 0 print the character in (al)
 on return, ah=1 if character could not be printed (time out)
 other bits set as on normal status call
 (ah) = 1 initialize the printer port
 on return in (ah) the printer status
 (ah) = 2 read the printer status into (ah)



registers ah is modified
 all others unchanged

INT 1A

time_of_day

this routine allows the clock to be set/read

input

- (ah) = 0 read the current clock setting
 returns cx = high portion of count
 dx = low portion of count
 al = 0 if timer has not passed 24 hour
 since last read. 0 if on another day
- (ah) = 1 set the current clock
 cx = high portion of count
 dx = low portion of count

note: counts occur at the rate of 1193180/65536 counts/sec
 (or about 18.2 per second)

- (ah) = 2 read the real time clock
 returns ch = hours in bcd
 cl = minutes in bcd
 dh = seconds in bcd
- (ah) = 3 set the real time clock
 ch = hours in bcd
 cl = minutes in bcd
 dh = seconds in bcd
- (dl) = 1 if daylight savings time option, else 0
- (ah) = 4 read the date from the real time clock
 returns ch = century in bcd (19 or 20)
 cl = year in bcd
 dh = month in bcd
 dl = day in bcd
- (ah) = 5 set the date into the real time clock
 ch = century in bcd (19 or 20)
 cl = year in bcd
 dh = month in bcd
 dl = day in bcd
- (ah) = 6 set the alarm
 the alarm can be set to interrupt up to
 23:59:59 from present time.
 one alarm function can be active at any time

ch = hours in bcd
cl = minutes in bcd
dh = seconds in bcd)

(ah) = 7 reset the alarm

note: for ah = 2, 4, 6 - cy flag set if clock not operating
for ah = 6 - cy flag set if alarm already enabled

note: for the alarm function (ah = 6) the user must code a routine and place the
correct address in the vector table for int 4ah

7.3 Akustische Meldungen

Nach dem Einschalten des PG 730 führt die BIOS-Firmware einen **Power On Self Test** (POST) durch. Tritt noch zu Beginn des Selbsttests ein gravierender Fehler (fatal error) auf, ertönt eine Folge von Pieptönen und der Bildschirm bleibt dunkel. In manchen Fällen, wenn der Selbsttest schon weit genug fortgeschritten ist, erscheint zusätzlich zu der akustischen Signalfolge eine Fehlermeldung auf dem Bildschirm. Bei nicht gravierenden Fehlern (non fatal error) erscheint immer zusätzlich eine Fehlermeldung auf dem Bildschirm und die Aufforderung, den Fehler durch Betätigen der Taste **F1** zu quittieren.

Die Codes der akustischen Signalfolge und Fehler werden in das Ausgangsport 80 H geschrieben. Diese Werte können mit einem "In Circuit Emulator 386SX" (ICE 386SX) abgefragt werden.

Übersicht über fatale Fehler

Die Signalfolgen sind nach folgendem Muster angegeben:

1-1-3 bedeutet ein Piepton gefolgt von einem weiteren einzelnen Piepton und weiteren drei Pieptönen.

Keine Signalfolge bedeutet, daß ein Testlauf oder Vorgang abgebrochen wurde. Es ertönt kein akustisches Signal.

Signalfolge	Port 80 H	Fehlerbeschreibung
keine	01 H	CPU-Registertest läuft
1-1-3	02 H	CMOS Schreib-/Lesefehler
1-1-4	03 H	ROM-BIOS Checksum-Fehler
1-2-1	04 H	Programmierbarer Timer-Intervall-Fehler
1-2-2	05 H	DMA-Initialisierungsfehler
1-2-3	06 H	DMA-Page-Register Schreib-/Lesefehler
1-3-1	08 H	Fehler beim Nachprüfen des RAM-Refresh
keine	09 H	Erster 64 kbit RAM-Test läuft
1-3-3	0A H	64 kbit RAM Chip- oder Datenleitungsfehler (Mehr-Bit-Fehler)
1-3-4	0B H	64 kbit RAM odd/even-Logikfehler
1-4-1	0C H	64 kbit RAM Adreßleitungsfehler
1-4-2	0D H	64 kbit RAM Parityfehler

Signalfolge	Port 80H	Fehlerbeschreibung
2-1-1	10 H	64 kbit RAM-Fehler Bit 0
2-1-2	11 H	64 kbit RAM-Fehler Bit 1
2-1-3	12 H	64 kbit RAM-Fehler Bit 2
2-1-4	13 H	64 kbit RAM-Fehler Bit 3
2-2-1	14 H	64 kbit RAM-Fehler Bit 4
2-2-2	15 H	64 kbit RAM-Fehler Bit 5
2-2-3	16 H	64 kbit RAM-Fehler Bit 6
2-2-4	17 H	64 kbit RAM-Fehler Bit 7
2-3-1	18 H	64 kbit RAM-Fehler Bit 8
2-3-2	19 H	64 kbit RAM-Fehler Bit 9
2-3-3	1A H	64 kbit RAM-Fehler Bit A
2-3-4	1B H	64 kbit RAM-Fehler Bit B
2-4-1	1C H	64 kbit RAM-Fehler Bit C
2-4-2	1D H	64 kbit RAM-Fehler Bit D
2-4-3	1E H	64 kbit RAM-Fehler Bit E
2-4-4	1F H	64 kbit RAM-Fehler Bit F
3-1-1	20 H	Slave-DMA-Registerfehler
3-1-2	21 H	Master-DMA-Registerfehler
3-1-3	22 H	Master-Interrupt-Registerfehler
3-1-4	23 H	Slave-Interrupt-Registerfehler
keine	25 H	Interrupt-Vektor wird geladen
3-2-4	27 H	Fehler beim Tastatur-Controller-Test
keine	28 H	CMOS-Fehler, Checksum wird gebildet
keine	29 H	CMOS wird konfiguriert
3-3-4	2B H	Fehler beim Bildwiederholungspeicher-Test
3-4-1	2C H	Fehler beim Initialisieren des Bildschirms
3-4-2	2D H	Test auf Bildwiederholungen
keine	2E H	Nachprüfen, ob Video-ROM vorhanden
keine	30 H	Video-ROM ist gestartet
keine	31 H	S/W-Bildschirm bereit
keine	32 H	Farbmonitor (40 Spalten) bereit
keine	33 H	Farbmonitor (80 Spalten) bereit

Nicht fatale Fehler

Signalfolge	Port 80 H	Fehlerbeschreibung
4-2-1	34 H	Zeit wird nicht gezählt
4-2-2	35 H	Fehler beim Ausschalten
4-2-3	36 H	Gate A20 Fehler
4-2-4	37 H	Unerwarteter Interrupt im Protected Mode
4-3-1	38 H	Fehler in der Adreßleitung bei Speicheradresse 0001 0000 H - 000A 0000 H
4-3-3	3A H	Timer Chip Counter 2 fehlt
4-3-4	3B H	Uhr für Tageszeit läuft nicht
4-4-1	3C H	Serielle Schnittstelle: Fehler bei Test
4-4-2	3D H	Parallele Schnittstelle: Fehler bei Test
4-4-3	3E H	Arithmetikprozessor: Fehler bei Test
	—	
1-1-1-1	—	Graphik-Anschaltung defekt oder nicht vorhanden
1-1 *	—	Fehler, Quittung erwartet - SETUP-Fehler - nicht fataler Fehler - Harddisk-Fehler
1-	—	Testergebnis ist gut

* Ist die Tastatur nicht vorhanden bzw. im SETUP ausgetragen, so wird diese Signalfolge unterdrückt.

** "tief" heißt hier ein tiefer Ton vor den drei anderen Signalen

7.4 Programmteil SETUP

Im ROM-BIOS befindet sich ein Programm "SETUP". Dieses Programm wird dazu benutzt, um Informationen über den Aufbau des Systems in den batteriegepufferten Speicher in Ihren Computer zu übertragen. Dieser Speicher wird Systemkonfigurationsregister genannt, besteht aus einem Teil des CMOS-RAM des Uhrenbausteins und ist insgesamt 114 byte lang.

Das Programm SETUP wird benutzt, um Speicher, Laufwerke oder Monitore, die ins Grundgerät neu eingebaut oder ausgebaut wurden, dem System mitzuteilen. SETUP dient auch dazu, die Zeit im Uhrenbaustein zu setzen.

SETUP wird direkt als Programm vom jeweiligen Betriebssystem oder durch die folgende Tastenkombination gestartet:

CTRL+ ALT+ S



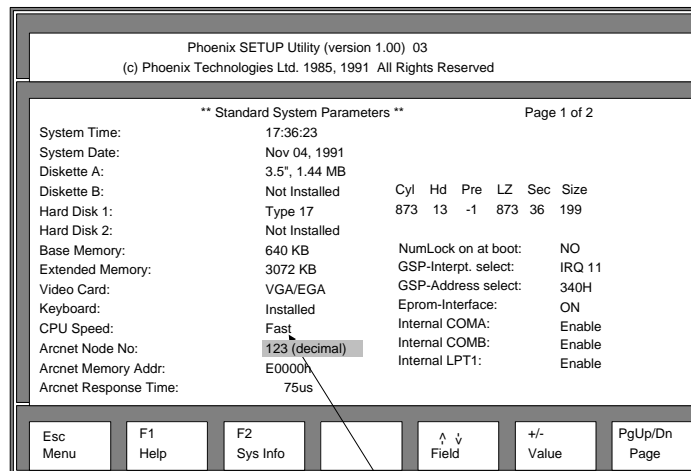
Manche Betriebssysteme und Anwenderprogramme verwerfen die obige Tastatursequenz.

Abhilfe:

Setzen Sie Ihr PG mit dem Schlüsselschalter zurück, und warten Sie auf den Speichertest. Diesen brechen Sie mit der "Blank"-Taste ab. Jetzt können Sie, bevor das Betriebssystem geladen wird, durch das gleichzeitige Betätigen der 3 Tasten **CTRL+ ALT+S** das ROM-residente SETUP-Programm starten. Werden beim Booten fehlerhafte SETUP-Daten erkannt, so werden Sie aufgefordert mit **F2** das SETUP-Programm zu starten oder mit **F1** das Booten fortzusetzen.

Die wichtigsten SETUP-Einstellungen sind:

- Festplattenlaufwerkstyp
- Diskettenlaufwerkstyp
- Grundspeicher
- Erweiterungsspeicher
- Monitor
- ARCNET-Knotennummer, -Betriebsart, -Speicherbereich



selektierter Eintrag

Bild 7.2: Setup Menu (Page 1)

Die in dem obigen Bild angegebenen Einstellungen gelten für den Standardausbau des PG 730.

Bedienung:

Mit den Tasten

↑ und ↓

selektieren Sie den vorherigen bzw. den nächsten fett geschriebenen Eintrag, (Field)

+ und -

verändern Sie den selektierten Eintrag in den vorherigen bzw. nächsten Wert,

F1

schalten Sie auf ein Hilfs-Menue,

F2

erhalten Sie eine allgemeine Systeminformation,

ESC

wird umgeschaltet in ein Abbruchmenü

Abbruchmenü: (** Exiting SETUP **)

ESC

zurück in das SETUP-Menue,

F4

alle Werte wie angegeben speichern und das System neu starten,

F5

Standardwerte eintragen,

F6

keine SETUP-Werte verändern und zurück in das unterbrochene DOS-Programm

In den unteren Zeilen des Bildschirms erhalten Sie während einer SETUP-Sitzung immer aktualisierte Bedienhinweise. Die Speichergrößen und die "ARCNET Node No." werden durch direkte Zahleneingabe verändert. Im Hinweisfeld "Value" erscheint dann statt "+/-" "Numeric".

Als Festplattenlaufwerk wird von Siemens angeboten:

40 Mbyte = Typ 17

100 Mbyte = Typ 33

Die Laufwerskapazität berechnet sich aus:

Kapazität in Byte (Size)

= Anzahl Zylinder (Cyl) x Anzahl Sektoren (Sec) x 512 x Anzahl Köpfe (H)

Typ	Bemerkung	Zylin- der (Cyl)	Lese- köpfe (Hd)	Vorkom- pensation (Pre)	Landezone (Lz)	Sekto- ren (s)
1		306	4	128	305	17
2		615	4	128	615	17
3		615	6	300	615	17
4		940	8	512	940	17
5		940	6	512	940	17
6		615	4	-1	615	17
7		462	8	256	511	17
8		733	5	-1	733	17
9		900	15	-1	901	17
10		820	3	-1	820	17
11		855	5	-1	855	17
12		855	7	-1	855	17
13		306	8	128	319	17
14		733	7	-1	733	17
15	reserviert					
16		612	4	0	663	17
17	IDE-Laufwerk 40 Mbyte	977	5	300	977	17

** Vorkompensation -1 (keine), 0 oder der letzte Zylinder sind als gleich angenommen

Typ	Bemerkung	Zylinder (Cyl)	Leseköpfe (Hd)	Vorkompensation (Pre)	Landezone (LZ)	Sektoren (s)
18		977	7	-1	977	17
19		1024	7	512	1023	17
20		965	5	-1	965	17
21		733	7	300	732	17
22		733	5	300	733	17
23		1072	9	-1	1072	17
24	unbenutzt					
25		615	4	0	615	17
26	70 Mbyte	1023	8	-1	1023	17
27		1024	5	-1	1023	17
28	IDE-Laufwerk 50 Mbyte	751	8	-1	751	17
29		512	8	256	512	17
30	IDE-Laufwerk 200 Mbyte	873	13	-1	873	36
31		989	5	0	989	17
32		1020	15	-1	1024	17
33	IDE-Laufwerk 100 Mbyte	754	16	-1	754	17
34	unbenutzt					
35		1024	9	1024	1024	17
36		1024	5	512	1024	17
37		830	10	-1	830	17
38		823	10	256	824	17
39		615	4	128	664	17
40	40 Mbyte	615	8	128	664	17
41		917	15	-1	918	17
42		1023	15	-1	1024	17
43		823	10	512	823	17
44		820	6	-1	820	17
45		1024	8	-1	1024	17
46		925	9	-1	925	17
47		699	7	256	700	17
48	editierbare Einträge	1..1024	1..16	-1,0..1024	1..1024	1..63
49	editierbare Einträge	1..1024	1..16	-1,0..1024	1..1024	1..63

** Vorkompensation -1 (keine), 0 oder der letzte Zylinder sind als gleich angenommen

Diskettenlaufwerke

Die Auswahlmöglichkeiten für Diskette A (B) :

Not Installed

5,25", 360 kbyte

5,25", 1,2 Mbyte

3,5", 720 kbyte

3,5", 1,44 Mbyte Standardeinstellung für Laufwerk A im PG 730

Ist das Laufwerk nicht eingebaut, so wird "Not Installed" eingetragen.



Die Eintragung bezieht sich immer auf das Laufwerk, nicht auf die verwendete Diskettenkapazität.

Grundspeicher

Die Grundspeichergröße beträgt beim PG 730 640 kbyte. Sie müssen bei der Option "Base Memory" also 640 kbyte angeben.

Erweiterungsspeicher

Für das PG 730 stehen Speichererweiterungskarten zur Verfügung. Die Zahl, die Sie bei der Auswahl "Extended Memory Size" angeben müssen, ist abhängig von der verwendeten Speichererweiterung und deren Konfiguration. Standardmäßig ist das PG 730 mit 4 Mbyte RAM ausgestattet. Von diesem Speicher gehen 640 kbyte als Grundspeicher und 384 kbyte als Hintergrundspeicher (z.B. RAM-BIOS) ab. Es bleiben also noch 3072 kbyte als Erweiterungsspeicher übrig, die hier angegeben werden. Ist ein zusätzlicher Erweiterungsspeicher eingebaut, so bleiben bei einer

- 4 Mbyte Erweiterung 7168 kbyte, bei einer
- 8 Mbyte Erweiterung 11264 kbyte und bei einer
- 16 Mbyte Erweiterung 14208 kbyte.

Rein rechnerisch fehlen hier 5 Mbyte. Das 16. Mbyte wird für Baugruppen mit dual-ported Memory vorgesehen und daher gesperrt. Auf das 17. - 20. Mbyte kann vom 80386SX nicht direkt zugegriffen werden.

Der vom System beim Speicher-Selbsttest festgestellte Erweiterungsspeicher muß mit dem hier eingestellten Wert übereinstimmen.

Monitor

Bei der Auswahlmöglichkeit "Video Card" können Sie eine Auswahl aus 4 Typen treffen. Zugelassen sind folgende Monitore:

EGA/VGA	(hochauflösender Farbbildschirm)
CGA40	Color Graphic (40 columns); (Farbbildschirm mit 40 Spalten im Alpha-Mode)
CGA80	Color Graphic (80 columns); (Farbbildschirm mit 80 Spalten im Alpha-Mode)
MONO	Monochrome (S/W-Bildschirm)
Not Installed	keine Monitor-Anschaltung

Für Ihren eingebauten oder externen Monitor geben Sie VGA/EGA an.

Tastatur

Hier besteht die Möglichkeit, mit der Angabe "Not Installed" das System ohne die Tastatur automatisch hochlaufen zu lassen. Die Standardeinstellung ist "Installed".

CPU Speed

- FAST Der Prozessor läuft mit maximaler Geschwindigkeit
- LOW Der Prozessor wird mit 13,3 MHz getaktet während der Systembus mit 8 MHz läuft. Diese Einstellung wird nur dann benötigt, wenn die verwendete Software wegen fest programmierter Zeitschleifen nicht korrekt abläuft..

Wird während des Selbsttests nach dem Einschalten ein Fehler festgestellt, so wird die CPU-Speed automatisch auf "LOW" gestellt. Mit der Tastenkombination **CTRL+ALT+↑** (Cursor UP im Nummernblock der Tastatur) kann auf CPU-Speed "FAST" und mit **CTRL+ALT+↓** (Cursor DOWN im Nummernblock der Tastatur) auf CPU-Speed "LOW" auch noch im Betrieb umgeschaltet werden. Ein hoher Ton (bei "FAST") und ein tiefer Ton (bei "LOW") zeigt die augenblickliche Geschwindigkeit an.



Manche Betriebssysteme und Anwenderprogramme verwerfen die obige Tastatursequenz.

ARCNET Node No.

Hier wird die dezimale Knotennummer für das ARCNET eingetragen. Bei 0 wird "Not Installed" gemeldet. In diesem Fall ist die Schnittstelle aus der Konfiguration ausgetragen, und der von der Schnittstelle belegte Interrupt und Adreßraum ist frei.

ARCNET Memory Addr.

Hier kann zwischen zwei Adreßbereichen gewählt werden:

- E0000 H Standardeinstellung,
der ARCNET-Controller ist Memory-Mapped, das heißt seine Kontrollregister liegen im Speicherbereich:
Register 0 bis 0F H im Speicherbereich 0E080:0000 H bis 0E080:000F H
der Telegrammpuffer liegt im Speicherbereich 0E000:0000 H bis 0E000:07FF H
Diese Einstellung wird für die SIEMENS Standardsoftware wie zum Beispiel FTARC, MSNET, FLEXNET und PGNET benötigt.

- D0000 H kompatibler Mode,
der ARCNET-Controller ist I/O-Mapped, das heißt seine Kontrollregister liegen im I/O-Bereich:
Register 0 bis 0F H im I/O-Bereich 02E0 H bis 02EF H
der Telegrammpuffer liegt im Speicherbereich 0D000:0000 H bis 0D000:07FF H.
Diese Einstellung wird für Software wie zum Beispiel NOVELLNET benötigt.

Der eingestellte Bereich hängt von der verwendeten Netzwerksoftware ab (siehe auch Kapitel ARCNET).

ARCNET Response Time

Hier lassen sich vier verschiedene Antwortzeiten einstellen:

- **75 µs**
- 1130 µs
- 264 µs
- 563 µs

Der Standardwert 75 µs reicht für die allermeisten Fälle aus. Bevor dieser Wert verändert wird, vergewissern Sie sich, daß bei Ihrem ARCNET-Netz für alle "NODES" die gleiche Zeit eingestellt ist, da sonst der Datentransfer im Netzwerk zusammenbricht (siehe auch Kapitel ARCNET).

NUM LOCK on at boot

Die NUM LOCK-Funktion der Tastatur wird bei der Angabe **YES** nach dem Systemhochlauf (Boot-Vorgang) automatisch aktiviert. Bei Tastaturen mit einem abgesetzten Cursorblock erhält man so eine Bedienungserleichterung. Da bei der PG-Tastatur dieser abgesetzte Cursorblock fehlt, ist hier **NO** einzutragen.



Manche Tastatortreiber schalten allerdings trotzdem die NUM LOCK-Funktion der Tastatur ein.

GSP- Interpt. select

IRQ 11 ist die Standardeinstellung für den vom Graphikprozessor verwendeten Interrupt.

GSP- Address

340 H ist die Standardeinstellung für den vom Graphikprozessor belegten Adreßraum.

EPROM - Interface

ON ist die Standardeinstellung für die Modul-Programmierung.

Internal COM A , B, LPT 1

Enable gibt die Schnittstellen auf dem Grundboard frei (Standardeinstellung).

Feature Control

Mit Hilfe der **Taste 9** des Nummernfeldes (**PgUp**) gelangen Sie in ein zweites Menü des SETUP-Programms. Damit wird das Laden des BIOS in den 16-bit-Speicher gesteuert. Die Einstellung **Enable** gibt dieses Feature für den angegebenen Speicherbereich frei. Mit **Disable** ist es gesperrt.

Im Auslieferungszustand Ihres Geräts ist Feature Control wie folgt voreingestellt:

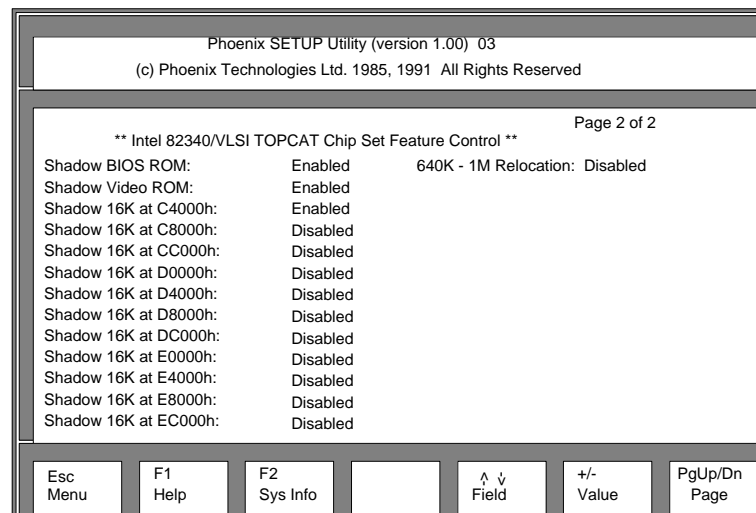


Bild 7.3: Setup Menu (Page 2)



Wir empfehlen Ihnen, die Einstellung in der Feature-Control-Maske nicht zu verändern.

8 DMA-Steuerung

8.1 DMA-Controller

Zum schnellen Datentransfer zwischen Systemspeicher und/oder Ein-/Ausgabekomponenten besitzt das PG 730 7 DMA-Kanäle. Die Steuerung der DMA-Zugriffe übernimmt der ISA-Bus-Controller; in ihm sind 2 zum INTEL-Baustein 8237 kompatible DMA-Controller als DMA 1 und DMA 2 integriert. Jeder dieser Bausteine realisiert 4 DMA-Kanäle. Einer dieser insgesamt 8 Kanäle ist jedoch nicht frei benutzbar, da er zur Kaskadierung verwendet wird. Somit stehen für den Datentransfer 7 DMA-Kanäle zur Verfügung.

8.2 Priorität

Eingehende DMA-Anforderungen werden nach einem Prioritätsverfahren abgearbeitet. Dabei verläuft die Prioritätszuweisung in umgekehrter Reihenfolge zur Kanalnummer. Kanal 7 hat somit die niedrigste und Kanal 0 die höchste Priorität.

8.3 Kanalzuweisung

Für die einzelnen DMA-Kanäle gilt folgende Zuweisung:

Zugriff	Kanal	Verwendung	Priorität
Byte DMA 1	0	frei	7
Byte DMA 1	1	frei	6
Byte DMA 1	2	Floppy-Controller	5
Byte DMA 1	3	frei	4
-----DMA 2	4	Kaskadierung (mit DMA 1)	3
Word DMA 2	5	frei	2
Word DMA 2	6	reserviert für die SINEC-H1-Baugruppe	1
Word DMA 2	7	frei	0

Zuordnung der DMA-Kanäle

8.4 Verfügbarkeit für E/A-Komponenten

Die DMA-Kanäle 0, 1, 3, 5, 6, 7 sind auf die Peripheriesteckplätze geführt und können somit von Erweiterungsbaugruppen benutzt werden.

8.5 Funktionsweise

8.5.1 DMA 1-Kanäle/ Byte

Die DMA-Kanäle 0...3 sind für Bytetransfers vorgesehen. Über diese sind 8-bit-Zugriffe von/auf 8-bit-Ein-/Ausgabekomponenten sowie 8-bit-Zugriffe auf den Systemspeicher möglich. Die DMA 1-Steuerung erzeugt 16-bit-Adressen (A0...A15), womit ein Blocktransfer von max. 64 kbyte möglich ist.

Über das DMA-Seitenregister (A16...A23) kann der gesamte 16-Mbyte-Speicherbereich in 64-byte-Schritten (Seiten) des DMA-Zugriffs erreicht werden. Vor dem Starten des DMA-Zugriffs müssen die höherwertigen 8 bit der Anfangsadresse des gewünschten 64 kbyte-Speicherblocks in das Seitenregister geschrieben werden. 16-bit-Zugriffe sind mit den DMA-Kanälen 0...3 nicht möglich.

16-bit-Worte werden durch zwei 8-bit-Zugriffe auf die beiden Worthälften transferiert. Dabei ist jedoch zu beachten, daß die Blockgrenzen auf geraden Adressen liegen, um die jeweils zusammengehörigen Worthälften zu bearbeiten.

8.5.2 DMA 2-Kanäle/ Wort

Die DMA-Kanäle 4...7 sind für Worttransfers vorgesehen. Kanal 4 wird zur Kaskadierung verwendet. Die Kanäle 5...7 sind für 16-bit-Transfers zwischen 16-bit-Ein-/Ausgabekomponenten, sowie 16-bit-Zugriffe auf den Systemspeicher ausgelegt.

Die DMA 2-Steuerung erzeugt 16-bit-Wortadressen (A1...A16), womit Speicherblöcke von max. 128 kbyte = 64 kbyte Worte transferiert werden können. A0 und BHE (Bit High Enable) werden auf Low gesetzt, um bei einem Speicherzugriff 2 Byte = 1 Wort anzusprechen.

Über das DMA-Seitenregister (A17...A23) kann der gesamte Adreßbereich von 16 Mbyte in 128 kbyte-Schritten erreicht werden. Dazu müssen die höherwertigen 7 Bit

der Anfangsadresse des gewünschten 64-kbyte-Wortspeicherbereichs in das Seitenregister eingetragen werden, bevor der DMA-Zugriff gestartet wird. Die Blockgrenzen müssen dabei immer auf geraden Adressen liegen.

8.5.3 I/O-Adressen der DMA-Steuerung

Funktion	DMA 1/ Byte	DMA 2/ Wort	DMA 1	DMA 2	Zugriff
Adresse Kanal 0	0	4	0000 H	00C0 H	schreiben/lesen
Zähler Kanal 0			0001 H	00C2 H	schreiben/lesen
Adresse Kanal 1	1	5	0002 H	00C4 H	schreiben/lesen
Zähler Kanal 1			0003 H	00C6 H	schreiben/lesen
Adresse Kanal 2	2	6	0004 H	00C8 H	schreiben/lesen
Zähler Kanal 2			0005 H	00CA H	schreiben/lesen
Adresse Kanal 3	3	7	0006 H	00CC H	schreiben/lesen
Zähler Kanal 3			0007 H	00CE H	schreiben/lesen
Status			0008 H	00D0 H	lesen
Befehl			0008 H	00D0 H	schreiben
Request-Register			0009 H	00D2 H	schreiben
Single Mask-Reg.-Bit			000A H	00D4 H	schreiben
Mode-Register			000B H	00D6 H	schreiben
Clear-Pointer Flip-Flop			000C H	00D8 H	schreiben
TemporaryR-egister			000D H	00DA H	lesen
Master-Clear			000D H	00DA H	schreiben
Clear-Mask-Register			000E H	00DC H	schreiben
All-Mask-Register			000F H	00DE H	schreiben

I/O-Adressen der DMA-Steuerung

Beim Programmieren der DMA-Kanäle ist zu beachten:

- Die DMA 2-Kanäle (Wort, 16 bit) werden zum Programmieren byteweise auf den geraden I/O-Adressen angesprochen.
- Die DMA 1-Kanäle (Byte, 8 bit) werden zum Programmieren byteweise auf den I/O-Adressen angesprochen.
- Bei 16-bit-DMA-Zugriffen (Wort) wird die durch zwei geteilte Zugriffsadresse als Basisadresse programmiert und der Zähler mit der Anzahl zu übertragender **Worte** geladen. Das Seitenregister erhält über die Datenbits D1...D7 die 7 höherwertigen Adressenbits A17...A23. D0 wird nicht ausgewertet.
- Es wird empfohlen, bei DMA-Betrieb den Single-Step-Mode bevorzugt anzuwenden, um den Refresh nicht zu beeinträchtigen.
- Beim Überschreiten der Blockgrenzen (64 kbyte bei Bytetransfer und 128 kbyte bei Worttransfer) erfolgt kein automatischer Übertrag in das Seitenregister.

8.6 Seitenregister

Das Seitenregister besteht aus 8 Registern für die höherwertigen Adreßbits. 7 Register sind den DMA-Kanälen zugeordnet und ein Register dient zur Seitenwahl für den Refresh (wird bei einem Refreshzyklus auf die Adreßleitungen A17...A23 gelegt).

Seitenregister	I/O-Adresse	Datenleitung	Adreßleitung
DMA-Kanal 0	0087 H	D0...D7	A16...A23
DMA-Kanal 1	0083 H	D0...D7	A16...A23
DMA-Kanal 2	0081 H	D0...D7	A16...A23
DMA-Kanal 3	0082 H	D0...D7	A16...A23
DMA-Kanal 5	008B H	D1...D7	A17...A23
DMA-Kanal 6	0089 H	D1...D7	A17...A23
DMA-Kanal 7	008A H	D1...D7	A17...A23
Refresh	008F H	D1...D7	A17...A23

I/O-Adressen des Seitenregisters

Die oben nicht aufgeführten Register des im ISA-Bus-Controller integrierten 74LS612 sind ebenfalls ausdecodiert, haben aber keinen Einfluß auf die Hardware. Zum Beispiel wird das Register 0080 H vom BIOS als Fehlerregister benutzt.

9 Konfiguration der ASIC

Auf der Grundplatine des PG 730 werden unter anderem die nachfolgend aufgeführten hochintegrierten ASIC verwendet:

- System-Controller
- ISA-Bus-Controller
- COMBO I/O-Chip

Diese Bausteine müssen nach jedem Einschalten (Netz EIN) neu konfiguriert werden. Die Konfiguration erfolgt über eine im ROM-BIOS hinterlegte Programmroutine.

9.1 Übersicht

Die Parametrierung des System- und des ISA-Bus-Controllers erfolgt über die zwei I/O-Adressen.

I/O-Adresse	Datum
00EC H	Indexregister
00ED H	Datenregister les- und schreibbar

Die Parametrierung des Combo I/O-Chip erfolgt über die zwei I/O-Adressen.

I/O-Adresse	Datum
0170 H	Indexregister
0171 H	Datenregister les- und schreibbar

Beachte: Die obigen I/O-Adressen sind Byteadressen.

Baustein	Indexwert (H)	Funktion	
System-Controller	00	VERSION	:Versionsnummer
	01	COMPAT	:Kompatibilität zum ISA-Bus-Controller
	02	SLTPTR	:Höchste Adresse des Onboard-Speichers
	03	RAMMAP	:Speicherausbau
	04	RAMMOV	:Speicher-Mapping
	05	RAMSET	:Speicherkonfiguration
	06	REFECTL	:Refresh-Parametrierung
	07	RASTMA	:RAS-Timing Bank A
	08	CASTMA	:CAS-Timing Bank A
	09	RASTMB	:RAS-Timing Bank B
	0A	CASTMB	:CAS-Timing Bank B
	0B	EMSEN1	:EMS-Register 1
	0C	EMSEN2	:EMS-Register 2
	0D	AAXS	:Shadow-Control A0000..AFFFF H
	0E	BAXS	:Shadow-Control B0000..BFFFF H
	0F	CAXS	:Shadow-Control C0000..CFFFF H
	10	DAXS	:Shadow-Control D0000..DFFFF H
11	EAXS	:Shadow-Control E0000..EFFFF H	
12	FAXS	:Shadow-Control F0000..FFFFF H	
13	SLEEP	:Power Down Enable	
14	MISCSET	:versch. System-Kontrollparameter	
15	TEST	:reserviert für Factory-Test	
16	CTRL1	:versch. System-Kontrollparameter	
ISA-Bus-Controller	80	VERSION	:Versionsnummer
	81	ROMDMA	:Waitstates für ROM und DMA
	82	612AXS	:Extended DMA-Register
	83	SLPTST	:reserviert für Factory- und POST-Test
	84	BUSCTL	:versch. System-Kontrollparameter
	14	MISCSET	:nur Bit 7, Bit 0..6 im System-Controller
	03	RAMMAP	:nur Bit 7, Bit 0..6 im System-Controller
COMBO I/O-Chip	06	REFCTL	:nur Bit3, Bit0..2,4..6 im System-Controller
	69	CTRLReg.0	:enable/disable interne Funktionen
	6A	CTRLReg.1	:Parameter der Chip-Select-Erzeugung

Für die Registerinhalte gilt

- Nach der Spannungswiederkehr werden die konfigurierbaren Bausteine mit einem internen Logikschaltkreis auf definierte Werte gesetzt, die eine AT-kompatible Funktion gewährleisten.
- Die Standardwerte bringen das PG 730 in eine minimal funktionsfähige Konfiguration.
- Der ROM-BIOS initialisiert nach "POWER ON" in der Selbst-Test und Initialisierungs- (POST-) Phase jedes einzelne der oben beschriebenen Register.

Detaillierte Informationen zu den Registern können dem folgenden Datenbuch entnommen werden:

TOPCAT
HIGH-PERFORMANCE
PC/AT-COMPATIBLE
CHIP SET
DATA MANUAL
VLSI Technology INC.

9.2 Standard-BIOS-Konfiguration

Parameter des System-Controllers

Register	Eintrag	
Index	Wert	Bedeutung
00 H	E2 H	Versionsnummer
01 H	FF H	reserviert
02 H	40 H	4 Mbyte-Onboard-RAM *
03 H	67 H	RAM Bank 0 und 1 bestückt, 4 Mbyte *
04 H	F0 H	Bank A = Bank 0 und 1*
05 H	7F H	300 pF Drive, Page-Mode enabled, ESTART disabled *
06 H	00 H	Kompatibler Refresh-Mode, 16 bit I/O-Decoder im ISA-Bus-Controller
07 H	EC H	RAS-Timing Bank A
08 H	05 H	CAS-Timing Bank A
09 H	EC H	RAS-Timing Bank B
0A H	05 H	CAS-Timing Bank B
0B H	00 H	EMS disabled
0C H	00 H	EMS disabled
0D H	00 H	Shadowing Adr. A0000..AFFFF H gesperrt **
0E H	00 H	Shadowing Adr. B0000..BFFFF H gesperrt **
0F H	0A H	Shadowing Adr. C8000..CFFFF H gesperrt, Adr. C0000..CFFFF H freigegeben **
10 H	00 H	Shadowing Adr. D0000..DFFFF H gesperrt **
11 H	00 H	Shadowing Adr. E0000..EFFFF H gesperrt **
12 H	AA H	Shadowing Adr. F0000..FFFFFF H freigegeben **
13 H	03 H	Sleep-Mode disabled
14 H	11 H	Bus-Clock 8 MHz, Clk2-Teiler 6,6 MHz, 24 mA Treiberleistung, Coproz.-SW-Reset enabled
15 H	--	reserviert
16 H	C0 H	Normales I/O-Timing, Normaler Refresh, 24 mA RAS/CAS-Treiberleistung

Parametrierung des ISA-Bus-Controllers

Register	Eintrag	
Index	Wert	Bedeutung
80 H	F6 H	Versionsnummer
81 H	7C H	1 ROM Waitstate, 3 DMA-Clocks (8 Bit), 2 DMA-Clocks (16 bit)
82 H	3E H	Extended DMA disabled
83 H	7F H	reserviert
84 H	B0 H	interne RTC enabled, PC/AT-kompatibles Bustiming

Parametrierung des COMBO I/O-Chips

Register	Eintrag	
Index	Wert	Bedeutung
69 H	97 H	FD-Chip-Select, COM A, LPT-enabled; COM A, LPT-kompatible Adreßbelegung; LPT-Mode kompatibel
6A H	FF H	COM B, HD-Chip Select, IDE enabled; AT-Tastatur

* Diese Parameter werden vom BIOS in Abhängigkeit vom Speicherausbau verändert.

** Diese Parameter werden durch die Shadow-RAM-Freigabe, die im SETUP eingestellt werden, beeinflusst.

10 Interrupt-Behandlung

Der Mikroprozessor 80386SX im PG 730 hat zwei Hardware-Interrupt-Eingänge:

- **Maskierbarer Interrupt INTR** (Pin 40)
Die Bearbeitung der Interrupt-Signale läßt sich durch ein Bit im Flag-Register des Mikroprozessors 80386SX freigeben/sperrern. Mit den Assembler-Befehlen STI (set interrupt flag) und CLI (clear interrupt flag) wird eine Reaktion der CPU auf das INTR-Signal freigegeben bzw. gesperrt.
- **Nicht maskierbarer Interrupt NMI** (Pin 38)
Das Interrupt-Signal NMI kann nicht wie das Signal INTR im Mikroprozessor 80386SX maskiert werden. Der Prozessor reagiert auf jeden eintreffenden NMI mit dessen Bearbeitung. Beim PG 730 wurde durch besondere Hardware-Maßnahmen der NMI trotzdem maskierbar gemacht (siehe Kapitel NMI-Signal).

10.1 INTR-Signal

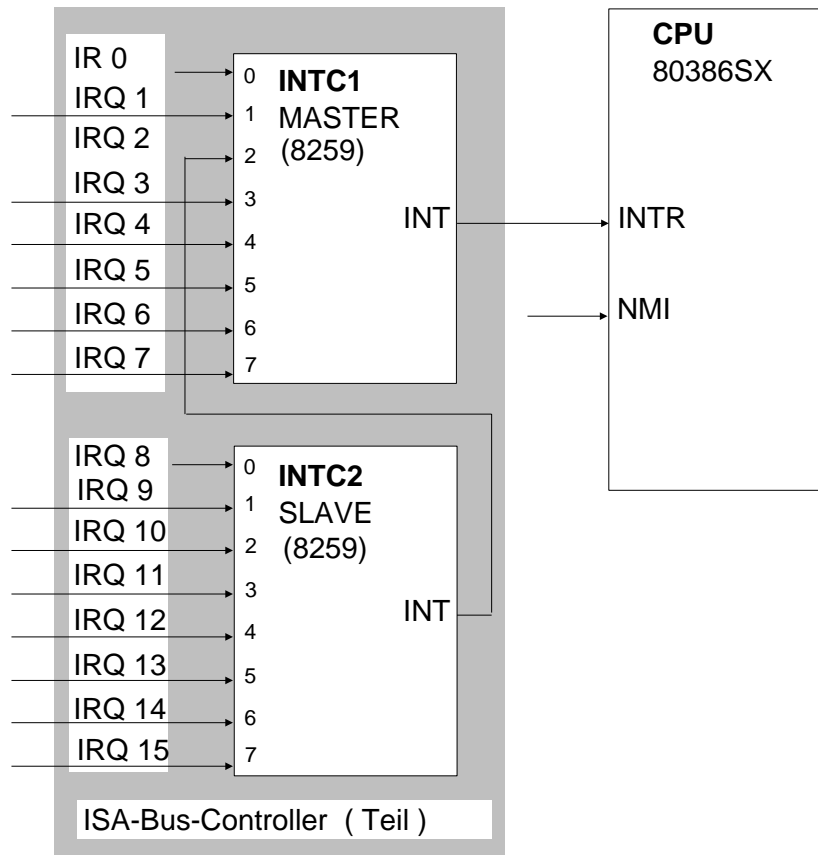
Die Bearbeitung der 16 Hardware-Interrupts (IRQ 0 bis IRQ 15) erfolgt beim PG 730 im ISA-Bus-Controller (82C331), in dem zwei Interrupt-Controller 8259 integriert sind (Bild Interrupt-Steuerung).

Der INT-Ausgang des Slave-Controllers INTC2 ist mit dem IRQ 2-Eingang des Master-Controllers INTC1 verbunden. Für den belegten Interrupt 2 (IRQ 2) kann der Interrupt 9 (IRQ 9) auf dem Bus verwendet werden. Durch den ROM-BIOS wird in der Initialisierungsphase der IRQ 9 auf den Software-Interrupt-Vektor 0A H (IRQ 2) parametrisiert.

Mit dem Signal INTR stellt der Interrupt-Controller INTC1 (Master) eine Unterbrechungsanforderung an den Mikroprozessor 80386SX. Das Signal kann von den 15 Einzelinterrupts ausgelöst werden, die zum Teil fest definiert sind. Die Interrupts werden sowohl von Teilen auf der Grundplatine als auch von Erweiterungskarten belegt.

10.1.1 Priorität

Die Priorität der Interrupts verläuft in umgekehrter Reihenfolge wie die Numerierung. Der Interrupt IRQ 0 hat die höchste, der Interrupt IRQ 7 die niedrigste Priorität. Für die Auslösung von IRQ 2, hat Interrupt IRQ 8 die höchste und IRQ 15 die niedrigste Priorität. Dadurch sind die Interrupts IRQ 8..IRQ 15 höherprioritiert als die Interrupts IRQ 3..IRQ 7. Die Interrupt-Vektoren werden beim Starten des PG 730 initialisiert und maskiert.



10.1: Interrupt-Steuerung

10.1.2 Interrupt-Maskenregister

Die einzelnen Interrupts können vom Anwender über die Interrupt-Maskenregister der Interrupt-Controller gesperrt bzw. freigegeben werden. Die I/O-Adresse des Maskenregisters vom Master-Controller lautet 21 H, vom Slave-Controller A1 H. Auf die Register kann nach dem Systemanlauf mit den Assembler-Befehlen IN bzw. OUT zugegriffen werden. Hat ein Bit im Interrupt-Maskenregister den Wert "1", so ist der zugehörige Interrupt gesperrt. Eine "0" im Maskenregister gibt den entsprechenden Interrupt frei.

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRQ 7	IRQ 6	IRQ 5	IRQ 4	IRQ 3	IRQ 2	IRQ 1	IRQ 0

Interrupt-Maskenregister (Master INTC1) Adresse 21 H

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IRQ 15	IRQ 14	IRQ 13	IRQ 12	IRQ 11	IRQ 10	IRQ 9	IRQ 8

Interrupt-Maskenregister (Slave INTC2) Adresse 0A1 H

Hinweis: Das Interrupt-Maskenregister kann auch vom Betriebssystem oder der Firmware einiger Erweiterungsbaugruppen umdefiniert und dabei die vom Benutzer gesetzte Maske verändert werden. Um Konflikte (z.B. System-Stillstand) zu vermeiden, sollten die Eingriffe in das Interrupt-System auf das Lesen/Schreiben von Interrupt-Masken beschränkt bleiben. Eigene Interrupt-Handler sollten nur über die Interrupt-Vektortabelle eingebunden werden. Keinesfalls sollte man die Interrupt-Controller umparametrieren.

10.1.3 Interrupt-Vektor

Die Vektortabelle (Interrupt-Sprungliste) beginnt standardmäßig bei der absoluten Adresse 20 H (IRQ 0). Dort ist für jeden der 16 Interrupts ein 4-byte-Vektor abgelegt. Die Speicherreihenfolge lautet "Offset-Adresse/Segment-Adresse". Jeder Hardware-Interrupt (IRQ) kann auch per Software über den INT-Befehl mit dem in der Tabelle zugeordneten Vektor erreicht werden.

Ein Anwenderprogramm mit eigenem Interrupt-Handler, kann dessen Startadresse (Offset- und Segment-Adresse) in die Interrupt-Sprungliste schreiben. Bei einem

eintreffenden Interrupt verzweigt der Prozessor dann zur Interrupt-Routine mit der eingetragenen Startadresse (Tabelle).

Hardware-Interrupt (IRQ)	Software-Interrupt-vektor (INT)	Offset-Adresse	Segment-Adresse
0	08 H	20 H	22 H
1	09 H	24 H	26 H
2	0A H	28 H	2A H
3	0B H	2C H	2E H
4	0C H	30 H	32 H
5	0D H	34 H	36 H
6	0E H	38 H	3A H
7	0F H	3C H	3E H
8	70 H	1C0 H	1C2 H
9*	71 H	1C4 H	1C6 H
10	72 H	1C8 H	1CA H
11	73 H	1CC H	1CE H
12	74 H	1D0 H	1D2 H
13	75 H	1D4 H	1D6 H
14	76 H	1D8 H	1DA H
15	77 H	1DC H	1DE H

Adressen der Interrupt-Vektoren

- *) Beim PG 730 wird durch den ROM-BIOS in der Initialisierungsphase der IRQ 9 auf den Software-Interrupt-Vektor 0A H (IRQ 2) parametrisiert und steht dort zur freien Verfügung.

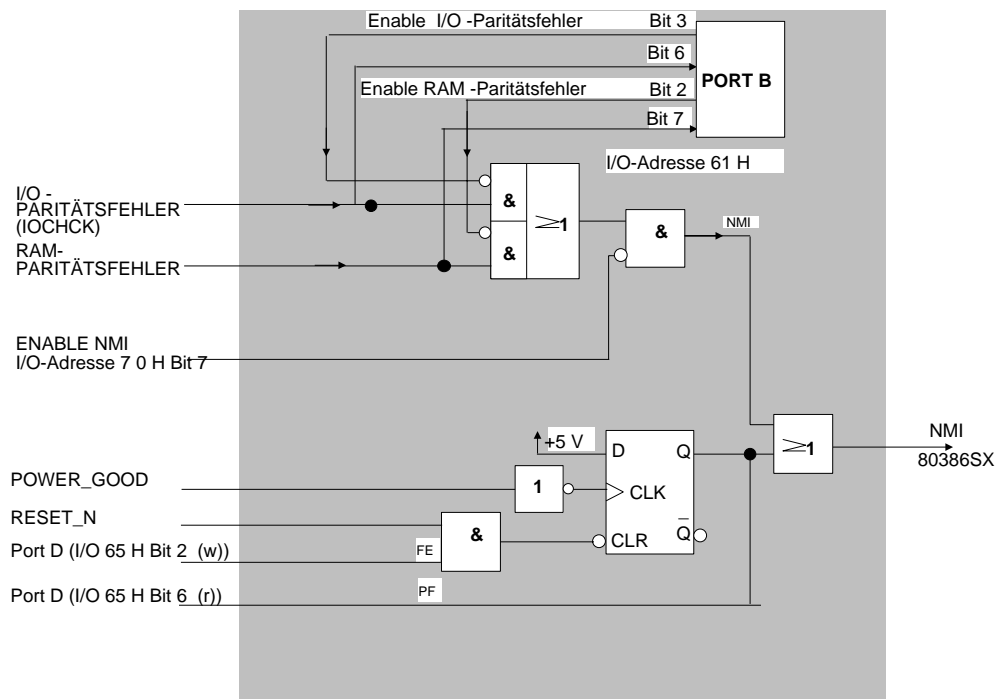
Hinweis: Die Interrupts 3, 4 und 7 sind auf der Grundplatine bereits von den Schnittstellen COM 1, COM 2 und LPT 1 belegt. Bei Bedarf können diese Interrupts auf dem Grundboard durch einen OUT-Befehl (Kapitel Serielle Schnittstellen) gesperrt werden.
 Der Interrupt 5 ist von ARCNET belegt.
 Der Interrupt 6 ist vom Floppydisk-Controller belegt.
 Der Interrupt 14 ist vom AT-Bus-Festplattenlaufwerk belegt.

10.2 NMI-Signal

Der nicht-maskierbare Interrupt (NMI) wird beim PG 730 durch folgende Interrupt-Quellen angesprochen (Bild):

- RAM-Paritätsfehler auf der Grundplatine
- Paritätsfehler bei einem Eingabe-/Ausgabe-Kanal
- Netzausfall über das Signal Power Good

Durch die Erkennung des Netzausfalls über PF (Port D Bit 6) kann mit Hilfe des NMI eine Rettroutine angestoßen werden, die wichtige Daten auf Festplatte sichert. Die hierfür verbleibende Zeit ist in Abhängigkeit vom Ausbaugrad des Geräts ≥ 20 ms.



10.2: NMI-Logik

Um eine größere Flexibilität der Hardware zu erreichen, ist beim PG 730 auch der NMI maskierbar. Das NMI-Signal kann nur über direkte Output-Befehle auf die Adresse 70 H maskiert werden. Man verwendet folgende Assembler-Befehle:

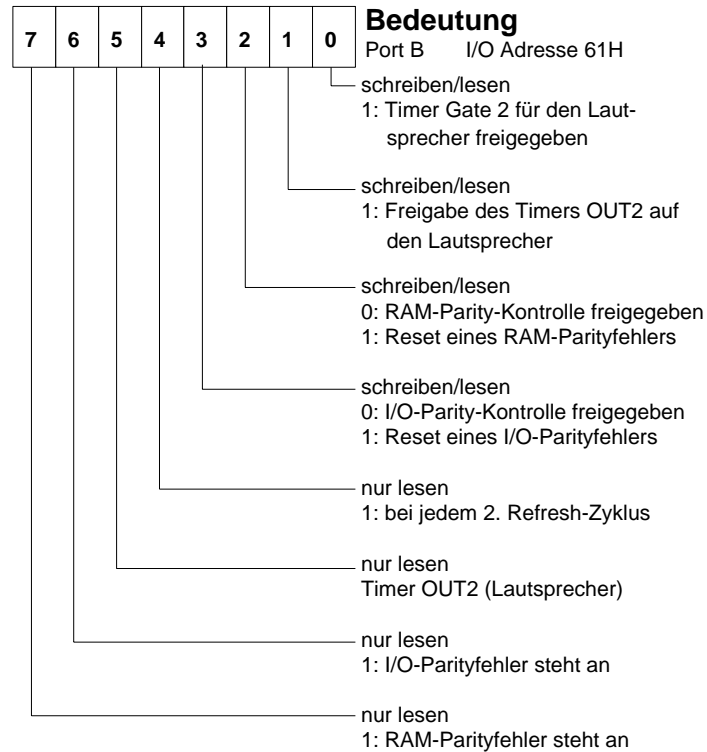
MOV	AL, 80H	
OUT	70H, AL	NMI gesperrt (Signal ENABLE NMI nicht aktiviert)
PUSH	AX	Dummy-Zugriff, damit Erholzeit bei I/O-Zugriffen eingehalten wird.
IN	AL,80H	
POP	AX	
MOV	AL, 0	
OUT	70H, AL	NMI freigegeben (Signal ENABLE NMI aktiviert)
PUSH	AX	Dummy-Zugriff, damit Erholzeit bei I/O-Zugriffen eingehalten wird.
IN	AL,80H	
POP	AX	

Wenn das Signal ENABLE NMI inaktiv ist, führt kein Parity-ERROR zu einem Interrupt des 80386SX.

Nach einem RESET liegt das NMI-ENABLE-Bit auf logisch "1", d.h. der NMI ist gesperrt. Nach der Initialisierung wird er wieder freigegeben.

Um die Ursache eines aufgetretenen NMI ermitteln zu können, enthält das PG 730 zwei Statusbits innerhalb des Ports B. Diese Bits sind jedoch nur gültig, wenn die betreffende Statusleitung freigegeben ist. Das Bild erläutert die Bedeutung dieser Bits (siehe auch Kapitel Tonerzeugung).

Nach einem RESET werden die unteren 4 Bits (Bit 0 - Bit 3) gelöscht (Bild Port B).



10.3: Statusbyte (Port B; I/O-Adresse)

10.3 Zusammenfassung der Hardware-Interrupts

NMI	RAM-Parität; E/A-Kanalparität, Power Good **)
IRQ 0	Timer-Ausgang 0, Peripherie-Controller intern
IRQ 1	Tastatur (Ausgabepuffer voll)
IRQ 2	Int. von Controller INTC2, Peripherie-Controller intern
IRQ 3	Mausschnittstelle *)
IRQ 4	V.24/V.28-Schnittstelle *)
IRQ 5	Parallelschnittstelle / (ARCNET), (BAM) *)
IRQ 6	Floppy *)
IRQ 7	Parallelschnittstelle Drucker *)
IRQ 8	Uhr, Peripherie-Controller intern
IRQ 9	Software-Interrupt nach 0A H (IRQ 2) umgeleitet *) (VGA)
IRQ 10	ETHERNET *)
IRQ 11	HIGRAPH *)
IRQ 12	L2-AS *)
IRQ 13	Numerikprozessor
IRQ 14	Festplattenlaufwerk *)
IRQ 15	*)

Zusammenfassung der Hardware-Interrupts

- *) Diese Signale sind auf die 7 Peripheriestecker geführt.
- ***) Die zugehörigen Software-Interrupts **INT** sind im Kapitel Interrupt-Vektoren beschrieben; siehe auch **ROM-BIOS**.

11 Tonerzeugung

Im PG 730 werden akustische Signale mit Hilfe des Timer-Bausteins 8254-2, der im ISA-Bus-Controller (82C331) integriert ist, erzeugt. Der Timer-Baustein enthält drei Zähler. Die Zähler 0 und 1 sind reserviert. Für akustische Signale verwendet man das Ausgangssignal von Zähler 2. Der Zähler läßt sich so programmieren, daß beispielsweise Rechtecksignale ausgegeben werden.

Das Ausgangssignal von Zähler 2 kann an einem UND-Gatter durch Bit 1 des I/O-Ports 61 H (Port B) gesperrt oder freigegeben werden. Das Signal wird dann über einen Filter geleitet und verstärkt dem Lautsprecher zugeführt.

Die Tonhöhe hängt vom Wert ab, mit dem das Zählerregister geladen wird. Die Dauer des Tones kann man durch das Setzen-/Rücksetzen der Bits 0 und/oder 1 von der I/O-Adresse 061 H festlegen.

Durch die Möglichkeit, das Gate des Zeitgebers ansteuern zu können, ergeben sich zusammen mit der unterschiedlichen Parametrierung des Zählers 2 eine Vielzahl von Tonerzeugungs- und Steuervarianten.

Die Adressen der Bausteine sind im E/A-Adreßplan angegeben.

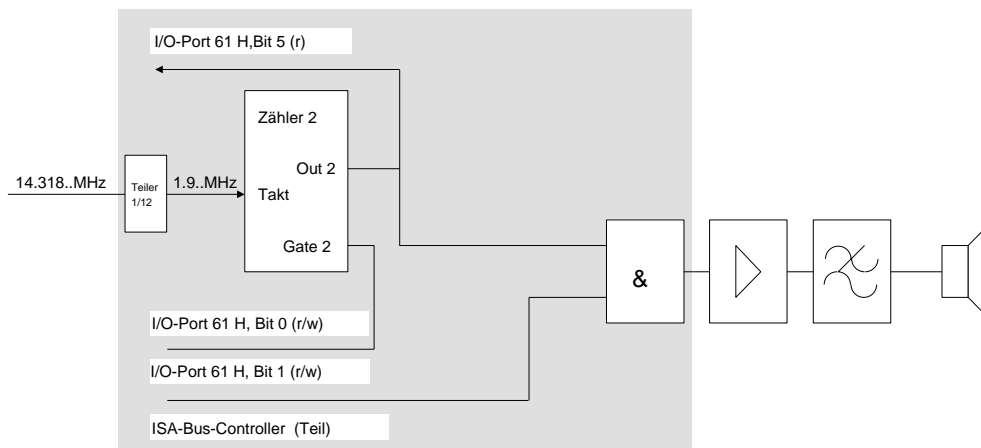


Bild 11.1: Prinzip der Tonerzeugung

12 Identifikation PG 730

Im Programmiergerät PG 730 können auf den beiden Erweiterungssteckplätzen verschiedene Baugruppen gesteckt werden. Die Baugruppen können wiederum individuell eingestellt sein.

Per Software kann der einzelne Erweiterungssteckplatz gezielt angewählt werden, um Informationen über die dort gesteckten Baugruppen abzurufen.

Folgende Informationen können von SIEMENS-Baugruppen abgefragt werden:

- wieviele Baugruppen und von welchem Typ sind gesteckt (jede Baugruppe erhält eine eindeutige Identnummer)
- welcher eingestellte Interrupt
- welcher eingestellte DMA-Kanal
- welches eingestellte Adreßfenster

und verschiedenes mehr.

Grundbaugruppe PG 730

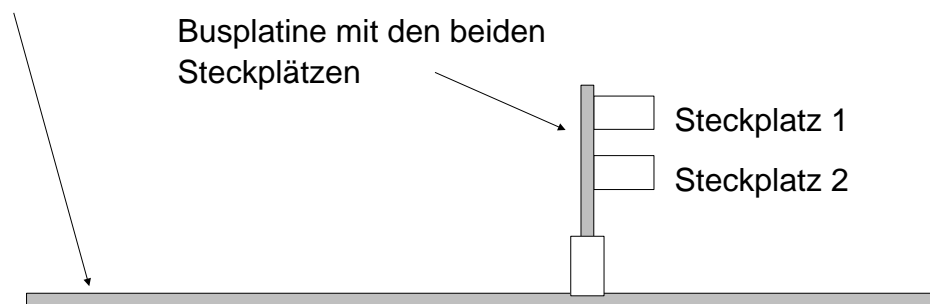


Bild 12.1: Übersicht der Steckplätze auf der Grundbaugruppe

Die Information kann u.a. verwendet werden, um

- Software zu schützen
- Treiber automatisch zu parametrieren
- per Diagnose-Software Fehleinstellungen aufzuzeigen.

Die Identifikation kann für jede Baugruppe individuell vereinbart und durchgeführt werden. Auf eindeutige Identnummernzuweisung ist dabei zu achten. Es sind verschiedene Leistungsstufen möglich:

Stufe 0

Eine Identifikation ist nicht möglich. Als Antwort kommt IOCHCK_N=H zurück. Durch die Abfrage aller Erweiterungsplätze kann man erkennen, wo identifizierbare Anschaltungen stecken und wo nicht. Erfolgt von einem Erweiterungssteckplatz keine Rückmeldung, so ist dort keine Baugruppe eingebaut, oder die Baugruppe hat keine Identifikationsoption.

Stufe 1

Eine Kennung wird abgegeben, die es ermöglicht, die Anschaltung zu identifizieren. IOCHCK_N=L zeigt an, daß eine Kennung abgegeben wird. Mit dem empfohlenen Ident-Code können 64 Grundkennungen unterschieden werden; in den beiden höchstwertigen Bits des ersten Bytes ist verschlüsselt, wieviele Bytes noch abgefragt werden können. Die Kennungen müssen eindeutig unterscheidbar sein, d.h. jede Anschaltung erhält ihre individuelle Kennung. Die Kennung gibt Aufschluß darüber, wo welche Anschaltungen auf Erweiterungssteckplätzen gesteckt sind. Diese Information kann bei der Systemkonfiguration und für Servicezwecke ausgewertet werden. Man kann z.B. bestimmte Programmteile freigeben, wenn eine bestimmte Anschaltung eingebaut ist.

Stufe 2

Zusätzlich zur Kennung können noch weitere Statusinformationen abgefragt werden, wie Interrupteinstellung, I/O-Adreßbereich, Ausgabestand, sonstige Einstellungen. Das Statusformat ist im Prinzip wahlfrei; es ist jedoch sinnvoll, Konventionen zu vereinbaren. Die zusätzlichen Statusinformationen können für Prüf- und Wartungszwecke und bei der Konfiguration des Systems ausgewertet werden.

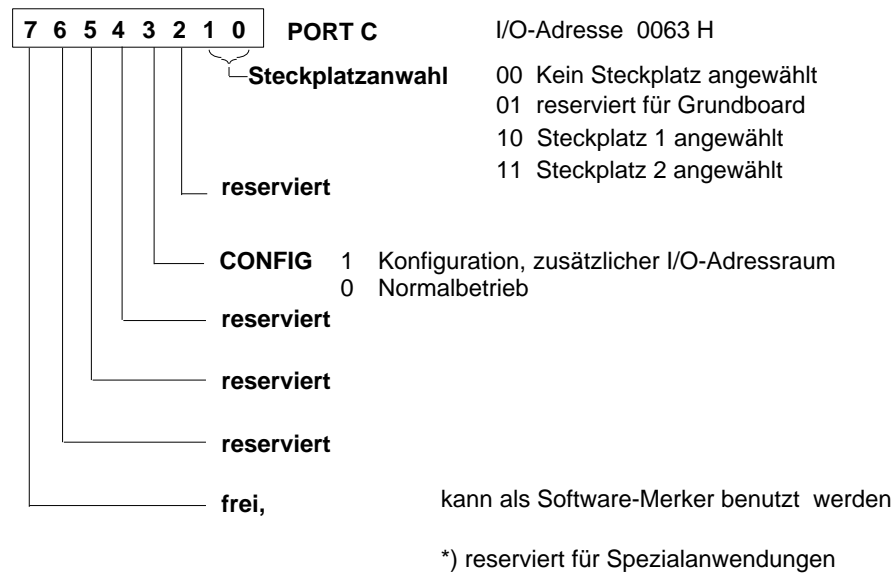
Stufe 3

Die Baugruppe wird - wie zuvor beschrieben - identifiziert und danach parametrieren. Man kann auf diese Weise alle wichtigen Parameter per Programm steckplatzabhängig einstellen und so mehrere gleichartige Baugruppen mit unterschiedlicher Ein-

stellung automatisch parametrieren. Für eine parametrierbare Anschaltung muß jeweils ein individuelles Parametrierprogramm zur Verfügung stehen.
Die Stufe 3 wird nur in speziellen Fällen realisiert, weil die Parametrierung zunächst nur mit dem PG 730 und PG 750 durchgeführt werden kann.

12.1 Port C

Über Port C auf der Grundbaugruppe (I/O-Adresse 0063 H) erfolgt die I/O-Adressraumbehandlung und die Auswahl der beiden Steckplätze. Es ist sichergestellt, daß dieses Port auch im erweiterten I/O-Adressraum (für Identifikation) unter der Adresse 0063 H erreichbar ist. Die Steckplatzanzahl 01 H ist für die Grundbaugruppe reserviert.



nach dem Einschalten des Geräts ist der Inhalt von Port C 00H

Bild 12.2: Port C

Mit Hilfe von Port C/Bit 3 kann ein eigener I/O-Adreßraum aufgemacht werden, in dem dann von der Hardware die Steckplätze ab der I/O-Adresse 10000 H angesprochen werden. Die CPU sieht dabei nach wie vor nur ihren 64 kbyte I/O-Adreßraum!

Für die Identifikation sind vorzugsweise die I/O-Adressen 10000 H bis 1001F H zu verwenden, um Konflikte mit Fremdbaugruppen zu vermeiden.

Nach der Identifikation muß das KONFIG-Bit in Port C wieder zurückgesetzt werden.

12.2 Ident-Code

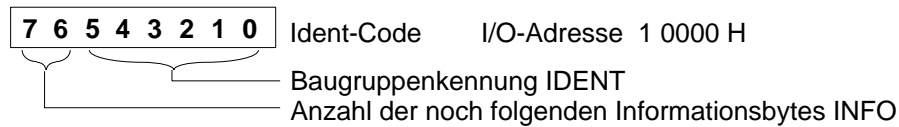


Bild 12.3: Ident-Code (bestehend aus IDENT und INFO)

Im Ident-Code sind die Baugruppenkennung IDENT und die Zahl der nachfolgenden Informationsbytes INFO enthalten (Bild).

Ist die Zahl der nachfolgenden Informationsbytes = 0, so kann nur die Baugruppenkennung abgerufen werden; es sind hier 64 unterschiedliche Kennungen möglich.

INFO ergänzt die Kennung und gibt außerdem an, daß noch weitere Information abgefragt werden kann. INFO = 0 und IDENT = n ergibt eine andere Kennung als INFO = 1 und IDENT = n.

Der Ident-Code 0FF H ist für spätere Erweiterungen reserviert (Sonderfunktionen).

Beispiel: Identifikation für die DF20G/AT-Anschaltung:

I/O- Adresse 10000 H, Ident-Code 00001010B entspricht 0A H.
(Der Ident-Code der Baugruppe zeigt an, daß keine weitere Information von der Baugruppe abgefragt werden kann.)

Bei Baugruppen, die weitere Informationsbytes bereitstellen, ist die Information folgendermaßen zu interpretieren.

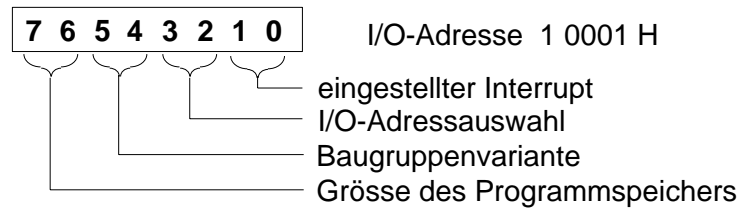


Bild 12.4: Kennung im 2. Byte (Beispiel)

Es können entsprechend weitere Bytes mit zusätzlichen Informationen vorhanden sein, wie der eingestellte Interrupt, die Adresse für Interrupt-Auslösung, eingestellter DMA-Kanal, usw.

Die Identifikationsdaten werden vom ROM-BIOS beim Boot-Vorgang gelesen und im Uhren-RAM abgespeichert. Für das Motherboard des PG 730 wird ebenfalls ein Identifikationsbyte im Uhren-RAM abgelegt (siehe auch Kapitel CMOS-RAM erweiterte Konfiguration). (Es ist nicht möglich, simultan von mehreren Tasks auf die Baugruppenidentifikation zuzugreifen.)

Der Datentransfer bei der Identifikation erfolgt byteweise, damit auch byteweise arbeitende Anschaltungen eine Identifikation durchführen können.

Bisher sind folgende Baugruppenkennungen IDENT (Bit 5 - 0) vergeben:

IDENT	Baugruppe
00	reserviert (Software-Kennung)
01	ETHERNET H2
02	ETHERNET H1 (SIMATIC)
03	ETHERNET H1 (CP 556)
04	HIGRAPH Farbmonitor-Anschaltung (PG 730)
05-07	reserviert
08	PROGAS (PG 730)
09	BMG Monochrom-Monitor-Anschaltung
0A	DF20G/AT
0B	CP 152 für OS 520

0C	ARC-PC (Novell-S/W)
0D-3B	reserviert für künftige Anschaltungen
3C-3E	reserviert für Zusatzbaugruppen
3F	L2-Anschaltung
FF	reserviert für Sonderfunktionen

12.3 Funktionsweise, Anschaltungsteil

Nach dem Einschalten, bzw. bei der Konfiguration können die einzelnen Erweiterungssteckplätze gezielt angewählt werden, um Information über die dort gesteckten Baugruppen abzurufen. Hierfür dienen die Signale SA16 und AEN in Zusammenhang mit IOR oder IOW.

Mit der Adresse SA16 wird ein zusätzlicher I/O-Adreßraum ausgewählt. AEN gibt in diesem Adreßraum einen der 2 Erweiterungssteckplätze für I/O-Transfers gezielt frei. Im allgemeinen Adreßraum (SA16=0) wird AEN gleichzeitig an alle Erweiterungssteckplätze durchgeschaltet.

Um auch den Steckplatz 2 identföähig zu machen, wurde auf das Bussignal DRQ 2 verzichtet. Wird das Bussignal DRQ 2 allerdings von einer Zusatzbaugruppe verwendet, dann kann auf dem Motherboard durch Umstecken der Brücke X32 von Position 1-2 nach Position 2-3 das Signal zur Verfügung gestellt werden. Die Steckplätze sind dann nicht mehr identföähig (siehe auch Kap. 18.3).

AEN signalisiert bei I/O-Zugriffen, ob die Adresse für die angesprochene Baugruppe göltig ist. Wöhrend der Identifikationsphase wird das AEN-Signal sternföahig zu den Erweiterungssteckplätzen durchgeschaltet. Zu einem Zeitpunkt ist nur auf einem Erweiterungssteckplatz AEN=L; auf allen anderen ist AEN=H. Die Baugruppe, die AEN=L und A16=H erkennt, schaltet ihre Statusinformationen mit IOR_N=L auf den Bus oder übernimmt mit IOW_N=L Parametrierinformation vom Bus. Die Baugruppen, die AEN=H erkennen, sind nicht angesprochen. Außerhalb der Identifikationsphase wird das AEN-Signal busföahig zu den Erweiterungssteckplätzen durchgeschaltet.

Prinzip zum Lesen der Konfiguration

Alle Interrupte Sperren (CLI) NMI abschalten (OUT 70H, Bit 7=0) Start bei Steckplatz 1	
Start mit Ident-Adresse 0	
IOCHCK loeschen und freigeben (OUT 61H, Bit 3=0..=1) Ident lesen (Steckplatznummer schreiben, Konfigbit setzen (OUT 63H, Bit 3=1), ID-Daten lesen (IN identnr.), Konfigbit löschen (OUT 63H, Bit 3=0))	
IOCHCK lesen (IN 61, Bit 6)	
IOCHCK	
=0	=1
IOCHCK_Flag löschen (0H)	IOCHCK_Flag setzen (0FFH) Ident-Kennung setzen Ident-Daten speichern Ident-Adresse erhöhen
solange bis (IOCHCK = 0) oder (letzte Id-Nummer)	
Steckplatznummer erhöhen	
solange bis alle Steckplaetze gelesen wurden (Steckplatz 2)	
IOCHCK Loeschen und freigeben (OUT 61H, Bit 3=0..=1) NMI zulassen (OUT 70H, Bit 7=0) Interrupte zulassen (STI)	
Ident auswerten	

fertig

Bild 12.6: Struktogramm zum Auslesen der ID

12.4 Programmbeispiel

Das folgende Beispielprogramm liest die vorhandenen IDENT-Codes heraus, interpretiert sie und gibt das Ergebnis auf dem Monitor aus. Es ist für das Betriebssystem MS-DOS erstellt.

```

*****
;
;****                                     ***
;
;**** Programm zum Auslesen der ID-Codes der PG 7xx'er Baugruppen ****
;****                                     ****
;
;*****
;

port_b          EQU 61h
iochck_bit     EQU 40h
iochck_res     EQU 08h

port_c          EQU 63h
konfig_bit     EQU 08h

port_nmi       EQU 70h
nmi_bit        EQU 80h

dos            EQU 21h
cr             EQU 0dh      ;return
lf            EQU 0ah      ;line feed
char          EQU "-"

id_mask        EQU 3fh      ;Maske fuer ID
id_bit_laenge  EQU 06h
id_anzahl_maske EQU 0c0h
; Port 65h Definitionen
port_d        EQU 065h
merkb         EQU 080h
power         EQU 040h
merka         EQU 020h
gsp_adr       EQU 010h
prog_as       EQU 002h ;

```

```
arcnet          EQU 001h
netz_af         EQU 004h ;
gsp_irq        EQU 008h ;

ausgabe macrostring
  lea          dx, string      ;ds:dx Zeiger auf String
  mov          ah, 09h         ;MS DOS-Systemaufruf
  int          dos             ;INT 21h
  endm

code segment
assume cs:code,ds:daten,es:daten,ss:stack
start:
  mov          ax,seg stack    ;Segment-Register
  mov          ss,ax          ;vorbesetzen
  mov          ax,daten
  mov          ds,ax
  mov          es,ax
;*** Alle interrupts sperren ****
  cli
;*** NMI sperren ****
  mov          al,nmi_bit
  out          port_nmi,al
;Start bei Steckplatz 1
; 0h reserviert fuer Grundboard
; 1h reserviert fuer Grundboard
; 2h Steckplatz 1 angewaehlt
; 3h Steckplatz 2 angewaehlt

  mov          al,02h
  mov          s_num,al
```

```
steckplatz:                                ; Start mit Ident-Adresse 0
  mov     dx,00h
  mov     i_adr,dx

ident:                                       ; *** IOCHCK loeschen      ****
  in      al,port_b
  or      al,iotchck_res
  call   queue
  out     port_b,al
; *** IOCHCK freigeben      ****
  in      al,port_b
  and     al,0ffh - iotchck_res
  call   queue
  out     port_b,al
; *** Ident lesen          ****

  mov     ah,s_num      ;Steckplatznummer schreiben
  in      al,port_c
  and     al,0f0h
  or      al,ah
  or      al,konfig_bit
  out     port_c,al      ;Konfig-Bit setzen
;---- Sobald das Konfig-Bit gesetzt ist, ist ein normaler I/O nicht
;---- mehr moeglich. Es koennen in diesem Zustand nur die Ident-
;----daten gelesen/geschrieben oder das Konfig-Bit zurueckgesetzt
;---- werden!

  mov     dx,i_adr
  out     dx,al          ; nur zu Testzwecken wird hier geschrieben
  in      al,dx
  mov     cl,al          ;ID-Daten in cl retten

  in      al,port_c
  and     al,0ffh - konfig_bit
  out     port_c,al      ;Konfig-Bit ruecksetzen
```

```
; *** IOCHCK lesen      ****
in          al,port_b
and         al,iochck_bit
jnz        iochck
jmp        iochck_not

iochck:                                ; *** IOCHCK=1: ****
mov        al,0ffh
mov        iochck_flag,al

; *** Ident-Kennung setzen ****
mov        al,s_num
mov        ah,00h
mov        bx,TYPE steckpl
imul       bx          ;Offset = Index * TYPE (Steckplatz)
mov        bx,ax
mov        al,0ffh
mov        steckpl.id_kenn[bx],al

; *** Ident-Daten speichern ****
mov        di,i_adr
mov        steckpl.id_dat[bx+di],cl

; *** Ident-Adresse erhoehen ****
mov        cx,di
inc        cx
mov        i_adr,cx
mov        steckpl.id_adr[bx],cl
jmp        iochck_end
iochck_not:

; *** IOCHCK=0:      ****
mov        al,00h
mov        iochck_flag,al
iochck_end:
```

```
; *** solange bis IOCHCK=0 oder Ident-Adresse 01fH goto ident ****
mov     al,iotchck_flag
or      al,al
jz      m1
mov     ax,01fh
mov     dx,i_adr
cmp     dx,ax
jg      m1
jmp     ident

m1:                                           ; *** Steckplatznummer erhoehen ****
mov     al,s_num
inc     al
mov     s_num,al

; *** solange bis Steckplatznummer 3 goto steckplatz ****
mov     ah,04h
cmp     al,ah
jg      m2
jmp     steckplatz

m2:                                           ; *** IOCHCK loeschen ****
in      al,port_b
or      al,iotchck_res
call    queue
out     port_b,al
and     al,0ffh - iotchck_res
call    queue
out     port_b,al

; *** NMI zulassen ****
mov     al,00
out     port_nmi,al

; *** Interrupts zulassen ****
sti
```

```
.*** Ident auswerten ***  
;  
.*** Ueberschrift ausgeben ***  
  
    ausgabe leerz  
    ausgabe ident_text  
    ausgabe leerz  
    ausgabe ident_text  
    ausgabe ident_kopf  
    ausgabe ident_kopf2  
    ausgabe ident_text  
    ausgabe mother_0  
    ausgabe ident_text  
    ausgabe mother_1  
.*** beim ersten (2h) Steckplatz anfangen ***  
;    mov             al,3h             ;Index Steckplatz 1 = 3h  
    mov             s_num,al         ;Index 0h, 1h, 2h sind reserviert  
  
ausw_stpl:                               ; *** Steckplatznummer ausgeben ***  
  
    ausgabe         ident_text  
    mov             al,s_num  
    push           ax  
    sub            al,02h             ;Steckplatznummer generieren  
    call           binasc  
    mov            puffer_byte,dh  
    ausgabe         puffer_byte  
    ausgabe         id_st  
    pop            ax  
.*** Kenn-Flag lesen ***  
    mov            al,s_num  
    dec            al  
    mov            ah,00h  
    mov            bx,TYPE steckpl  
    imul           bx  
    mov            bx,ax  
    mov            al,steckpl.id_kenn[bx]
```

```
    or             al,al
    jnz           id_adresse
    jmp           id_adresse_not
id_adresse:
    push         bx
; *** ID-Nummer ausgeben ***
    pop          bx
    mov          al,steckpl.id_dat[bx]
    push        bx
    and          al,id_mask           ;Anzahl IDs maskieren
    call         binasc
    mov          puffer_word,dx
    ausgabe     puffer_word
    ausgabe     id_id
; *** Anzahl der gefundenen IDs ***
    pop          bx
    mov          al,steckpl.id_adr[bx]
    push        bx
    call         binasc
    mov          puffer_word,dx
    ausgabe     puffer_word
    ausgabe     id_er
; *** Anzahl der gesetzten IDs ***
    pop          bx
    mov          al,steckpl.id_dat[bx]
    push        bx
    and          al,id_anzahl_maske   ;Anzahl IDs maskieren
    mov          cl,id_bit_laenge
    ror         al,cl
    call         binasc
    mov          puffer_byte,dh
    ausgabe     puffer_byte
    ausgabe     id_an
```

```
; *** Zeiger auf Interpretation setzen ***
mov     ax,ident_1 - ident_0
pop     bx
mov     cl,steckpl.id_dat[bx]
and     cl,3fh
xor     ch,ch
mul     cx
add     ax,offset ident_0
mov     bx,offset ident_x
cmp     bx,ax
jg      a1
mov     ax,bx
a1:mov  dx,ax
inc     dx           ;Kennbyte nicht ausgeben
mov     ah,09h
int     dos
jmp     id_adresse_end

id_adresse_not:           ;** Leerzeichen statt IDs ***
mov     dl,char
mov     dh,dl
mov     puffer_word,dx
ausgabe puffer_word
ausgabe id_id
mov     dl,char
mov     puffer_byte,dl
ausgabe puffer_word
ausgabe id_er
ausgabe puffer_byte
ausgabe id_an
; *** default Interpretation ***
ausgabe ident_y

id_adresse_end:         ; *** Zeiger auf den naechsten Steckplatz ***
mov     al,s_num
inc     al
mov     s_num,al
```



```
;*** solange steckplatz 2 ausgelesen ist (Index 4h) goto ausw_stpl ***
    mov     cl,05h
    cmp     al,cl
    jz      m3
    jmp     ausw_stpl
m3:
;*** Grundboard Konfigurationsschalter lesen Port 0065H
    ausgabe header_port_65

    in      al,port_d
    call    binasc
    mov     puffer_word,dx
    ausgabe puffer_word
    ausgabe header_rest

    in      al,port_d
    and     al,arcnet
    cmp     al,arcnet
    jnz     b1
    ausgabe no_arcnet_msg
    jmp     b1a

b1:  ausgabe _arcnet_msg
b1a:in  al,port_d
    and     al,prog_as
    cmp     al,prog_as
    jnz     b2
    ausgabe _prog_as_msg
    jmp     b2a

b2:  ausgabe no_prog_as_msg
b2a:in  al,port_d
    and     al,netz_af
    cmp     al,netz_af
    jnz     b3
    ausgabe no_netz_af_msg
    jmp     b3a

b3:  ausgabe _netz_af_msg
```

```
b3a:in      al,port_d
  and       al,gsp_irq
  cmp       al,gsp_irq
  jnz       b4
  ausgabe   no_gsp_irq_msg
  jmp       b4a

b4:  ausgabe_gsp_irq_msg
b4a:in    al,port_d
  and     al,gsp_adr
  cmp     al,gsp_adr
  jnz     b5
  ausgabe no_gsp_adr_msg
  jmp     b5a

b5:  ausgabe_gsp_adr_msg
b5a:in  al,port_d
  and    al,merka
  cmp    al,merka
  jnz    b6
  ausgabe no_merka_msg
  jmp    b6a

b6:  ausgabe_merka_msg
b6a:in  al,port_d
  and    al,power
  cmp    al,power
  jnz    b7
  ausgabe no_power_msg
  jmp    b7a

b7:  ausgabe_power_msg
b7a:in  al,port_d
  and    al,merkb
  cmp    al,merkb
  jnz    b8
  ausgabe no_merkb_msg
  jmp    b8a
b8:  ausgabe_merkb_msg
```

```
b8a:nop
ende:
;*** zurueck zum DOS ***
; **** beende Programm ****
;
;
;   mov          ah,4ch      ;MS DOS-Systemaufruf
;   int          dos        ;INT 21h
;
;
; **** Unterprogramm zum Wandeln ****
; **** von Binr- in ASCII-Code ****
;
;
binasc          proc

    mov         bx,00h
    mov         bl,al
    and         bl,0fh
    mov         dh,tabelle[bx]
    mov         cl,4h
    mov         bl,al
    ror         bl,cl
    and         bl,0fh
    mov         dl,tabelle[bx]
    ret
;
binasc          endp

queue          proc
;*** Befehls-Queue neu auffuellen ***
    ret
queue          endp

code           ends
```

```

SLOT      struc
id_kenn   DB 00
id_adr    DB 00
id_dat    DB 20H dup (0ffh)
SLOT      ends
daten segment
steckpl   SLOT 7 dup ()

iochck_flag DB 00h
s_num      DB 00h
i_adr     DW 0000h
tabelle    DB "0123456789ABCDEF"

Ident_0    DB 000H, "Ethernet H1 Anschaltung", ,cr,lf,"$"
Ident_1    DB 001H, "Ethernet H2 Anschaltung", ,cr,lf,"$"
Ident_2    DB 002H, "L2 Anschaltung", ,cr,lf,"$"
Ident_3    DB 003H, "Ethernet H1 (CP556)", ,cr,lf,"$"
Ident_4    DB 004H, "HIGRAPH Farbmonitoranschaltung", ,cr,lf,"$"
Ident_5    DB 005H, "unbekannt", ,cr,lf,"$"
Ident_6    DB 006H, "unbekannt", ,cr,lf,"$"
Ident_7    DB 007H, "unbekannt", ,cr,lf,"$"
Ident_8    DB 008H, "PROG- Anschaltung", ,cr,lf,"$"
Ident_9    DB 009H, "BMG - Graphik", ,cr,lf,"$"
Ident_A    DB 00AH, "DF20G/AT Anschaltung", ,cr,lf,"$"
Ident_B    DB 00BH, "CP152 Anschaltung fuer OS520", ,cr,lf,"$"
Ident_C    DB 00CH, "unbekannt", ,cr,lf,"$"
Ident_D    DB 00DH, "unbekannt", ,cr,lf,"$"
Ident_E    DB 00EH, "unbekannt", ,cr,lf,"$"
Ident_F    DB 00FH, "unbekannt", ,cr,lf,"$"
Ident_x    DB 0FFH, "fehlerhafte Baugruppe", ,cr,lf,"$"
Ident_y    DB "Fremdbaugruppe oder unbestueckt", ,cr,lf,"$"

Ident_kopf DB" Steckpl. ID Anzahl IDsBaugruppe", ,cr,lf,"$"
Ident_kopf2 DB" gefunden/erwartet", ,cr,lf,"$"
Ident_text DB" $"
mother_0   DB"-- | -- | ---- | reserviert fuer Grundboard", ,cr,lf,"$"

```

```

mother_1DB"-- | -- | ---- | reserviert fuer Grundboard      ",cr,lf,"$"
id_st      DB  " | $"
id_id      DB          " H | $"
id_er      DB          " H / $"
id_an      DB          " H | $"
id_bg      DB          "      ",cr,lf,"$"
leerz      DB"          "      ",cr,lf,"$"

puffer_byte      DB 00h,"$"
puffer_word      DW 0000h
                 DB "$"

header_port_65  DB cr,lf,cr,lf," Auswertung Grundboard-Konfiguration PG 730",cr,lf
                 DB "PORT D (Adresse I/O 65h) = $"
header_rest     DB "h ",cr,lf,"$"

no_arcnet_msg   DB " Bit 0 -- ARCNET-Schnittstelle freigegeben      ",cr,lf,"$"
_arcnet_msg     DB " Bit 0 -- ARCNET-Schnittstelle gesperrt        ",cr,lf,"$"
no_prog_as_msg  DB " Bit 1 -- Programmierschnittstelle freigegeben  ",cr,lf,"$"
_prog_as_msg    DB " Bit 1 -- Programmierschnittstelle gesperrt    ",cr,lf,"$"
_gsp_irq_msg    DB " Bit 3 -- HIGRAPH Interrupt 11 wird genutzt     ",cr,lf,"$"
no_gsp_irq_msg  DB " Bit 3 -- HIGRAPH Interrupt 12 wird genutzt     ",cr,lf,"$"
_merka_msg     DB " Bit 5 -- A Merkerbit nicht gesetzt              ",cr,lf,"$"
no_merka_msg    DB " Bit 5 -- A Merkerbit ist gesetzt               ",cr,lf,"$"
_merkb_msg     DB " Bit 7 -- B Merkerbit nicht gesetzt              ",cr,lf,"$"
no_merkb_msg    DB " Bit 7 -- B Merkerbit ist gesetzt               ",cr,lf,"$"
_netz_af_msg    DB " Bit 2 -- Netzausfall loest keinen NMI aus      ",cr,lf,"$"
no_netz_af_msg  DB " Bit 2 -- Netzausfall loest NMI aus            ",cr,lf,"$"
_gsp_adr_msg    DB " Bit 4 -- HIGRAPH Basisadresse I/O 340h        ",cr,lf,"$"
no_gsp_adr_msg  DB " Bit 4 -- HIGRAPH Basisadresse I/O 350h        ",cr,lf,"$"
no_power_msg    DB " Bit 6 -- Power-Ausfallwarnung loest NMI aus   ",cr,lf,"$"
_power_msg     DB " Bit 6 -- Power-Ausfallwarnung loest keinen NMI aus ",cr,lf,"$"

daten          ends
stack segment para stack 'stack'
               DB1 0H dup (?)

stack          ends
end

```


13 Schnittstellen

13.1 Allgemeines

Das PG 730 verfügt in der Standardausführung über zwei serielle und eine Centronics-Schnittstelle.

Die Schnittstelle mit der Bezeichnung V.24/Modem COM 1 (25polig) besitzt die Normbelegung der V.24-Übertragungssignale und zusätzlich (alternativ) die notwendigen Signale für TTY-Betrieb aktiv/passiv.

Die Schnittstelle mit der Bezeichnung Maus/COM 2 (9polig) besitzt ebenfalls Signale nach der V.24-Norm.

Die Centronics-Schnittstelle ist mit LPT 1 (25polig) gekennzeichnet, außer dem Druckerbetrieb kann an ihr wahlweise auch ein Scanner angeschlossen werden. Dazu muß der Parallelschnittstellen-Controller (im Baustein 82C106) umparametriert werden.

Die beiden V.24 und die LPT 1-Schnittstelle sind gemeinsam mit dem Tastatur-Controller, der Disketten-Decodierlogik und der AT-Bus-Festplatten-Decodierlogik im COMBO I/O-Chip (82C106) enthalten.

13.2 Beschreibung des COMBO I/O-Chip 82C106

Der Baustein 82C106 ist ein I/O-Controller, der für den Einsatz in Programmiergeräten und Personal Computern entwickelt wurde.

Er beinhaltet folgende Funktionseinheiten:

- zwei serielle V.24 Schnittstellen,
- eine Centronics-Schnittstelle,
- eine Tastaturschnittstelle
- Decodierlogik für Disketten- und Festplattensteuerung
- Interface für AT-Bus-Festplattenlaufwerk
- Die Funktionseinheiten des 82C106 sind kompatibel zum Industriestandard.

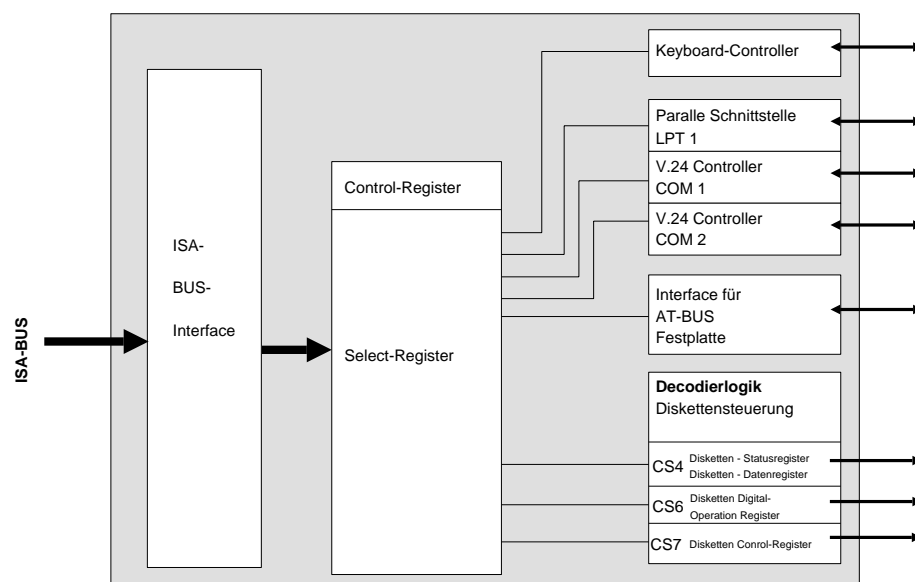


Bild 13.1: COMBO I/O-Chip (82C106)

13.2.1 Initialisierung der einzelnen Funktionsblöcke

Nach POWER ON oder einem RESET wird der Adreßdecoder im COMBO I/O-Chip vom BIOS auf die Standardadressen der COM 1, COM 2, LPT 1, Tastatur und Disketten-/ Festplattensteuerung voreingestellt.

Die voreingestellten Adressen sind nachfolgend dargestellt.

Schnittstelle	I/O-Adresse
COM 1 - V.24 Schnittstelle	03F8 H - 03FF H
COM 2 - V.24 Schnittstelle	02F8 H - 02FF H
LPT 1 - Parallelschnittstelle	0378 H - 037B H
CS4 Disketten-Statusregister Disketten-Datenregister	03F4 H - 03F5 H
CS5 IDE-Winchester	01F0 H - 01F7 H
CS6 Disketten-Digital-Operation- Register	03F2 H
CS7 Disketten-Control-Register	03F7 H

Der Adreßdecoder im 82C106 kann über 26 Register parametrierbar werden. Da die Basisadressen der Schnittstellen jeweils 16 bit groß sind, werden sie jeweils in zwei Registern Bit 0 - 7 und Bit 8 - 15 abgelegt. In einem weiteren Register (Range-Register) wird die jeweilige Größe des Adreßfensters (Bit 0 - 4 Adreßfenster) und die Art des Datenzugriffs (Bit 5 - 7) auf diesem Adreßraum festgelegt.

Nachfolgend ist das Range-Register dargestellt

Bit	Beschreibung
0	Bit 0 Adreßfenster
1	Bit 1 Adreßfenster
2	Bit 2 Adreßfenster
3	Bit 3 Adreßfenster
4	Bit 4 Adreßfenster
5	Waitstate 0
6	Waitstate 1
7	8/16 bit I/O

Auf die 26 Register, in denen die Basisadressen, die Größe des Adreßfensters und das Zugriffsverhalten gespeichert werden, kann über das Indexregister (I/O 170 H) und das Datenregister (I/O 171 H) zugegriffen werden.

Nachfolgend eine Auflistung der 26 Register.

Adreßindex	Registerbezeichnung	Vorbesetzt
69 H	Control-Register 0	97 H
6A H	Control-Register 1	FF H
6B H	COM 1 Basisadresse Bit 0 - 7	F8 H
6C H	COM 1 Basisadresse Bit 8 - 15	03 H
6D H	COM 1 Größe des Adreßfensters	87 H
6E H	COM 2 Basisadresse Bit 0 - 7	F8 H
6F H	COM 2 Basisadresse Bit 8 - 15	02 H
70 H	COM 2 Größe des Adreßfensters	87 H
71 H	LPT 1 Basisadresse Bit 0 - 7	78 H
72 H	LPT 1 Basisadresse Bit 8 - 15	03 H
73 H	LPT 1 Größe des Adreßfensters	03 H
74 H	Diskettensteuerung Basisadresse Bit 0 - 7	F4 H
75 H	Diskettensteuerung Basisadresse Bit 8 - 15	03 H
76 H	Diskettensteuerung Größe des Adreßfensters	81 H
77 H	Winchester-Steuerung Basisadresse Bit 0 - 7	F0 H
78 H	Winchester-Steuerung Basisadresse Bit 8 - 15	01 H
79 H	Winchester-Steuerung Größe des Adreßfensters	07 H
7A H	CS6 Basisadresse Bit 0 - 7	F2 H
7B H	CS6 Basisadresse Bit 8 - 15	03 H
7C H	CS6 Größe des Adreßfensters	00 H
7D H	CS7 Basisadresse Bit 0 - 7	F7 H
7E H	CS7 Basisadresse Bit 8 - 15	03 H
7F H	CS7 Größe des Adreßfensters	80 H

Beispiel: Umparametrieren der COM 1-Schnittstelle.

Schnittstelle COM 1 soll als Schnittstelle COM 4 (2E8 H - 2EF H) ansprechbar sein.

```

OUT    170H,06BH    ;Adreßindex 6BH
PUSH   AX           ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H       ;eingehalten wird.
POP    AX
OUT    171H,0E8H    ;Niederwertiges Byte der COM4 Basisadresse
PUSH   AX           ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H       ;eingehalten wird.
POP    AX
OUT    170H,06CH    ;Adreßindex 6CH
PUSH   AX           ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H       ;eingehalten wird.
POP    AX
OUT    171H,002H    ;Höherwertige Byte der COM4 Basisadresse
PUSH   AX           ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H       ;eingehalten wird.
POP    AX
OUT    170H,06DH    ;Adreßbereich definieren Index 6DH
PUSH   AX           ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H       ;eingehalten wird.
POP    AX
OUT    1H,008H      ;Adreßbereich von 2E8H - 2EFH (8 Bytes)

```

Beschreibung des Control-Registers 0 (Adreßindex 69 H)

Mit Control-Register 0 können einzelne Funktionen des Schnittstellen-Controller-Bausteins intern gesperrt oder freigegeben werden. Das Register kann unter der Indexadresse 69 H gelesen und beschrieben werden.

Die einzelnen Bits haben folgende Bedeutung:

- Bit 0** Globales Freigeben/Sperren der COM 1-, LPT 1-Schnittstelle und der Diskettenansteuerung
 logisch "0" - COM 1-, LPT 1- und Diskettenschnittstelle sperren.
 logisch "1" - COM 1-, LPT 1- und Diskettenschnittstelle freigeben (voreingestellt)
- Bit 1** selektives Sperren/Freigeben der Diskettenansteuerung
 logisch "0" - Sperren der Diskettenansteuerung
 logisch "1" - Freigeben der Diskettenansteuerung (voreingestellt).
- Bit 2** selektives Sperren/Freigeben der COM 1-Schnittstelle
 logisch "0" - COM 1-Schnittstelle sperren.
 logisch "1" - COM 1-Schnittstelle freigeben (voreingestellt).
- Bit 3** vordefinierte Adressen von COM 1 und COM 2 auswählen
 logisch "0" - COM 1-Schnittstelle hat Adresse I/O 02F8 H - 02FF H
 COM 2-Schnittstelle hat Adresse I/O 03F8 H - 03FF H
 logisch "1" - COM 1-Schnittstelle hat Adresse I/O 03F8 H - 03FF H (voreingestellt).
 COM 2-Schnittstelle hat Adresse I/O 02F8 H - 02FF H
- Bit 4** selektives Sperren/Freigeben der LPT 1-Schnittstelle
 logisch "0" - LPT 1-Schnittstelle sperren.
 logisch "1" - LPT 1-Schnittstelle freigeben (voreingestellt).
- Bit 5, 6** Adressierung der LPT 1-Schnittstelle festlegen.

Bit 6	Bit 5	Adresse der LPT 1-Schnittstelle
0	0	03BC H - 03BF H
0	1	0378 H - 037B H (voreingestellt)
1	0	0278 H - 027B H
1	1	reserviert

Bit 7 Funktionalität der LPT 1-Schnittstelle erweitern.

logisch "0" - erweiterte Funktionalität (Scanner-Betrieb). Daten können von der LPT 1-Schnittstelle gelesen und geschrieben werden.
logisch "1" - normaler LPT 1-Schnittstellenbetrieb (voreingestellt).

Beispiel: COM 1-Schnittstelle sperren.

```
MOV    0170H,069H    ;Adreßindex-Control Register 0

PUSH   AX            ;Verzögerung, damit die Erholzeit im I/O-Bereich
IN     AL,80H        ;eingehalten wird.
POP    AX

MOV    0171H,09BH    ;COM1-Schnittstelle ist gesperrt, Bit 2 - "0".
```

Beschreibung des Control-Registers 1 (Adreßindex 6A H)

Mit Control-Register 1 können nachfolgend beschriebene Select-Signale gesteuert werden. Das Register kann unter der Indexadresse 6A H gelesen und beschrieben werden.

Die einzelnen Bits haben folgende Bedeutung:

Bit 0 selektives Sperren/Freigeben der COM 2-Schnittstelle

logisch "0" - Sperren der COM 2-Schnittstelle
logisch "1" - Freigeben der COM 2-Schnittstelle (voreingestellt)

Bit 1 Betriebsart der Tastatur

logisch "0" - reserviert
logisch "1" - Tastatur-Controller wird im IBM AT-Mode betrieben (voreingestellt).

- Bit 2** reserviert
- Bit 3** Betriebsartwahl der Selektierlogik
logisch "0" - Zum Selektieren der Schnittstellen werden die vordefinierten Adressen verwendet.
Beim IDE-/Winchester-Betrieb wird kein IOCS16 und IOCHRDY erzeugt.
logisch "1" - Zum Selektieren der Schnittstellen werden die in Register Index 69 H - 7F H definierten Adressen verwendet. IOCS16 und IOCHRDY verhalten sich wie in Register Index 69 H - 7F definiert (voreingestellt).
- Bit 4** Winchester-Betrieb freigeben/sperrern
logisch "0" - Winchester-Betrieb gesperrt
logisch "1" - Winchester-Betrieb freigegeben (voreingestellt)
- Bit 5** Winchester-Ansteuerung freigeben/sperrern
logisch "0" - Ansteuerung gesperrt
logisch "1" - Die Ausgangssignale IDENH, IDENL, IRQI, IOCS16 und IDB7 sind freigegeben (voreingestellt).
- Bit 6** CS6 (Disketten-Digital-Operation-Register) freigeben/sperrern
logisch "0" sperren
logisch "1" freigeben (voreingestellt)
- Bit 7** CS7 (Disketten-Control-Register) freigeben/sperrern
logisch "0" sperren
logisch "1" freigeben (voreingestellt)

Weitere Informationen können dem folgenden Datenbuch entnommen werden:

TOPCAT
HIGH-PERFORMANCE
PC/AT-COMPATIBLE
CHIP SET
DATA MANUAL
VLSI Technologie INC.

14 Parallele Schnittstelle

14.1 Allgemeine Hinweise

Das PG 730 verfügt über eine parallele Schnittstelle (Centronics), die sich auf der Grundplatte befindet. Die Schnittstelle kann im COMBO I/O-Chip (82C106) als Druckerschnittstelle (Centronics) oder als Scanner-Schnittstelle parametrierbar werden. Ist die Schnittstelle als Centronics-Schnittstelle parametrierbar, dann kann an ihr ein Drucker mit Centronics-Anschluß betrieben werden. Empfohlen werden die kompatiblen Drucker PT 88/89 bzw. PT 88S/89S und PT 10 mit paralleler Schnittstelle.

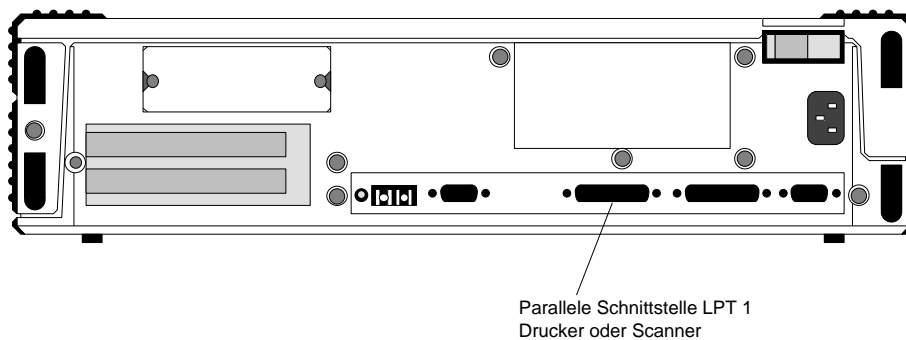


Bild 14.1: Lage der parallelen Schnittstelle

Für die parallele Schnittstelle stehen (Parametrierung im 82C106 als parallele Schnittstelle) ein Eingabe- und zwei Ein-/Ausgabekanäle zur Verfügung. Mit den Ausgabekanälen werden die Daten an die Schnittstelle angelegt und die periphere Einheit zur Übernahme der Daten angeregt. Zwei Kanäle können beschrieben und zurückgelesen werden. Der dritte Kanal gibt den Druckerstatus an; dieser Kanal kann nur gelesen werden.

14.2 Adressen der E/A-Kanäle

Für die parallele Schnittstelle sind drei Adressen relevant. Zwei Adressen können gelesen und beschrieben werden, eine Adresse kann nur gelesen werden. Die Kanäle werden vom Prozessor als Ports angesprochen, d.h. mit den Assembler-Befehlen IN bzw. OUT.

14.3 Druckerschnittstelle LPT 1

14.3.1 Parallele Schnittstelle auf der Grundplatte

Der Schnittstelle wurden folgende I/O-Adressen zugewiesen:

0378 H	Datenregister	(Schreib-/Lesezugriff)
0379 H	Statusregister	(Lesezugriff)
037A H	Steuerregister	(Schreib-/Lesezugriff)

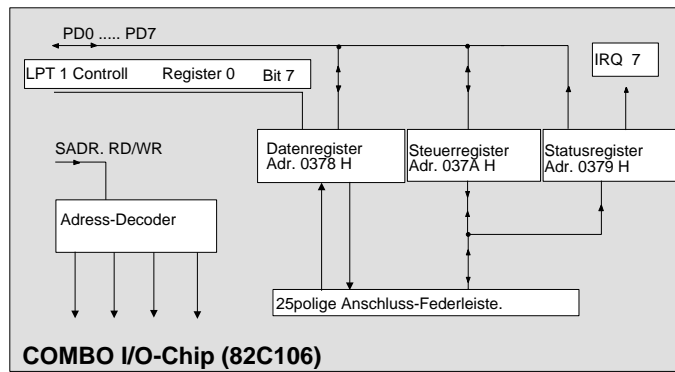


Bild 14.2: Blockschaltbild der parallelen Schnittstelle

14.3.2 Zuordnung der Schnittstellensignale

Pin	Signal	Richtung
1	/STROBE	A
2	DAT 0	A
3	DAT 1	A
4	DAT 2	A
5	DAT 3	A
6	DAT 4	A
7	DAT 5	A
8	DAT 6	A
9	DAT 7	A
10	/ACK	E
11	BUSY	E
12	P.E.	E
13	SELECT	E
14	/AUTFD	A
15	/ERROR	E
16	/INIT	A
17	/SLCTIN	A
18-25	GND	-

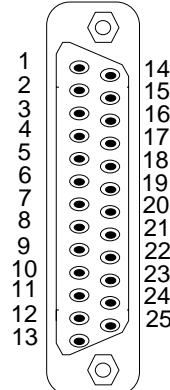


Bild 14.3: Zuordnung der Schnittstellensignale

E = Eingang A = Ausgang

Alle Pins liefern bzw. benötigen TTL-Pegel. Die Ausgänge der Schnittstellen dürfen nicht auf Masse gelegt werden!

14.3.3 Bedeutung der Schnittstellensignale

/STROBE	(low active)	Pin 1 (open-collector)
	Dieses Signal wird auf "0" gesetzt, wenn die Daten von der peripheren Einheit übernommen werden sollen.	
DAT	BIT 0 - 7	Pin 2 - 9
	Diese Daten sollen ausgegeben werden. Sie können wieder eingelesen werden, jedoch dürfen keine Signale an diese Pins von außen angelegt werden (Druckerbetrieb).	
/ACK	(low active)	Pin 10
	Mit diesem Signal quittiert die periphere Einheit die Übernahme der Daten. Diese Leitung wirkt auf Interrupt 7, wenn dieser freigegeben wurde.	

BUSY	(high active)	Pin 11	Liegt diese Leitung auf High-Pegel, kann die periphere Einheit momentan keine Daten annehmen.
P.E	(high active)	Pin 12	Mit diesem Signal wird Papierende angezeigt. Einige Druckertypen liefern dieses Signal nicht.
SELECT OUT	(high active)	Pin 13	High-Pegel an diesem Pin bedeutet, daß eine periphere Einheit vorhanden ist, bzw., daß die Einheit Online ist.
/AUTOFD	(low active)	Pin 14 (open collector)	Low-Pegel veranlaßt den Drucker automatisch ein Linefeed auszuführen. Einige Drucker werten diese Signale nicht aus.
/ERROR	(low active)	Pin 15	Mit diesem Signal wird ein Fehler gemeldet.
/INIT	(low active)	Pin 16 (open-collector)	Mit diesem Signal wird das angeschlossene Gerät zurückgesetzt.
/SELECT IN	(low active)	Pin 17 (open-collector)	Hiermit kann eine Bereitschaftsanforderung gestellt werden.
GROUND	(Masseleitungen)	Pin 18 - 25	

14.3.4 Zuordnung der Schnittstellensignale zu den E/A-Kanälen

Im Anschluß ist die Zuordnung der Bits des Daten-, Status- und Steuerregisters zu den Schnittstellensignalen angegeben.

Datenregister

Adresse: 0378 H Grundplatine

Zugriff: Schreiben und Lesen

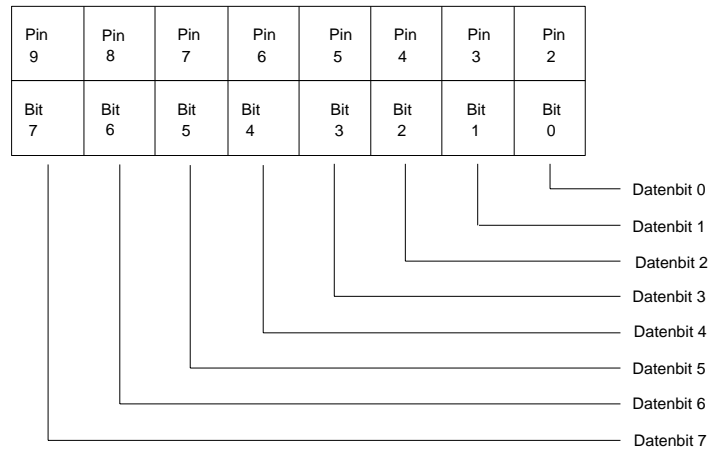


Bild 14.4: Datenregister der parallelen Schnittstelle

Es gibt zwei verschiedene Betriebsarten, in denen das Datenregister betrieben werden kann. Man unterscheidet diese in "Drucker-Betriebs-Mode" und "Scanner-Betriebs-Mode". Die Funktion des Datenregisters wird dazu von Bit 7 des Control-Registers 0 im COMBO I/O-Chip (siehe Kapitel 13) bestimmt.

Um das Datenregister im "Drucker-Betriebs-Mode" zu betreiben, muß Bit 7 des Control-Registers auf log. "1" gesetzt werden. Dies ist auch die Vorzugseinstellung, mit der das Register vom BIOS vorbesetzt wird.

Funktionsweise im "Drucker-Betriebs-Mode":

Im "Drucker-Betriebs-Mode" der Schnittstelle werden die Daten, die in das Datenregister geschrieben werden, direkt an der Schnittstelle ausgegeben. Gleichzeitig werden die Daten in einem 8-bit-Latch gespeichert. Dieses Latch kann unter der gleichen Adresse ausgelesen werden.

Funktionsweise des Datenregisters im "Scanner-Betriebs-Mode"

Um das Datenregister im "Scanner-Betriebs-Mode" zu betreiben, muß Bit 7 des Control-Registers 0 (siehe Kapitel 13) auf log. "0" gesetzt werden.

Im "Scanner-Betriebs-Mode" ist die Funktion des Datenregisters zusätzlich vom DIR Bit (Bit 5) des LPT 1-Steuerregisters abhängig.

Wenn das DIR (Direktion) Bit auf log. "0" gesetzt ist, gilt:

Beim Lesen des Datenregisters werden die zuletzt in das Register geschriebenen Daten zurückgelesen.

Beim Schreiben werden die Daten, die an das Datenregister geschrieben werden, an der Schnittstelle ausgegeben.

Wenn das DIR (Direktion) Bit auf log. "1" gesetzt wird, gilt:

Beim Lesen des Datenregisters werden die Daten, die an der Schnittstelle anliegen, eingelesen.

Beim Beschreiben des Datenregisters werden die Daten im Ausgaberegister der Schnittstelle gespeichert, jedoch nicht an der Schnittstelle ausgegeben.

Beispiel: Umparametrieren der LPT 1-Schnittstelle für "Scanner-Betrieb"

```

      CLI
      CALL    IN_OUT
      OUT     170H,69H    ;Control-Register 0 (Adreßindex 69H)
      CALL    IN_OUT
      IN      AL,171H    ;Control-Register 0 lesen
      AND     AL,7FH     ;Bit 7 auf log. "0" setzen
      STI
IN_OUT:
      PUSH   AX
      IN     AL,80H     ;Verzögerung, um die Erholzeit des
      POP    AX        ;I/O-Bereichs einzuhalten
      RET

```

Statusregister**Adresse:** 0379 H Grundplatine**Zugriff:** nur Lesen

Pin 11	Pin 10	Pin 12	Pin 13	Pin 15	IRQS	nn	nn
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

nn : Dieses Bit wird nicht verwendet.

Bit 0,1: **reserviert****Bit 2:** **IRQS (Interrupt-Statusbit)**

Das Interrupt-Statusbit wird auf log. "0" gesetzt, wenn das Peripheriegerät das ausgegebene Zeichen abgeholt und mit ACK quittiert hat. Nach dem Lesen des Statusbytes wird dieses Bit auf log. "1" gesetzt. Wird die Parallelschnittstelle im AT-Mode betrieben, dann wechselt das Interrupt-Statusbit seinen logischen Zustand in der gleichen Weise wie das ACK Signal.

Bit 3: **/ERROR** (log. "0")

Mit diesem Signal zeigt die periphere Einheit einen Fehler an. Was dieser Fehler bedeutet, entnehmen Sie der Beschreibung des angeschlossenen Geräts, da dieses Signal nicht von allen Geräten gesendet wird.

Bit 4: **SLCT** (log. "1")

Dieses Signal zeigt an, daß der Drucker selektiert ist. (Online).

Bit 5: **PAPER END** (aktiv log. "1")

Signalisiert, daß am Drucker kein Papier eingelegt ist. Dieses Signal wird nicht von allen Druckern geliefert.

Bit 6: **/ACK** (aktiv "0")

Mit log. "0" wird von der Gegenseite die Übernahme der Daten bestätigt. Dieses Signal kann Interrupt 7 auslösen, sofern der Interrupt freigegeben ist.

Bit 7: **/BUSY** (aktiv "0")

Die Gegenstation zeigt durch Setzen dieses Bits auf log. "0" an, daß momentan keine Daten angenommen werden können. Dies ist beispielsweise der Fall, wenn der Drucker gerade ein Formfeed ausführt.

Steuerregister**Adresse:** 037A H Grundplatine**Zugriff:** Lesen und Schreiben

nn	nn	DIR	INT_EN	Pin 17	Pin 16	Pin 14	Pin 1
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

nn: Dieses Bit wird nicht verwendet.**Bit 0:** **/STROBE (CLK)** (aktiv log. "0")

Mit einem 0,5 µs aktiv-"1"-Impuls wird der Drucker veranlaßt, die anstehenden Daten zu übernehmen. Die gültigen Daten müssen 0,5 µs vor diesem Impuls stabil anstehen.

Bit 1: **AUTO FEED** (aktiv log. "1")

Automatisches Linefeed einschalten (wird nicht immer ausgewertet).

Bit 2: **INIT (/DRUCKER RÜCKSETZEN)** (aktiv log. "0")

Hiermit wird der Drucker in den Grundzustand versetzt.

Bit 3: **SLCT IN (DRUCKER ANWÄHLEN)** (aktiv log. "1")

Mit diesem Signal wird dem Drucker mitgeteilt, daß Daten übermittelt werden. Auch dieses Signal wird nicht immer ausgewertet.

Bit 4: **INTERRUPT FREIGEBEN** (aktiv log. "1"; Interne Verwendung)

Wird dieses Bit auf 1 gesetzt, so kann das Acknowledge-Signal der peripheren Einheit den Interrupt 7 auslösen.

Bit 5: **DIR (Direktion)** (aktiv log. "1")

Dieses Bit hat nur im erweiterten Betriebs-Mode eine Funktion. Im erweiterten Betriebs-Mode gilt:

Ist dieses Bit auf "1" gesetzt, dann ist der Ausgangspuffer der Schnittstelle gesperrt. Damit kann das externe Peripheriegerät Daten zum Einlesen an die Schnittstelle legen.

Ist dieses Bit auf "0" gesetzt, dann ist der Ausgangspuffer der Schnittstelle freigegeben. Daten können von der Schnittstelle an das Peripheriegerät gegeben werden.

Bit 6 - 7: **reserviert****14.3.5 Zeitdiagramm der wichtigsten Signale**

Das nachfolgend dargestellte Bild zeigt den zeitlichen Verlauf der wichtigsten Signale der parallelen Schnittstelle bei Anschluß eines Druckers PT 88:

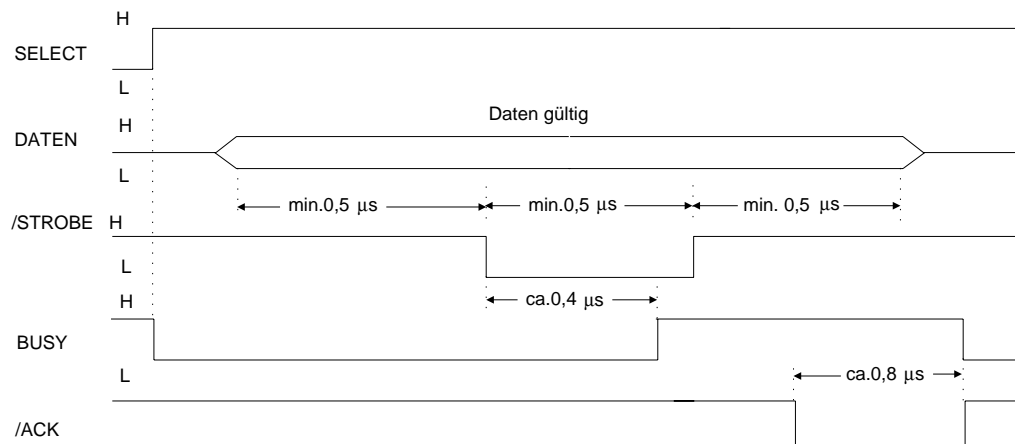


Bild 14.5: Zeitdiagramm der wichtigsten Signale

14.3.6 Ansprechen der Schnittstellen durch das Betriebssystem

Da die Druckausgabekommandos nicht schnittstellenspezifisch sind, wird an dieser Stelle auch auf Kapitel "Serielle Schnittstelle COM 1" verwiesen (Druckausgaben über die seriellen Schnittstellen durch ein Betriebssystem).

MS-DOS

Beim PG 730 wird der Parallel-Schnittstellen-Drucker unter MS-DOS durch das ROM-BIOS unterstützt. Die parallele Schnittstelle wird mit "LPT 1" angesprochen. Die Zuweisung erfolgt beim erstmaligen Aufrufen von PRINT.

LPT 1 -----> Parallelschnittstelle Grundplatine

Mit TYPE Path Dateiname PRN: oder
COPY Path Dateiname PRN:

werden Dateien auf die Druckerschnittstelle umgeleitet.

Zusätzlich kann mit **CTRL+P** eine Hardcopy und mit der Taste **PRINT** ein Bildschirmauszug auf dem Drucker ausgegeben werden.

Im Anschluß finden Sie ein Beispielprogramm, mit dem der kompatible Drucker PT 88i umparametriert werden kann.

14.3.7 Beispielprogramm

```

TITLE 'Programm zum Umstellen des PT88i'
;*****
;
; ** PROGRAMM ZUM UMPARAMETRIEREN DES PT88      **
; ** Übersetzen mit MASM                        **
; ** Binden mit LINK                           **
; ** !! Achtung : falls der Zeichensatz nicht dem **
; ** ANSI - Standart entspricht, werden einige  **
; ** unverständliche Zeichen abgebildet. Abhilfe: **
; ** In die Datei CONFIG.SYS das Kommando      **
; ** DEVICE=ANSI.SYS einbauen                  **
;*****
code      segment
          assume cs:code,ds:data,ss:stack
pt88m:
  mov     ax,data
  mov     ds,ax
  mov     ax,stack
  mov     ss,ax
  mov     ax,ss:stack_top
  mov     sp,ax

ANFANG:
  mov     ah,1h
  mov     dx,0           ;Drucker zurücksetzen, initialisieren
  int     17h
  mov     ah,2h         ;Druckerstatus lesen
  int     17h
  xor     ah,00010000b
  and     ah,00111001b
  jz      ok
  lea     si,kein_Drucker
  call    output
  jmp     exit

ok:
  lea     si,MASKE      ;MASKE AUSGEBEN

```

```
    call    output
NEWDATA:
    mov     ah,01h           ;DATEN VON DER CONSOLE LESEN
    call    SYSTEM_CALL
BREAK1:
    cmp     al,30h
    jnz    ONE
    jmp     EXIT
ONE:
    cmp     al,31h
    jz     PT8817           ;BEI 1 UMSCHALTEN AUF 17 ZEICHEN
    cmp     al,32h
    jz     PT8812           ;BEI 2 UMSCHALTEN AUF Normalbreite
    cmp     al,33h
    jz     PT88zs1         ;BEI 3 UMSCHALTEN AUF Zeichensatz 1
    cmp     al,34h
    jz     PT88zs2         ;BEI 4 UMSCHALTEN AUF Zeichensatz 2
    lea    si,FEHLER       ;KEINE DIESER ZAHLER = FEHLER-
                           ;MELDUNG AUSGEBEN
BREAK2:
    call    output
    jmp     NEWDATA
PT8817:
    mov     dl,15
    call    print
    lea    si,text_1
    call    print
    jmp     next
PT8812:
    mov     dl,18
    call    print
    lea    si,TEXT_2
    call    output
    jmp     next
```

```
PT88zs1:
  mov     dl,1bh
  call    print
  mov     dl,37h
  call    print
  lea     si,TEXT_3
  call    output
  jmp     next

PT88zs2:
  mov     dl,1bh
  call    print
  mov     dl,36h
  call    print
  lea     si,TEXT_4
  call    output
  jmp     next

next:
  lea     si,ABFRAGE      ;WEITERE EINGABE?
  call    output

INPUT:
  mov     ah,01h
  call    SYSTEM_CALL
  cmp     al,'J'
  jz      NEW_INPUT
  cmp     al,'j'
  jz      NEW_INPUT
  cmp     al,'N'
  jz      EXIT
  cmp     al,'n'
  jnz     INPUT

EXIT:
  lea     si,ERASE
  call    output
  mov     ah,4ch
  int     21h
```

```
NEW_INPUT:
    jmp     ANFANG

output:
    mov     dl,byte ptr [si]
    cmp     dl,'$'
    jz     return
    mov     ah,02h
    call    system_call
    inc     si
    jmp     output

return:
    ret

print:
    mov     ah,05h
    call    system_call
    ret

SYSTEM_CALL:
    push    ds
    push    cx
    push    dx
    push    bx
    push    si
    int     21h
    pop     si
    pop     bx
    pop     dx
    pop     cx
    pop     ds
    ret

code ends

data segment
```

```

kein_Drucker DB' ***Programm**abgebrochen**!!*****',0ah,0dh
              DB'** Der parallel-Drucker ist nicht          **',0ah,0dh
              DB'** vorhanden, hat kein Papier oder ist    **',0ah,0dh
              DB'** nicht ON-LINE          Sorry!          **',0ah,0dh
              DB'*****',0ah,0dh,'$'

MASKE DB ,1bh,'[2j',1bh,'[7m'
       DB'*****',0ah,0dh
       DB'** DRUCKER UMSTELLEN:                            **',0ah,0dh
       DB'**                                              **',0ah,0dh
       DB'** 1 = SCHMALSSCHRIFT                            **',0ah,0dh
       DB'** 2 = NORMALE SCHRIFTBREITE                    **',0ah,0dh
       DB'** 3 = UMSTELLEN AUF ZEICHENSATZ I              **',0ah,0dh
       DB'** 4 = UMSTELLEN AUF ZEICHENSATZ II            **',0ah,0dh
       DB'** 0 = PROGRAMM ABBRECHEN                      **',0ah,0dh
       DB'*****',0ah,0dh
       DB1bh,'[0m', '$'

FEHLER DB 1bh,'[s',0ah,0dh,1bh,'[5m'
        DB'FALSCHES ZEICHEN !!!',0ah,0dh
        DB'EINGABE WIEDERHOLEN !',1bh,'[0m',0ah,0dh,0dh
        DB1bh,'[u',1bh,'[1d', '$'

TEXT_1 DB 0ah,0dh
       DB'*****',0ah,0dh
       DB'** DER DRUCKER SCHREIBT JETZT MIT                **',0ah,0dh
       DB'** 17 ZEICHEN PRO ZOLL                          **',0ah,0dh
       DB'*****',0ah,0dh,'$'

TEXT_2 DB 0ah,0dh
       DB'*****',0ah,0dh
       DB'** DER DRUCKER SCHREIBT JETZT MIT                **',0ah,0dh
       DB'**12 ZEICHEN PRO ZOLL                            **',0ah,0dh
       DB'*****',0ah,0dh,'$'

TEXT_3 DB 0ah,0dh
       DB'*****',0ah,0dh
       DB'**DER DRUCKER SCHREIBT JETZT MIT                **',0ah,0dh
       DB'**ZEICHENSATZ I                                 **',0ah,0dh
       DB'*****',0ah,0dh,'$'

```

```
TEXT_4 DB 0ah,0dh
        DB'*****',0ah,0dh
        DB'**DER DRUCKER SCHREIBT JETZT MIT **',0ah,0dh
        DB'**ZEICHENSATZ II **',0ah,0dh
        DB'*****',0ah,0dh,'$'

ABFRAGE DB0ah,0dh
        DB'#####',0ah,0dh
        DB'##WEITERE AENDERUNGEN ? (J/N) ##',0ah,0dh
        DB'#####',0ah,0dh,'$'

ERASE DB1bh,[2]','$'

data ends

stack segment para stack 'stack'
        dw 20*(?)

stack_top dw (?)

stack ends

END pt88m
```


15 Serielle Schnittstelle COM 1/TTY-V.24/Linienstrom

In diesem Kapitel wird die V.24/Linienstrom-Schnittstelle COM 1/TTY betrachtet. Die Schnittstelle ist für asynchrone Datenübertragung geeignet. Sie kann zum Anschluß von Druckern mit serieller Schnittstelle verwendet werden. Die zugehörige Schaltung befindet sich auf der Grundbaugruppe.

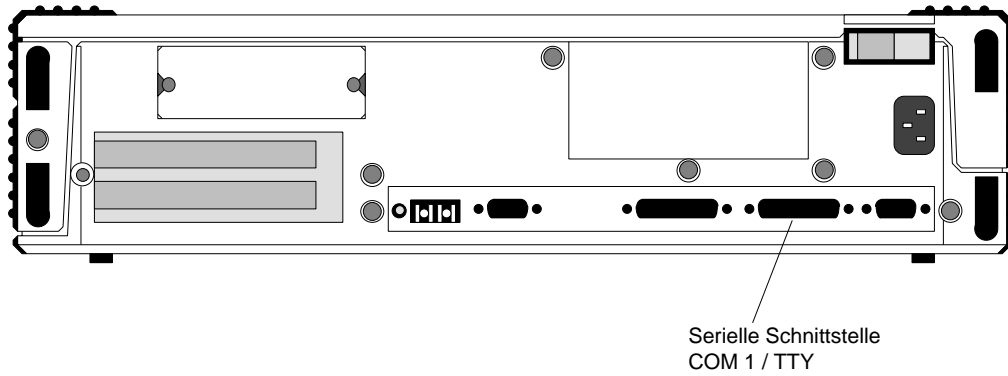


Bild 15.1: Lage der seriellen Schnittstelle COM 1

Arbeitsweise der seriellen Schnittstelle COM 1/TTY (V.24/Linienstrom)

Umwandlung der parallelen Daten in einen seriellen Datenstrom und umgekehrt.

- automatisches Einfügen bzw. Löschen des Startbits
- einstellbare Zeichenlänge (5, 6, 7 oder 8 Bits pro Zeichen)
- programmierbare Paritätsprüfung (gerade, ungerade, keine)
- programmierbare Anzahl der Stoppbits (1; 1,5; 2)
- unabhängige Steuerung von Sende-, Empfangs- und Statusleitungen
- Break-Erzeugung und -Erkennung
- Erkennen von Übertragungsfehlern
- programmierbarer Baudraten-Generator
- programmierbare Interrupt-Erzeugung
- MODEM-Kontrollfunktionen (CTS, RTS, DSR, DTR, RI und DCD)
- unabhängig voneinander erzeugbare Transmit-, Receive, Linestatus- und Modem-Steuerleitungs-Interrupts
- eigener Takteingang, komplette Statusabfrage möglich
- Tristate-TTL ermöglicht den Anschluß eines bidirektionalen Data-Busses und eines Control-Busses

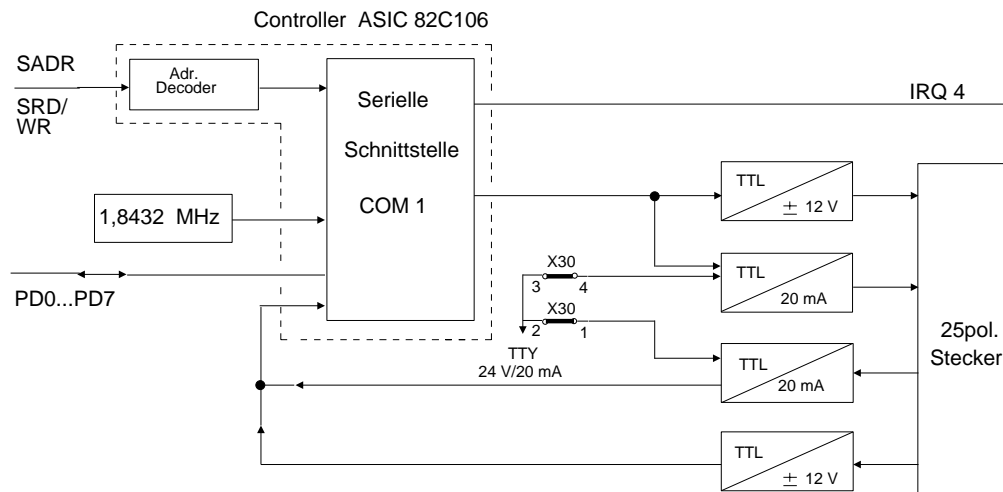


Bild 15.2: Serielle Schnittstelle COM 1

Mit Brücke X30 kann Linienstrom aktiv/passiv-Betrieb eingestellt werden. Einzelheiten sind in Kapitel "Linienstrombetrieb an der COM 1 Schnittstelle" beschrieben.

15.1 Serielle Datenübertragung

Bei der seriellen Datenübertragung wird ein parallel anliegendes Byte in einen seriellen Datenstrom mit zusätzlichen Steuerinformationen umgewandelt.

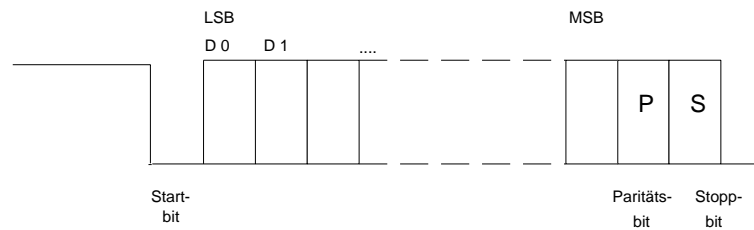


Bild 15.3: Datenformat bei der seriellen Übertragung

Mit dem Startbit erkennt der Empfänger den Anfang eines Datums. Die Anzahl der Datenbits ist von 5 bis 8 Bits pro Zeichen einstellbar. Das Paritätsbit dient zur Datensicherung. Die Stoppbits kennzeichnen das Ende eines Bytes. Die Anzahl der Stoppbits kann 1; 1,5 oder 2 betragen.

15.2 Adreßvergabe und Interrupt

Adreßplan der seriellen Schnittstelle COM 1

Die Adreßbits A0, A1 und A2 werden für die Baustein- und Registerauswahl verwendet. Zusätzlich übernimmt Bit 7 (DLAB) im Übertragungssteuerregister (Adresse 3FB H) eine Auswahlfunktion.

Für die Schnittstelle sind folgende Adressen reserviert:

Grundplatte	DLAB Bit	Bedeutung
3F8H	0	Sendedaten (schreiben)
3F8H	0	Empfangsdaten (lesen)
3F8H	1	Baudratengenerator (lesen/schreiben) Teilerfaktor LOB (Low-Byte)
3F9H	1	Teilerfaktor HOB (High-Byte)
3F9H	0	Interrupt-Freigabe (lesen/schreiben)
3FAH	x	Interrupt-Status (lesen)
3FBH	x	Übertragungssteuerregister (lesen/schreiben)
3FCH	x	Modem-Steuerregister (lesen/schreiben)
3FDH	x	Übertragungsstatusregister (lesen/schreiben)
3FEH	x	Modem-Statusregister (lesen/schreiben)
3FFH	x	Pufferregister (lesen/schreiben) Das Pufferregister hat keinen Einfluss auf den Steuerbaustein.

Bild 15.4: Adressen der seriellen Schnittstelle COM 1

Hinweis: Die Register der seriellen Schnittstellen des COMBO I/O-Chips liegen im I/O-Bereich, d.h. sie werden mit den Assembler-Befehlen IN... bzw. OUT... angesprochen. Dabei muß nach jedem IN- oder OUT-Befehl eine Erholzeit für den I/O-Bereich (z.B. PUSH AX, IN AL,80h, POP AX) eingefügt werden.

15.3 Interrupt

Um die Datenübertragung zu optimieren, arbeiten die meisten Programme zur Datenübertragung interrupt-gesteuert. Beim PG 730 ist der seriellen Schnittstelle Interrupt 4 zugeordnet .

Die Startadresse des Interrupt-Bearbeitungsprogramms muß in die Interrupt-Vektorliste eingetragen werden. Der Interrupt der seriellen Schnittstelle (IRQ 4) wird über das ROM-BIOS auf den Interruptvektor INT 0C H gelegt.

INT 0C H	Offset-Adresse:	0000:0030 H - 0000:0031 H
	Segment-Adresse:	0000:0032 H - 0000:0033 H

Das Interrupt-Signal einer Schnittstelle kann verschiedene Auslöseursachen haben. Das Interrupt-Bearbeitungsprogramm muß daher zunächst die Ursache ermitteln und dann in ein entsprechendes Unterprogramm verzweigen.

Achtung: Das Interrupt-Bearbeitungsprogramm (ISR) muß den Interrupt-Controller 8259, der im ISA-Bus-Controller (82C331) integriert ist, wieder freigeben (EOI an 8259).

Der Interrupt 4 kann im COMBO I/O-Chip gesperrt werden und steht dann anderen Baugruppen auf dem Systembus zur Verfügung (siehe Modem-Steuerregister: Bit/OUT2).

15.4 Register der seriellen Schnittstelle COM 1 im Schnittstellen-Controller (82C106)

Die Register des ACE im Baustein 82C106 sind gleich wie beim Schnittstellenbaustein NS16450 und lassen sich mit den Assembler-Befehlen IN bzw. OUT ansprechen.

15.4.1 Übertragungssteuerregister

Zugriff: Lesen und Schreiben

Adresse: 3FB H DLAB: x

In diesem Register wird das Datenformat der Sende- und Empfangsdaten festgelegt. Dazu gehört die Zeichenlänge, Paritätsbedingungen und die Anzahl der Stoppbits. Weiterhin kann durch Setzen eines Bits ein Break-Signal gesendet werden. Bit 7 dieses Registers heißt DLAB-Bit (Divisor Latch Access Bit). Dieses Bit muß gesetzt werden, wenn der Teilerfaktor für den Baudraten-Generator eingestellt werden soll. Ansonsten wird das DLAB-Bit auf log. "0" programmiert.

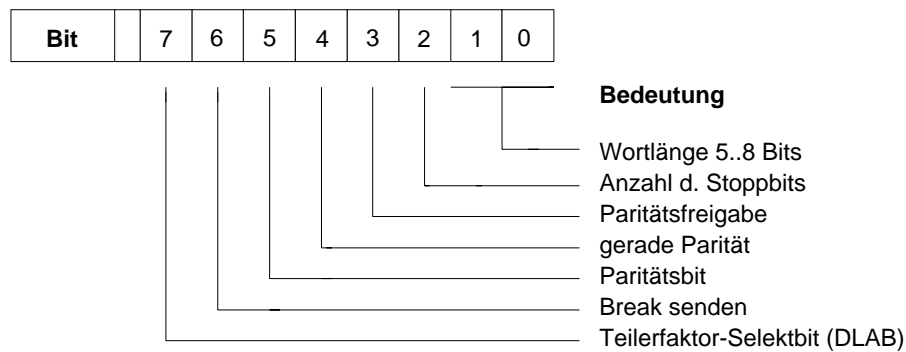


Bild 15.5: Übertragungssteuerregister

Bit 0, Bit 1

Bit 1	Bit 0	Zeichenlänge
0	0	5 Bit
0	1	6 Bit
1	0	7 Bit
1	1	8 Bit

Bit 2

Mit diesem Bit wird die Anzahl der Stoppbits festgelegt. Ist dieses Bit "0", wird ein Stoppbit eingefügt. Bei "1" werden bei mehr als 5 Bit pro Zeichen 2 Stoppbits eingefügt, bei 5 Bit pro Zeichen ist die Anzahl der Stoppbits 1,5.

Bit 3

Hat Bit 3 den Wert 1, so wird die Übertragung des Paritätsbits zugelassen. Zur Bestimmung der Parität wird ein zusätzliches Bit an das zu übertragende Zeichen (d.h. zwischen dem letzten Datenbit und dem Stoppbit) angehängt. Der Empfänger prüft dieses Bit. Damit wird die Störsicherheit der Übertragung erhöht.

Bit 4

Ist dieses Bit auf 1 gesetzt, wird gerade Parität erzeugt. Dies bedeutet, daß die Anzahl der in einem Datenwort vorhandenen "1" mit dem Paritätsbit auf eine gerade Zahl ergänzt wird. Wurde ungerade Parität gewählt, d.h. dieses Bit wurde mit 0 besetzt, ist die Anzahl der übertragenen "1" inklusive dem Paritätsbit immer ungerade.

Bit 5

Mit diesem Bit wird der Wert des Paritätsbits festgelegt. Sind Bit 3 und 5 auf "1" gesetzt, so wird als Paritätsbit der invertierte Wert von Bit 4 gesendet und vom Empfänger ausgewertet.

Bit 6

Wurde dieses Bit auf 1 gesetzt, liegt am Ausgang SOUT immer eine "0", ein sog. Break-Signal. Die Sendersteuerfunktionen bleiben hiervon unbeeinflusst. Eine "0" in diesem Bit nimmt das Break-Signal zurück.

Bit 7

Dieses Bit ist das Teilerspeicher-Zugriffsbit (DLAB). Das Bit muß zum Schreiben oder Lesen der Teilerfaktoren für die Bestimmung der Baudrate gesetzt sein.

15.4.2 Register zum Programmieren des Baudraten-Generators

Zugriff: Lesen und Schreiben

Adresse: s.u.

Der Baustein 82C106 enthält einen programmierbaren Baudraten-Generator, mit dem die Übertragungsgeschwindigkeit von 50 bit/s bis 56000 bit/s einstellbar ist.

Der Takt für den Baudraten-Generator wird aus einem Quarzoszillator mit 1,8432 MHz abgeleitet. Die Register (Teilerspeicher) zum Programmieren des Baudraten-Generators haben folgende Adressen.

Grundplatine: 3F8 H Niederwertiges Byte LOB
3F9 H Höherwertiges Byte HIB

Diese Register können jedoch nur angesprochen werden, wenn Bit 7 im Übertragungssteuerregister (DLAB) gesetzt ist.

Die Formel zur Berechnung der Baudrate lautet:

$$\text{Teilerfaktor} = \frac{1,8432 \text{ MHz}}{\text{gewünschte Baudrate [1/s]} * 16}$$

Dieser Wert muß in einen hexadezimalen Wert umgerechnet werden. In der nachfolgenden Tabelle werden die gebräuchlichsten Teilerfaktoren aufgeführt.

Baudrate	Teilerfaktor (dez.)	Teilerfaktor (H)	Bemerkung
50	2304	900 H	Dieser Bereich wird vom ROM-BIOS unterstützt
110	1047	417 H	
300	384	180 H	
1200	96	60 H	
2400	48	30 H	
4800	24	18 H	
9600	12	0C H	
19200	6	6 H	Dieser Bereich wird vom ROM-BIOS nicht unterstützt
38400	3	3 H	
56000	2	2 H	

Tabelle der einstellbaren Baudraten

Bit 3 Formatfehler

Dieser Fehler wird gemeldet, wenn kein gültiges Stoppbit erkannt wurde. Bit 3 wird bei diesem Fehler auf "1" gesetzt. Gelöscht wird dieses Bit beim Lesen des Registers.

Bit 4 Break erkannt

Als Break bezeichnet man einen ständigen "0" Pegel auf der Leitung. Unter ständig ist hier die Zeit zu verstehen, die zum Übertragen eines Zeichens gebraucht wird, d.h. inklusive Startbit, evtl. Paritätsbit und Stoppbit(s). Bit 4 wird bei Erkennen eines Breaks gesetzt und beim Auslesen des Übertragungsstatusregisters rückgesetzt.

Hinweis: Die Fehlermeldungen von Bit 1 - 4 können bei entsprechender Parametrierung einen Sammelinterrupt auslösen.

Bit 5 Sendepuffer leer

Sende- und Empfangsteil bestehen aus je einem 8 bit breiten Puffer und je einem Schieberegister. Im Schieberegister werden die Daten in die Steuerzeichen verpackt, bzw. die Steuerzeichen werden entfernt. Dort wird auch die Parallel-Seriell-Wandlung durchgeführt. Wenn ein zu sendendes Zeichen an das interne Schieberegister übergeben wird, kann ein neues Zeichen in den Sendepuffer geschrieben werden. Um dem Programm die Übergabe mitzuteilen, wird dieses Bit verwendet. Zusätzlich wird hierbei ein Interrupt ausgelöst, falls dieser zugelassen wurde. Gelöscht wird diese Meldung durch Laden eines Datums in den Sendepuffer.

Bit 6 Sender leer

Dieses Bit wird gesetzt, wenn das Send-/Schieberegister das letzte Bit (immer ein Stoppbit) gesendet hat und der Sendepuffer leer ist. Beim Laden eines Zeichens in den Sendepuffer oder das Send-/Schieberegister wird das Bit rückgesetzt.

Bit 7 permanent "0"

15.4.4 Register zur Interrupt-Freigabe

Zugriff : Lesen und Schreiben

Adresse: 3F9 H DLAB: 0

Um eine große Flexibilität im Programmhandling zu erreichen, ist es möglich, die Datenübertragung mit Interrupts zu steuern. Der Baustein 82C106 bietet mehrere Möglichkeiten, Interrupts zu stellen, die noch näher erläutert werden.

Im Register zur Interrupt-Freigabe werden die möglichen Interrupt-Ursachen zugelassen. Vier verschiedene Ursachen können Interrupt-Signale auslösen, die jeweils gesperrt oder freigegeben werden können. Die Freigabe einer Unterbrechung erfolgt durch Setzen des zuständigen Bits.

Achtung: Beim Programmieren der Schnittstelle muß bei der Verwendung von Interrupts darauf geachtet werden, daß Bit 3 im Modem-Steuerregister auf "1" gesetzt ist.

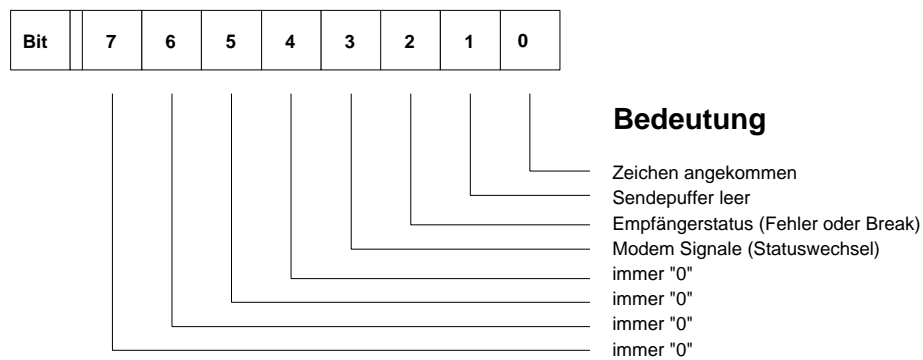


Bild 15.7: Register zur Interrupt-Freigabe

Bit 0 Freigeben des Interrupts "Zeichen angekommen"

Durch Setzen dieses Bits wird der Baustein dazu veranlaßt, nach jedem empfangenen Zeichen einen Interrupt auszulösen.

Bit 1 Freigeben des Interrupts "Sendepuffer leer"

Soll der Baustein eine Unterbrechungsanforderung stellen, wenn er bereit ist, ein weiteres Zeichen anzunehmen, so muß dieses Bit gesetzt sein. Dies ist gleichbedeutend mit Sendepuffer leer.

Bit 2 Freigeben des Interrupts "Empfangsfehler oder Break"

Dieser Interrupt hat vom Baustein her die höchste Priorität. Um den Interrupt zuzulassen, muß Bit 2 auf den Wert "1" gesetzt sein.

Bit 3 Freigeben des Interrupts "Modemsignale (Statuswechsel)"

Ist dieses Bit auf "1" gesetzt, so stellt der ASIC 82C106 einen Interrupt, falls sich der Status eines Modem-Eingangssignals ändert (siehe Modem-Statusregister).

Modemsignale sind:

/CTS	(M2) Sendebereitschaft
/DSR	(M1) Betriebsbereitschaft
/DCD	(M5) Empfangssignalpegel
/RI	(M3) Ankommender Ruf

Die Modemsignale sind am 25poligen Stecker, bezogen auf die Anschlußpins des ASIC 82C106, invertiert!

Bits 4 - 7 permanent "0"

Diese Bits haben keinen Einfluß auf die Programmierung der seriellen Schnittstelle COM 1 im ASIC 82C106.

15.4.5 Register zum Erkennen der Interrupt-Ursache (Interrupt-Statusregister)

Zugriff: Lesen

Adresse: 3FA H DLAB: x

Da die serielle Schnittstelle COM 1 des Baustein 82C106 zweckmäßigerweise nur ein Interrupt-Signal liefert, muß in einem Register hinterlegt werden, welche Ursache das Interrupt-Signal ausgelöst hat. Das Bearbeitungsprogramm für den Sammel-Interrupt (Interrupt-Service-Routine) kann durch Lesen dieses Registers die Interrupt-Ursache

ermitteln und ein entsprechendes Auswertungsprogramm aufrufen. Außerdem bietet dieses Register die Möglichkeit, den Status des Schnittstellen-Bausteins im Polling-Mode abzufragen. Unter Polling-Mode versteht man das zyklische Lesen eines Registers durch ein Programm. Die Interrupt-Programmierung hat gegenüber der Polling-Methode Vorteile bei der Laufzeit, da ein Hauptprogramm nur dann unterbrochen wird, wenn eine Interrupt-Ursache vorliegt. Beim Polling-Betrieb muß das Hauptprogramm zyklisch unterbrochen werden, um den jeweiligen Registerinhalt zu überprüfen. Besonders bei Multitasking-Betriebssystemen ist die Ablaufzeit eines Programms ein wichtiger Faktor.

Bit			Priorität	Interrupt-		Rücksetzbedingung
2	1	0		Typ	Grund	
0	0	1	-	-	keiner	-
1	1	0	höchste	Empfängerstatus	Überlauf-, Paritäts-, Formatfehler oder Break	Lesen des Übertragungs-Statusregisters
1	0	0	zweite	Empfängerstatus	Zeichen empfangen	Lesen des Empfangspuffers
0	1	0	dritte	Senderstatus	Sendepuffer leer	Schreiben in den Sendepuffer oder Lesen des Interrupt-Statusregisters
0	0	0	vierte	Modem-Signalstatus	/CTS oder /DSR oder /RI oder /DCD	Lesen des Modem-Statusregisters

Bild 15.8: Interrupt-Statusregister

15.4.6 Modem-Steuerregister

Zugriff: Lesen und Schreiben

Adresse: 3FC H DLAB: x

In diesem Register werden die Modem-Steuersignale kontrolliert. Diese Signale werden zur Steuerung der Datenübertragungseinrichtung benötigt, oder um spezielle Funktionen einer seriellen peripheren Einheit zu überwachen bzw. einzustellen.

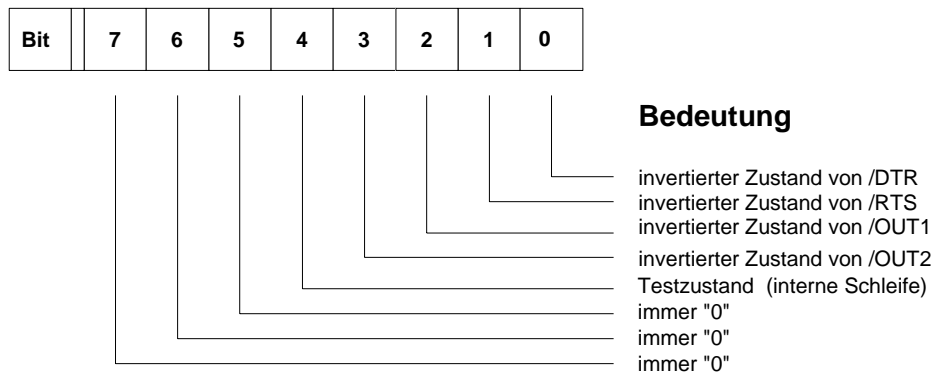


Bild 15.9: Modem-Steuerregister

Bit 0 /DTR

Dieses Bit steuert den Ausgang /DTR. Eine "1" zieht den Ausgang auf den logischen Pegel "0".

Bit 1 /RTS

Ist dieses Bit gesetzt, wird der Ausgang /RTS auf Low-Pegel gesetzt.

Bit 2 /OUT1

Dieses Signal wird beim PG 730 nicht auf die Steckerleiste der seriellen Schnittstelle herausgeführt.

Bit 3 /OUT2

Dieses Bit übernimmt eine wichtige Steuerfunktion bei der Auslösung von Interrupts. Ist dieses Bit auf "0" gesetzt, werden keine Interrupts an den ISA-Bus-Controller weitergeleitet. Dieses Bit muß daher bei der Verwendung von Interrupts auf "1" gesetzt werden.

Bit 0 /CTS Statuswechsel

Ist dieses Bit auf "1" gesetzt, hat nach dem letzten Lesen dieses Registers ein Zustandswechsel am Pin /CTS stattgefunden. Nach dem Lesen des Registers wird dieses Bit rückgesetzt.

Bit 1 /DSR Statuswechsel

Für dieses Bit gilt das gleiche wie für Bit 0, nur für /DSR.

Bit 2 /RI Statuswechsel

Eine negative Flanke am Pin /RI setzt dieses Bit, d.h nur ein Wechsel von "1" nach "0". Auch dieses Bit wird nach dem Lesen des Registers rückgesetzt.

Bit 3 /DCD Statuswechsel

Für dieses Bit gelten die gleichen Bedingungen wie für Bit 0, allerdings für den Eingang /DCD.

Bit 4 invertierter Zustand von /CTS

Dieses Bit gibt den aktuellen invertierten Zustand des Pins /CTS an. Wurde im Modem-Steuerregister "Testzustand" eingestellt, entspricht dieses Bit dem Signal RTS.

Bit 5 invertierter Zustand von /DSR

Im Normalmodus wird hier der invertierte Zustand von /DSR angezeigt. Im Testbetrieb entspricht der Inhalt des Bits dem Zustand DTR.

Bit 6 invertierter Zustand von /RI

Hier gilt das gleiche wie bei Bit 4 oder 5. Im Testbetrieb wird in diesem Bit OUT1 wiedergespiegelt.

Bit 7 invertierter Zustand von /DCD

Dieses Bit gibt den invertierten Status von /DCD an. Im Testbetrieb wird hier der Zustand OUT2 angezeigt.

15.4.8 Empfangspuffer

Zugriff: Lesen

Adresse: 3F8 H DLAB: 0

Hier wird das empfangene Zeichen vom Schieberegister abgelegt. Bit 0 ist das niederwertigste Bit und das erste seriell empfangene Bit.

15.4.9 Sendepuffer

Zugriff: Schreiben

Adresse: 3F8 H DLAB: 0

An dieses Register wird das zu sendende Zeichen übergeben. Wenn das Schieberegister des Senders leer ist, wird das Zeichen dorthin kopiert und der Sendepuffer frei deklariert. Bit 0 ist das niederwertigste und das erste seriell übertragene Bit.

15.4.10 Scratchpad-Register

Zugriff: Lesen/Schreiben.

Adresse: 3FF H DLAB-Bit: x

Das Scratchpad-Register ist ein 8 bit breites Register, das vom Programmierer zum kurzzeitigen Ablegen von Daten genutzt werden kann. Der Controller ASIC 82C106 wird von diesem Register in keiner Weise beeinflusst.

15.4.11 Rücksetzbedingungen

Register/Signal	Rücksetzbedingung	Status nach Rücksetzen
Interrupt-Freigaberegister	Master RESET	alle Bits → "0"
Interrupt-Status	Master RESET	Bit 0 → "1"; Bit 2 → "0" Bits 3 - 7 permanent "0"
Übertragungsteuerregister	Master RESET	alle Bits → "0"
Modem-Steuerregister	Master RESET	alle Bits → "0"
Übertragungsstatusregister	Master RESET	Bits 5,6 → "1" alle anderen → "0"
Modem-Statusregister	Master RESET	Bits 0 - 3 → "0" Bits 4 - 7 → Eingangssignal
SOUT (TxD)	Master RESET	Logischer "1" Pegel
INTRPT Empfangsfehler	Lesen des Übertragungssteuerregisters Master RESET	Logischer "0" Pegel
INTRPT Zeichen empfangen	Lesen des Empfangspuffers Master RESET	Logischer "0" Pegel
INTRPT Sendepuffer leer	Lesen Int.Statusreg. Schreiben in Sendepuffer Master RESET	Logischer "0" Pegel
INTRPT Modem-Statussignalwechsel	Lesen des Modem-Statusregisters Master RESET	Logischer "0" Pegel
/OUT 2	Master RESET	Logischer "0" Pegel
/RTS (S2)	Master RESET	Logischer "0" Pegel
/DTR (S1)	Master RESET	Logischer "0" Pegel
/OUT 1	Master RESET	Logischer "0" Pegel

Bild 15.11: Registerzustand nach RESET

15.4.12 Übersicht der Registerfunktionen

Offset = 3F8 H

Registeradresse: = Offset + Register

Rg.	DLAB=0							DLAB=1			
	0	0	1	2	3	4	5	6	0	1	7
Bit Nr.	Empfangspuffer RBR	Sendepuffer THR	Interrupt-Freigaberegister IER	Interrupt-Statusregister IIR	Übertragungssteuerregister LCR	Modem-Steuerregister MCR	Übertragungsstatusregister LSR	Modem-Statusregister MSR	Baudraten-Generator Teilerfaktor		Scratch-Register SCR
									DRL LOB	DRM HIB	
0	Datenbit 0		1 = Interr. wenn Zeichen empf.	0 wenn ein Interrupt ansteht	Bits pro Zeichen Auswahl-bit 1	DTR (S1)	Zeichen empfangen	Statuswechsel an CTS	Bit 0	Bit 8	Bit 0
1	Datenbit 1		1 = Interr. wenn Sendepuff. leer	Art der Interrupt-Kennung 1	Bits pro Zeichen Auswahl-bit 2	RTS (S2)	Überlauf-fehler	Statuswechsel an DSR	Bit 1	Bit 9	Bit 1
2	Datenbit 2		1 = Interr. bei Empfangsfehler oder Break	Art der Interrupt-Kennung 2	Anzahl der Stoppbits	OUT 1	Paritätsfehler	negativer Flankenwechsel an RI	Bit 2	Bit 10	Bit 2
3	Datenbit 3		1 = Interr. bei Modem-Statuswechsel	0	Parität erzeugen	OUT 2	Formatfehler	Statuswechsel an DCD	Bit 3	Bit 11	Bit 3
4	Datenbit 4		0	0	gerade Parität	Testschleife	Break empfangen	CTS (M2)	Bit 4	Bit 12	Bit 4
5	Datenbit 5		0	0	Paritätsbit (0,1)	0	Sendepuffer leer	DSR (M1)	Bit 5	Bit 13	Bit 5
6	Datenbit 6		0	0	Break senden	0	Sender-/Schiebereg. leer	RI (M3)	Bit 6	Bit 14	Bit 6
7	Datenbit 7		0	0	DLAB	0	0	DCD (M5)	Bit 7	Bit 15	Bit 7

Bild 15.12: Übersicht der Registerfunktionen

15.5 Steckerbelegung der seriellen Schnittstelle

Pin-Nummer	Kurzbezeichnung	Bedeutung	IN/OUT
2	TxD (D1)	Sendedaten	Ausgang
3	RxD (D2)	Empfangsdaten	Eingang
4	RTS (S2)	Sendeteil einschalten	Ausgang
5	CTS (M2)	Sendebereitschaft	Eingang
6	DSR (M1)	Betriebsbereitschaft	Eingang
7	GND (E2)	Betriebserde	---
8	DCD (M5)	Empfang-Signalpegel	Eingang
9	+TTY_RxD	Linienstrom empfangen	Eingang
10	-TTY_RxD	Linienstrom empfangen	Eingang
18	+TTY_TxD	Linienstrom senden	Ausgang
19	+24 V	Spannungsquelle potentialfrei	----
20	DTR (S1)	Endgerät bereit	Ausgang
21	-TTY_TxD	Linienstrom senden	Ausgang
22	RI (M3)	ankommender Ruf	Eingang
1	-----	Schirm	-----
11-17	-----	nicht belegt	-----
23-25	-----	nicht belegt	-----

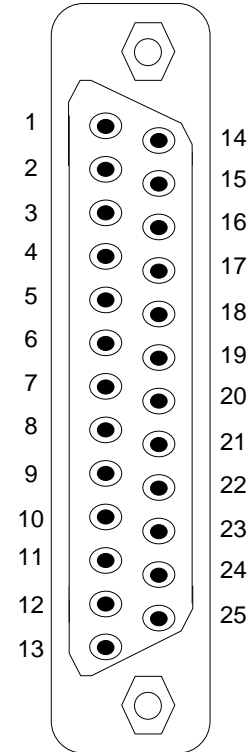


Bild 15.13: Steckerbelegung der seriellen Schnittstelle

Anmerkung: Wird die V.24-Schnittstelle (von COM 1) verwendet, ist die Empfangsstromschleife (+TTY_RxD/-TTY_RxD) zu unterbrechen.

15.6 Liniestrombetrieb an der COM 1/TTY-Schnittstelle

Als gemeinsame Spannungsquelle für die Sende- und Empfangsstromschleife dient Pin 19 (20 mA-Stromschleife).

Die Geräte werden ab Werk "TTY aktiv" voreingestellt (siehe nachfolgendes Bild). Für beide Stromschleifen (Sendeschleife und Empfangsschleife) steht eine Spannungsquelle (+24 V potentialfrei) zur Verfügung. Die Stromschleifen sind mit ihrem Minusanschluß über die Brücke X30 Pin 3/4 (Senden) und Brücke X30 Pin 1/2 (Empfangen) mit dem Minuspol der Spannungsquelle verbunden. Stört bei Fremdstromeinpeisung (TTY-passiv) diese gemeinsame Verbindung, so kann man durch Öffnen des jeweiligen Schalters die Schleife völlig freischalten. Zur Bildung einer aktiven TTY-Schleife muß der entsprechende TTY-Anschluß (+TTY_RxD bzw. +TTY_TxD) mit Pin 19 (+24 V-potentialfrei) im Stecker der Gegenseite verbunden werden und der zugehörige Schalter geschlossen sein.

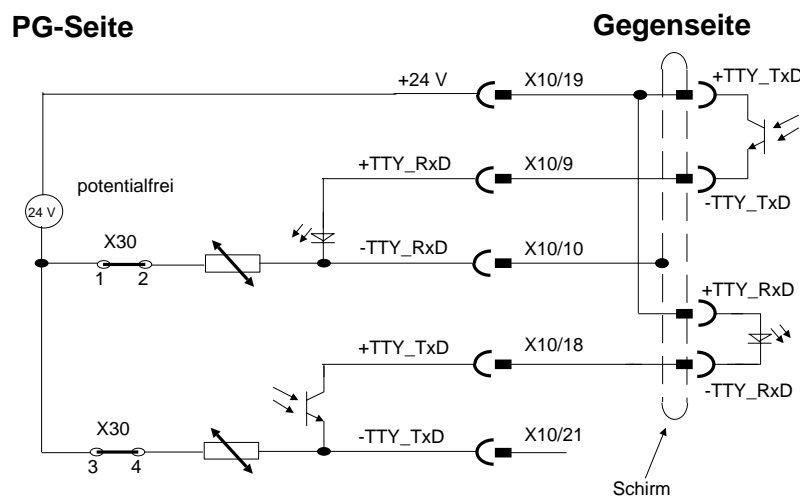


Bild 15.14: Liniestrombetrieb beim PG 730

15.7 Druckerausgaben über die seriellen Schnittstellen durch das Betriebssystem

Das im Lieferumfang enthaltene Betriebssystem unterstützt die Druckausgabe auch über die seriellen Schnittstellen. Die Schnittstellen lassen sich mit Hilfsprogrammen parametrieren.

Ausgaben unter MS-DOS

MODE-Kommando

Mit diesem Kommando wird jeweils eine serielle Schnittstelle parametrieren. Die Schnittstellen werden unter MS-DOS mit COM 1 (V.24) und COM 2 (Mausschnittstelle) bezeichnet. Die Parametrierung erfolgt mit dem Befehl:

MODE COM n:br, pa, bz, sb, [P]

Dabei haben die einzelnen Parameter folgende Bedeutung:

n = Schnittstellenummer (1 oder 2)

br = Baudrate (mögliche Werte: 110, 150, 300, 600, 1200, 2400, 4800 oder 9600 bit/s)

pa = Parität (N = none, O = odd ungerade E = even gerade)

bz = Anzahl der Bits pro Zeichen (6, 7 oder 8)

sb = Anzahl der Stoppbits (1 oder 2)

p = Drucker mit serieller Schnittstelle angeschlossen.

Ausgabekommandos

Die Ausgabe erfolgt über die Schnittstelle 'PRN' oder LPT 1 an den Drucker. Standardmäßig erwartet MS-DOS den Drucker an der parallelen Schnittstelle. Zum Drucken über ein serielles Port wird die Schnittstelle 'PRN' umgelenkt. Mit dem Kommando "MODE LPT 1:=COM n" werden die Druckausgaben auf die seriellen Schnittstellen umgeleitet. MS-DOS führt Druckausgaben über einen Druckspooler aus. Nachdem die Schnittstelle mit MODE parametrieren wurde, kann dieser Spooler aufgerufen werden.

PRINT dateiname1.erw,dateiname2.erw,....

Beim ersten Aufruf verlangt der Spooler die Angabe der Druckerschnittstelle. Diese ist bei einem seriellen Drucker COM 1 oder COM 2. Bei der Angabe der Dateinamen sind Platzhalter (*, ?) erlaubt.

Der Anwender kann sich außerdem den Bildschirminhalt über Drucker ausgeben, bzw. die Ausgaben auf den Bildschirm über Drucker mitprotokollieren lassen. Den Bildschirmabzug (Hardcopy) erhalten Sie durch PRINT, die Mitschreibfunktion läßt sich mit **CRTL+ P** ein- und ausschalten.

Es ist auch möglich, Druckausgaben an den Port COM 1 über das Kommando:

"TYPE PATH Dateiname > AUX:" oder
"COPY PATH Dateiname AUX:"

zu geben.

Wurde LPT 1 oder COM 1 bzw. COM 2 umgeleitet, kann für AUX auch PRN geschrieben werden.

15.7.1 Steckleitung

Die Steckleitung muß dem jeweiligen Drucker angepaßt werden. Die Pinbelegung für COM 1 bzw. COM 2 können Sie dem Bild "Steckerbelegung der seriellen Schnittstelle" entnehmen. Die Pinbelegung des Druckers können Sie der Dokumentation des Druckers entnehmen.

15.8 Programmbeispiel

Das "Testprogramm PG 7XX" zeigt, wie die serielle Schnittstelle (COM 1) parametrieren werden kann. Das Programm holt (interruptgesteuert) serielle Daten von der V.24 Schnittstelle ab.

Variablen Vereinbarungen

```
datena      equ 03f8
hint_enable equ 03f9
hint_status equ 03fah
line_contr  equ 03fbh
line_status equ 03fdh
modem_contr equ 03fch
modem_status equ 03feh
br1200      equ 0060h
br2400      equ 0030h
br4800      equ 0018h
br9600      equ 000ch
```

;-----Steuerzeichen

```
esc         equ 1bh           ;Escape
esc_1       equ 5b1bh        ;Escape[
cr          equ 00dh         ;Carriage Return
lf          equ 00ah         ;Line Feed
erase       equ 'J2'
blink_on    equ 'm5'
blink_off   equ 'm0'
invers_on   equ 'm7'
invers_off  equ 'm0'
save_cursor equ 's'
back_cursor equ 'u'
cur_left_1  equ 'D1'
cur_left_2  equ 'D2'
cur_up      equ 'A2'
cur_down    equ 'B2'
```

;-----Systemaufruf Vereinbarungen

```
display_str equ 09h
direct_con  equ 01h
```



```
code segment
assume cs:code,ds:data,ss:stack

serin:
cli                                ;Interrupt sperren
mov     ax,data
mov     ds,ax
mov     ah,display_str             ;Anfangsmeldung + Angabe der
mov     dx,offset start_mes       ;Baudrate
int     21h

baud_rate:
mov     ah,direct_con             ;Einlesen der Kennziffer für
call    system_call               ;die Baudrate
cmp     al,30h                   ;Wert abfragen
mov     bx,br1200                 ;1200 bit/s
jz     progr_br
cmp     al,31h
mov     bx,br2400                 ;2400 bit/s
jz     progr_br
cmp     al,32h
mov     bx,br4800                 ;4800 bit/s
jz     progr_br
cmp     al,33h
mov     bx,br9600                 ;9600 bit/s
jz     progr_br
call    ungueltig                 ;falls keiner dieser Werte angegeben
                                           ;wird Fehlermeldung ausgeben

jmp     baud_rate

progr_br:
call    end_error
mov     dx,line_contr
in     al,dx                      ;DLAB setzen
or     al,080h
out    dx,al
mov     al,bl                      ;Baudrate LOB eintragen
mov     dx,datena
out    dx,al
```

```

call    li_o_erhol
mov     al,bh                ;Baudrate HOB eintragen
mov     dx,int_enable
out     dx,al
call    li_o_erhol
and     al,7fh              ;DLAB rücksetzen
mov     dx,line_contr
out     dx,al
call    li_o_erhol
mov     dx,offset char_mes  ;Angabe der Zeichenlänge
mov     ah,display_str      ;Alle Angaben in das Line-Status
call    system_call         ;Register werden zunächst in BH
                                           ;zwischengespeichert

char_len:
mov     ah,direct_con
call    system_call
cmp     al,35h              ;Wert abfragen
mov     bl,00000000b        ;5 Bit pro Zeichen
jz     progr_char_len
cmp     al,36h
mov     bl,00000001b        ;6 Bit pro Zeichen
jz     progr_char_len
cmp     al,37h
mov     bl,00000010b        ;7 Bit pro Zeichen
jz     progr_char_len
cmp     al,38h
mov     bl,00000011b        ;8 Bit pro Zeichen
jz     Progr_char_len
call    ungueltig           ;Fehlermeldung
jmp     char_len

progr_char_len:
call    end_error
and     bh,00111100b
or     bh,bl
mov     dx,offset parity_mes ;Angabe der Paritaet

```

```
    mov     ah,display_str
    call    system_call

parity:
    mov     ah,direct_con
    call    system_call
    cmp     al,30h                ;Wert abfragen
    mov     bl,0                  ;Parität: keine, kein Break,
    jz      progr_par
    cmp     al,31h
    mov     bl,00011000b          ;Parität: gerade, kein Break,
    jz      progr_par            ;DLAB = 0
    cmp     al,32h
    mov     bl,00001000b          ;Parität: ungerade, kein Break
    jz      progr_par            ;DLAB = 0
    cmp     al,33h
    mov     bl,00111000b          ;Parität : stick, ==> parity bit = 0
    jz      progr_par
    cmp     al,34h
    mov     bl,00101000b          ;Parität : stick, ==> parity bit = 1
    jz      progr_par
    call    ungueltig             ;Fehlermeldung
    jmp     parity

progr_par:
    call    end_error
    and     bh,00000111b
    or      bh,bl
    mov     dx,offset stopp_bits_mes ;Angabe der Stopbits
    mov     ah,display_str
    call    system_call

stopp_bits:
    mov     ah,direct_con
    call    system_call
    cmp     al,31h                ;Wert abfragen
```

```

    mov     bl,0                ;1 Stopbit
    jz     progr_st
    cmp    al,32h
    mov    bl,00000100b       ;2 Stopbit
    jz     progr_st
    call   ungueltig
    jmp    stopp_bits
progr_st:
    call   end_error
    and    bh,00111011b
    or     bh,bl
    mov    al,bh
    mov    dx,line_contr
    out    dx,al
    call   li_o_erhol
    mov    dx,modem_contr     ;Modem-Steuerregister
    mov    al,09h             ;Interrupt-Freigabe an 8259
    out    dx,al
    call   li_o_erhol
    mov    dx,int_enable     ;Interrupt-Freigaberegister
    mov    al,05h            ;Interrupt-Freigabe
    out    dx,al
    call   li_o_erhol
    mov    ah,display_str    ;Text 'Paraende'
    mov    dx,offset end_par
    call   system_call
; **** Ende der Parametrierung ****
; **** Änderung der Interruptsprungleiste ****
spr:
    xor    ax,ax
    mov    es,ax             ;Extra-Segment auf Systemsegment legen
    mov    dx,offset isr     ;Laden von Offset ISR
    mov    cx,seg isr        ;Segment ISR
    mov    bx,030h           ;Retten der Sprungleiste
    mov    ax,es:[bx]
    mov    rett,ax
    mov    ax,es:[bx+2]

```

```
mov     rett_1,ax
mov     es:[bx],dx           ;Offset ISR einschreiben
mov     es:[bx+2],cx       ;Segment ISR einschreiben
mov     zei_ok,00h        ;Zeichen ok löschen
mov     feh_ler,00h
mov     dx,021h           ;Interrupt-Maskenregister 8259
in      al,dx
call    li_o_erhol
and     al,0efh           ;freigeben von IRQ4
out     dx,al
call    li_o_erhol
mov     dx,line_status    ;Übertragungsstatusregister zurücksetzen
in      al,dx
call    li_o_erhol
mov     dx,datena         ;Zeichenpuffer auslesen
in      al,dx
call    li_o_erhol
sti
;Interrupt freigeben
warte:
mov     ah,0Bh           ;Tastaturabfrage
call    system_call
cmp     al,0ffh         ;wurde ein Zeichen eingegeben ?
jne     warte_1         ;wenn nicht dann warte_1
mov     ah,06h         ;Zeichen von Tastatur einlesen
mov     dl,0ffh
call    system_call
cmp     al,'q'         ;vergleiche Zeichen mit q
je      ende           ;wenn gleich dann ende
cmp     al,'Q'
je      ende

warte_1:
cmp     zei_ok,00h      ;wurde Zeichen übertragen ?
jz      warte         ;wenn nicht warte

zei_ueb:
cmp     zei_ok,02h     ;wurde Zeichen falsch übertragen ?
je      marke        ;wenn ja Fehlermeldung
mov     zei_ok,00h    ;zei_ok zurücksetzen
```

```
    cmp     feh_ler,01h      ;wurde Fehlermeldung ausgegeben ?
    jne     ausgabe
    call    end_fehler      ;Fehlermeldung löschen

ausgabe:
    mov     dl,zei
    mov     ah,02h         ;Zeichen auf Bildschirm ausgeben
    call    system_call
    jmp     warte

marke:
    jmp     fehler

ende:
    cli
    mov     dx,modem_contr  ;Modem-Steuerregister
    in     al,dx
    call    li_o_erhol
    and     al,00h         ;kein Zeichen mehr zulassen
    out    dx,al
    call    li_o_erhol
    mov     dx,int_enable  ;Interrupt-Freigaberegister
    mov     al,00h         ;Interrupt sperren
    out    dx,al
    call    li_o_erhol
    mov     dx,021h       ;Interrupt-Maskenregister 8259
    in     al,dx         ;Interrupt sperren
    call    li_o_erhol
    or     al,010h
    out    dx,al
    call    li_o_erhol

    mov     dx,datena      ;Zeichenpuffer auslesen
    in     al,dx
    call    li_o_erhol
    mov     dx,line_status ;Übertragungssteuerregister zurücksetzen
    in     al,dx
    call    li_o_erhol
    sti
```

```
    mov     ah,display_str           ;Endmeldung ausgeben
    mov     dx,offset end_mes
    call    system_call
    mov     ax,rett                 ;Sprungleiste zurückschreiben
    mov     bx,30h
    mov     es:[bx],ax
    mov     ax,rett_1
    mov     es:[bx+2],ax
    mov     ah,4ch                  ;Rückkehr zum Betriebssystem
    call    system_call

isr:
    cli
    push    ax
    push    bx
    push    dx
    push    ds
    mov     ax,data                 ;Datensegment in DS
    mov     ds,ax
    mov     dx,line_status         ;Überprüfen ob Zeichen ok
    in      al,dx
    call    li_o_erhol
    test    al,0eh
    jz     zeiosk                  ;springe wenn Zeichen ok
    mov     zei_ok,02h             ;Zeichen wurde falsch übertragen
    mov     feh_ler,01h
    jmp     isrend

zeiosk:
    mov     zei_ok,01h            ;Zeichen wurde richtig übertragen

isrend:
    mov     dx,datena              ;schreibe Zeichen in Speicher
    in      al,dx
    call    li_o_erhol
    mov     zei,al
    mov     dx,int_status         ;Interrupt-Statusregister
    in      al,dx
```

```
call    li_o_erhol
mov     dx,020h           ;Interrupt-Bearbeitung beendet EOI
mov     al,064h          ;INT-Controller ASIC 7 (Master 8259, OCW2)
out     dx,al
call    li_o_erhol
pop     ds
pop     dx
pop     bx
pop     ax
sti     iret

ungueutig:
push    ax
push    bx
push    dx
mov     ah,display_str   ;Fehlermeldung ausgeben
mov     dx,offset err_mes
call    system_call
pop     dx
pop     bx
pop     ax
ret

end_error:
push    ax
push    bx
push    dx
mov     ah,display_str   ;Fehlermeldung löschen
mov     dx,offset end_err_mes
call    system_call
pop     dx
pop     bx
pop     ax
ret

fehler:
push    ax
push    bx
push    dx
```



```
    mov     zei_ok,00h           ;zei_ok zurücksetzen
    mov     ah,display_str      ;Fehlermeldung ausgeben
    mov     dx,offset fehler_m
    call    system_call
    pop     dx
    pop     bx
    pop     ax
    jmp     warte

end_fehler:
    push    ax
    push    bx
    push    dx
    mov     feh_ler,00h
    mov     ah,display_str      ;Fehlermeldung löschen
    mov     dx,offset end_fehler_m
    call    system_call
    pop     dx
    pop     bx
    pop     ax
    ret

system_call:
    push    bx
    push    dx
    int     21h
    pop     dx
    pop     bx
    ret

li_o_erhol:
    cli
    push    ax
    in     al,80h
    pop     ax
    sti
    ret

code ends
```

```

data      segment
  org     100h

feh_ler   db?
zei_ok    db?
zei       db?
rett      dw?
rett_1    dw?
start_mes dw esc_1,erase

db'*****',cr,lf
db'* Programm zum Parametrieren des COM1 *',cr,lf
db'* *',cr,lf
db'* Geben Sie die Baudrate an: *',cr,lf
db'* 1200 bit/s == > 0 *',cr,lf
db'* 2400 bit/s == > 1 *',cr,lf
db'* 4800 bit/s == > 2 *',cr,lf
db'* 9600 bit/s == > 3 *',cr,lf
db'*****'
dw esc_1,invers_on
db 'EINGABE: '
dw esc_1,invers_off,esc_1,save_cursor
db' *',cr,lf
db'*****',cr,lf
dw esc_1,back_cursor,'$'

char_mesdbcr,lf,lf

db'*****',cr,lf
db'* Geben Sie die Anzahl der Bits pro Zeichen an *',cr,lf
db'* ( 5 bis 8 ) *'
dw esc_1,invers_on
db' Eingabe: '
dw esc_1,invers_off,esc_1,save_cursor
db' *',cr,lf
db'*****',cr,lf
dw esc_1,back_cursor,'$'

```



```

end_mes db cr,lf,lf,lf
dw esc_1,blink_on
db '*****',lf,cr
db '* Das Programm wird beendet. ',lf,cr
db '* Vielen Dank!Auf Wiedersehen! *',lf,cr
db '*****',lf,cr
dw esc_1,blink_off,cr,lf,lf,lf,lf,'$'

err_mesdwesc_1,save_cursor,esc_1,blink_on,esc_1,invers_on
db esc,'[05;60H'
db'#####',esc,'[06;60H'
db'# Falsche #',esc,'[07;60H'
db'# Eingabe #',esc,'[08;60H'
db'#####'
dw esc_1,invers_off,esc_1,blink_off,esc_1,back_cursor
dw esc_1,cur_left_2,'$'

end_err_mesdwesc_1,save_cursor
db' ',esc,'[05;60H'
db' ',esc,'[06;60H'
db' ',esc,'[07;60H'
db' ',esc,'[08;60H'
db' '
dw esc_1,back_cursor
dw esc_1,cur_left_2,'$'

fehler_m dw esc_1,save_cursor,esc_1,blink_on,esc_1,invers_on
db esc,'[05;55H'
db'#####',esc,'[06;55H'
db'# UEBERTRAGUNGSFEHLER #',esc,'7;55H'
db'#####'
dw esc_1,invers_off,esc_1,blink_off,esc_1,back_cursor
dw esc_1,cur_left_1,'$'

end_fehler_m dw esc_1,save_cursor
db esc,'[05;55H'
db' ',esc,'[06;55H'
db' ',esc,'[07;55H'
db' '
dw esc_1,back_cursor,esc_1,cur_left_1,'$'

```

```
data      ends
stack    segment para stack 'stack'
stack    ends
end
```


16 Serielle Schnittstelle COM 2 (Maus)

16.1 Allgemeines

Die Mauschnittstelle (COM 2) ist eine serielle, asynchrone Schnittstelle, die im COMBO I/O-Chip (82C106) enthalten ist. In der Funktionalität ist die Schnittstelle kompatibel zum Industriestandard und verhält sich wie der Controller NS 16450 (National Semiconductor). Der Anschluß an die Schnittstelle erfolgt über eine 9polige Stiftleiste an der Geräterückseite. Der Mausanschluß (Bild unten) führt neben den V.24-Daten-, Sende- und Empfangsleitungen noch zusätzlich die Modem-Steuersignale DSR, CTS, RTS und DTR. Der Schnittstellen-Controller wird mit einer Taktfrequenz von 1,8432 MHz betrieben. Damit lassen sich alle gängigen Datenübertragungsraten im Bereich von 50...56000 bit/s per Software einstellen. Desweiteren ist das Übertragungsformat mit 5, 6, 7 oder 8 Datenbits, 1; 1,5 oder 2 Stoppbits und Parityprüfung programmierbar.

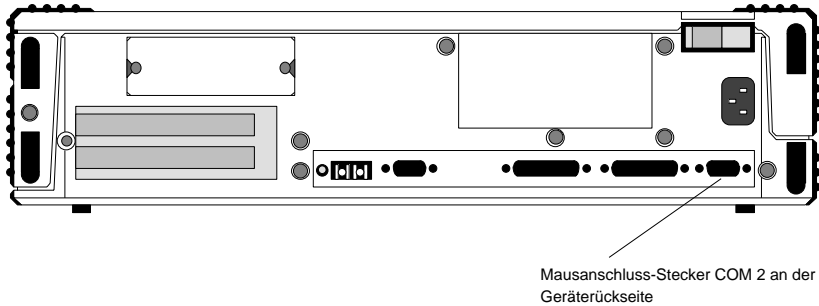


Bild 16.1: Lage der seriellen Schnittstelle COM 2 (Maus)

16.2 Adreßvergabe und Interrupt

16.2.1 Adreßplan der seriellen Schnittstelle COM 2

Eine ausführliche Beschreibung der Register des Controllers, kann unter Kapitel "Serielle Schnittstelle COM 1/Register" des ASIC 82C106 nachgelesen werden. Die Controller-Register sind unter folgenden Adressen ansprechbar:

Grundplatte	DLAB Bit	Bedeutung
2F8 H	0	Sendedaten (schreiben)
2F8 H	0	Empfangsdaten (lesen)
2F8 H	1	Baudraten-Generator (lesen/schreiben)
2F9 H	1	Teilerfaktor LOB (Low-Byte)
2F9 H	0	Teilerfaktor HOB (High-Byte)
2F9 H	0	Interrupt-Freigabe (lesen/schreiben)
2FA H	x	Interrupt-Status (lesen)
2FB H	x	Übertragungs-Steuerregister (lesen/schreiben)
2FC H	x	Modem-Steuerregister (lesen/schreiben)
2FD H	x	Übertragungsstatusregister (lesen/schreiben)
2FE H	x	Modem-Statusregister (lesen/schreiben)
2FF H	x	Pufferregister (lesen/schreiben)
		Das Pufferregister hat keinen Einfluss auf den Steuerbaustein.

Bild 16.2: Registeradressierung der COM 2-Schnittstelle

Die Register werden mit den Assembler-Befehlen IN... bzw. OUT... angesprochen.

16.2.2 Interrupt

Abhängig von internen Ereignissen generiert der Controller vier verschiedene Interrupts (Kapitel "Serielle Schnittstelle COM 1, Interrupt-Statusregister"). Der Interrupt kann im

Controller über eine Prioritätsauswertung den Hardware-Interrupt 3 auslösen.

Interrupt 3 wird vom ROM-BIOS unterstützt und auf den Interrupt-Vektor INT 0B H gelegt.

INT 0B H	Offset-Adresse:	0000:002C H - 0000:002D H
	Segment-Adresse:	0000:002E H - 0000:002F H

Der Interrupt kann im Controller gesperrt werden und steht dann auf dem Bus (für andere Baugruppen) zur Verfügung.

Anmerkung: Der Interrupt wird gesperrt indem in Bit 3 (/OUT2) des Modem-Steuerregisters eine "0" geschrieben wird.

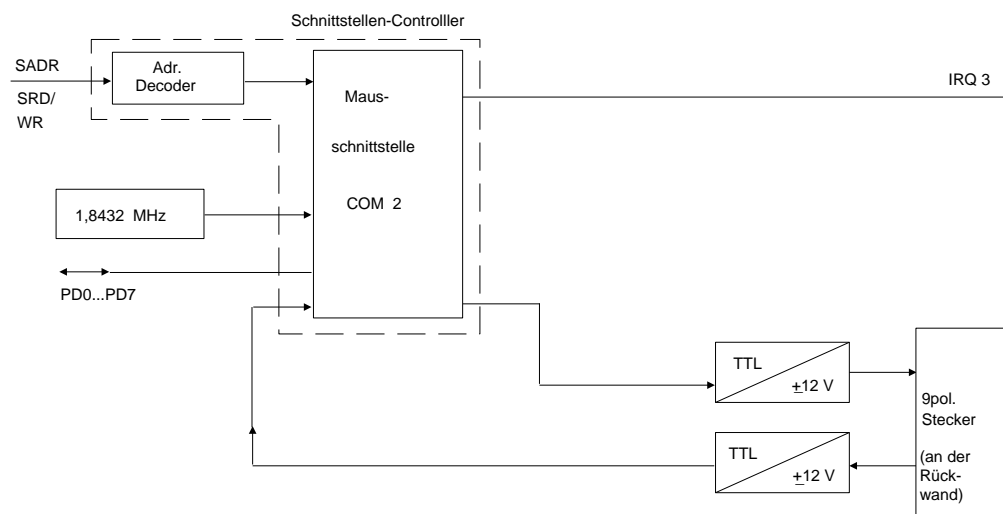


Bild 16.3: Blockschaubild der COM 2-Schnittstelle

16.2.3 Register der seriellen Schnittstelle COM 2

Die Register des ACE (Asynchronous Communications Element) im Baustein ASIC 82C106 sind gleich wie beim Schnittstellenbaustein NS16450 und lassen sich mit den Assembler-Befehlen IN bzw. OUT ansprechen.

Register der COM 2-Schnittstelle

- Übertragungssteuerregister
- Übertragungsstatusregister
- Modem-Statusregister
- Pufferregister
- Modem-Steuerregister
- Interrupt-Statusregister
- Interrupt-Freigaberegister
- Baudraten-Generator-Teilerfaktor LOB*
- Baudraten-Generator-Teilerfaktor HOB**
- Empfangsdatenregister
- Sendedatenregister

* low order byte

** high order byte

Die Bedeutung der einzelnen Register ist gleich wie bei der COM 1-Schnittstellenbeschreibung und kann im Kapitel "Serielle Schnittstelle COM 1" nachgelesen werden.

16.3 Steckerbelegung der COM 2-Schnittstelle (Maus)

Alle Signale der Mausschnittstelle erfüllen die CCITT-Empfehlung V.24 und sind über die Leitungstreiber 75150 für den Sender und 75154 für den Empfänger geführt. Da die COM 2-Schnittstelle (Maus) mit der gleichen Funktionseinheit im ASIC 82C106 realisiert ist wie die COM 1-Schnittstelle (V.24), kann hier auf eine weitere Beschreibung der Schnittstellensignale verzichtet werden. Die Signalbeschreibung kann unter Kapitel "Serielle Schnittstelle COM 1" nachgelesen werden.

Pin-Nummer	Kurzbezeichnung	Bedeutung	IN/OUT
1	DCD (M5)	Empfangs-Signalpegel	Eingang
2	RxD (D2)	Empfangsdaten	Eingang
3	TxD (D1)	Sendedaten	Ausgang
4	DTR (S1)	Endgerät bereit	Ausgang
5	GND (E2)	Betriebserde	
6	DSR (M1)	Betriebsbereitschaft	Eingang
7	RTS (S2)	Sendeteil einschalten	Ausgang
8	CTS (M2)	Sendebereitschaft	Eingang
9	RI (M3)	ankommender Ruf	Eingang

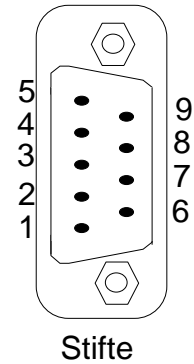


Bild 16.4: Steckerbelegung der COM 2-Schnittstelle

17 Tastaturschnittstelle

17.1 Allgemeines

Die Tastaturschnittstelle des PG 730 ist im COMBO I/O-Chip (82C106) enthalten. Der verwendete Tastatur-Controller ist kompatibel zum Ein-Chip-Mikroprozessor vom Typ 8042 (bzw. 8742). Der Tastatur-Controller empfängt die seriellen Daten von der Tastatur, testet die Parität, übersetzt den Abtast- (Scan-) Code der Tastatur in den Systemcode und stellt dem System die Daten byteweise im Ausgabepuffer zur Verfügung. Der Tastatur-Scan-Code setzt sich aus einem Make-Code, der beim Drücken, und einem Break-Code, der beim Loslassen einer Taste erzeugt wird, zusammen. Die Tastatur-Scan-Codes werden vom System-Tastatur-Controller (8042 im ASIC 82C106 enthalten) an das System als System-Scan-Codes übergeben. Die Datenübergabe wird dabei von der System-Tastaturschnittstelle durch den Hardware-Interrupt IRQ 1 angeregt. Der 8042 erzeugt einen IRQ 1, wenn Daten im Ausgabepuffer bereitstehen. Das Statusregister dokumentiert die bei der Übertragung aufgetretenen Fehler. Daten können zur Tastatur gesendet werden, wenn sie in den Eingabepuffer des 8042 geschrieben wurden. Beide Puffer für die Eingabe und Ausgabe vom System sind Bestandteil des Mikro-Controller 8042. Alle Daten oder Befehle, die zur Tastatur gesendet werden, werden von der Tastatur quittiert. Erst wenn die Quittung vorliegt, ist die Tastatur bereit, neue Daten zu empfangen.

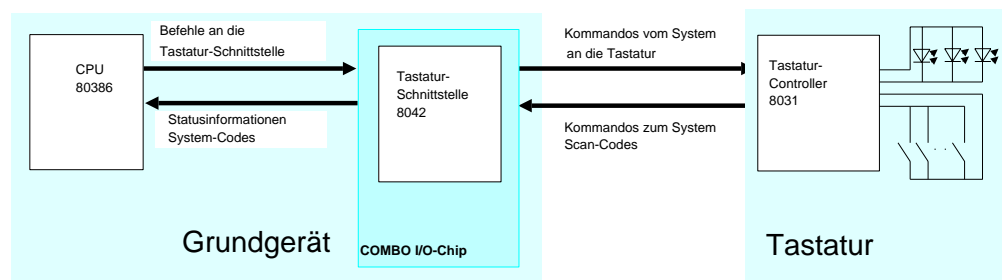


Bild 17.1: Tastaturschnittstelle

17.2 Datenempfang von der Tastatur

Das serielle Datentelegramm der Tastatur besteht aus: 1 Startbit, 8 Datenbits, einem Paritybit (ungerade Parität) und einem Stoppbit. Die Datenübertragung erfolgt halbduplex und wird stets vom in der Tastatur erzeugten Taktsignal (CLK) synchronisiert. Am Ende jeder Übertragung bleibt die Taktleitung noch für eine bestimmte Zeit auf Low-Pegel. Während dieser Zeit sperrt die System-Tastaturschnittstelle den Datenverkehr; wenn dann Daten- und Taktleitung wieder High-Pegel einnehmen, kann weiterer Datenverkehr erfolgen.

Beim Auftreten eines Parityfehlers fordert die Tastaturschnittstelle die Tastatur auf, das Zeichen noch einmal zu senden. Ist der Empfang wieder fehlerhaft, wird in den Ausgabepuffer das Zeichen FF H geschrieben und das Parityfehlerbit im Statusregister gesetzt.

Die Übertragung eines Bytes von der Tastatur wird zeitlich überwacht. Dauert eine Übertragung länger als 2 ms, wird in den Ausgabepuffer das Zeichen FF H geschrieben und das Receive-Time-Out-Bit im Statusregister gesetzt. Eine Wiederholungsanforderung findet in diesem Fall nicht statt.

17.2.1 Abfrage-Code

Beim Drücken einer Taste wird ein 8 bit breiter Abtast-Code (auch Make-Code genannt) gesendet. Beim Loslassen einer Taste wird der Break-Code (Unterbreuchungscode) gesendet. Dieser besteht aus dem Make-Code mit dem vorhergehenden Zeichen F0 H. Der zyklisch gesendete Code bei festgehaltener Taste ist der Make-Code.

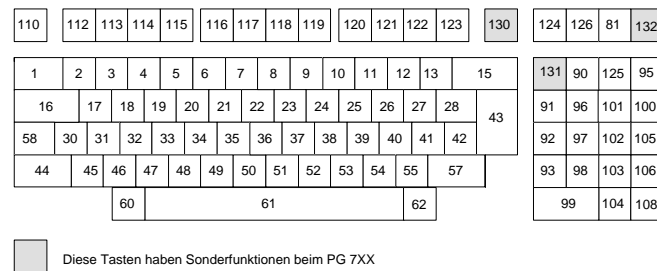


Bild 17.4 Tastatur des PG 7XX mit Tastennummerierung

Tabelle der Tastatur-Abtast-Codes und der System-Scan-Codes:

Tastennr.	Make-Code	Break-Code	System-Scan-Code
1	0E H	F00E H	29 H
2	16 H	F016 H	02 H
3	1E H	F01E H	03 H
4	26 H	F026 H	04 H
5	25 H	F025 H	05 H
6	2E H	F02E H	06 H
7	36 H	F036 H	07 H
8	3D H	F03D H	08 H
9	3E H	F03E H	09 H
10	46 H	F046 H	0A H
11	45 H	F045 H	0B H
12	4E H	F04E H	0C H
13	55 H	F055 H	0D H
14	66 H	F066 H	0E H
16	0D H	F00DH	0F H
17	15 H	F015 H	0 H
18	1D H	F01D H	11 H
19	24 H	F024 H	12 H
20	2D H	F02D H	13 H
21	2C H	F02C H	14 H
22	35 H	F035 H	15 H
23	3C H	F03C H	16 H
24	43 H	F043 H	17 H
25	44 H	F044 H	18 H

Tastennr.	Make-Code	Break-Code	System-Scan-Code
26	4D H	F04D H	19 H
27	54 H	F054 H	1A H
28	5B H	F05B H	1B H
30	58 H	F058 H	3A H
31	1C H	F01C H	1E H
32	1B H	F01B H	1F H
33	23 H	F023 H	20 H
34	2B H	F02B H	21 H
35	34 H	F034 H	22 H
36	33 H	F033 H	23 H
37	3B H	F03B H	24 H
38	42 H	F042 H	25 H
39	4B H	F04B H	26 H
40	4C H	F04C H	27 H
41	52 H	F052 H	28 H
42	5D H	F05D H	2B H
43	5A H	F05A H	1C H
44	12 H	F012 H	2A H
45	61 H	F061 H	56 H
46	1A H	F01A H	2C H
47	22 H	F022 H	2D H
48	21 H	F021 H	2E H
49	2A H	F20A H	2F H
50	32 H	F032 H	30 H
51	31 H	F031 H	31 H
52	3A H	F03A H	32 H
53	41 H	F041 H	33 H
54	49 H	F049 H	34 H
55	4A H	F04A H	35 H
57	59 H	F059 H	36 H
58	14 H	F014 H	1D H
60	11 H	F011 H	38 H
61	29 H	F029 H	39 H
62	E011 H	E0F011 H	E038 H
90	77 H	F077 H	45 H
91	6C H	F06C H	47 H

Tastennr.	Make-Code	Break-Code	System-Scan-Code
92	6B H	F06B H	4B H
93	69 H	F069 H	4F H
95 **	E04A H	E0F04A H	E035 H
96	75 H	F075 H	48 H
97	73 H	F073 H	4C H
98	72 H	F072 H	50 H
99	70 H	F070 H	52 H
100	7C H	F07C H	37 H
101	7D H	F07D H	49 H
102	74 H	F074 H	4D H
103	7A H	F07A H	51 H
104	71 H	F071 H	53 H
105	7B H	F07B H	4A H
106	79 H	F07D H	4E H
108	E05A H	E0F05A H	E01C H
110	76 H	F076 H	01 H
112	05 H	F005 H	3B H
113	06 H	F006 H	3C H
114	04 H	F004 H	3D H
115	0C H	F00C H	3E H
116	03 H	F003 H	3F H
117	0B H	F00B H	40 H
118	83 H	F083 H	41 H
119	0A H	F00A H	42 H
120	01 H	F001 H	43 H
121	09 H	F009 H	44 H
122	78 H	F078 H	57 H
123	07 H	F007 H	58 H
124 **	E012E07C H	E0F07CE0F012 H	E02AE037 H
125	7E H	F07E H	46 H
126 **	E11477E1F014F077	----	E11D45E19DC5 H
130 a*	111405 H	F011F014F005	381D3B H
130 b*	111406 H	F011F014F006	381D3C H
131 *	60 H	F060 H	55 H
132 *	18 H	F018 H	66 H

- * Diese Tasten gibt es nur bei der Siemens PG 7XX Tastatur.

Die Taste 130 hat eine Flip-Flop-Funktion (130a bzw. 130b). Nach dem Tastatur-RESET leuchtet die LED der Taste. Wenn die LED leuchtet, bedeutet dies, daß die "Deutsche" Tastaturbelegung gültig ist (in Verbindung mit dem Keyboardtreiber des jeweiligen Betriebssystems - MS-DOS, FlexOS etc.); "LED AUS" bedeutet entsprechend: die "internationale" Tastaturbelegung ist gültig. Der von der Tastatur gesendete Code entspricht in der Funktion der Tastenkombination **CTRL+ALT+F1** (130a) - international - im Wechsel mit **CTRL+ALT+F2** (130b).

- ** Bei diesen Tasten gibt es außer dem Make- und Break-Code noch Shift-Make und SHIFT-Break bzw. CTRL-Taste und Taste gedrückt. Die entsprechenden Codes sind in den nachfolgenden Tabellen aufgeführt.

Tasten Nr.	Make-Code	Break-Code	SHIFT-Case Make-Code	SHIFT-Case Break-Code
81	E069 H	E0F069 H	E0F012E069 H	E0F069E012 H
95	E04A H	E0F04A H	E0F0124A H	E012F04A H
124	E012E07C H	E0F07CE0F012 H	E07C H	E0F07C H
126	E11477E1F014F077 H	-----	-----	-----

Tasten Nr.	CTRL-Case Make-Code	CTRL-Case Break-Code	ALT-Case Make-Code	ALT-Case Break-Code
95	-----	-----	-----	-----
124	E07C H	E0F07C H	84 H	F084 H
126	E07EE0F07E H	-----	-----	-----

Tasten Nr.	NUM LOCK ON Make-Code	NUM LOCK ON Break-Code	SHIFT+NUM Make-Code	SHIFT+NUM Break-Code
81	E012E069 H	E0F069E0F012 H	E069 H	E0F069 H

System-Scan-Codes der Tasten 81, 95, 124 und 126

Tasten Nr.	Make-Code	SHIFT-Case-Code	ALT-Case-Code
81	E04F H	E0AAE04F H	-----
95	E035 H	E0AAE035 H	-----
124	E02AE037 H	E037 H	54 H
126	E11D45E19DC5 H	E11D45E19DC5	-----

17.2.3 Datensenden zur Tastatur

Die Sendedaten haben das gleiche Format wie die Empfangsdaten. Ein Paritybit wird vom Tastatur-Controller automatisch hinzugefügt.

Das Senden der Daten wird vom Controller zeitlich überwacht. Wenn der Tastatur-Controller den Takt von der Tastatur freigibt und die Tastatur nicht innerhalb von 15 ms den Takt startet oder die Übertragung nicht in 2 ms beendet ist, wird in den Ausgabepuffer des Tastatur-Controllers FF H geladen und im Statusregister das Bit 5 (Sendezeit überschritten) gesetzt. Die Tastatur muß auf alle Übertragungen vom System antworten. Erfolgt die Antwort mit einem Parityfehler, wird in den Ausgabepuffer der Wert FF H geladen und im Statusregister die Bits 5 und 6 gesetzt. Ein Versuch, die Übertragung zu wiederholen, findet nicht statt.

17.2.4 Kommandos von der Tastatur

Der System-Tastatur-Controller testet alle empfangenen Daten und entscheidet, ob ein Kommando oder ein Scan-Code empfangen wurde. Die Scan-Codes werden im 8042 übersetzt und in den Ausgabepuffer geschrieben, dabei wird ein Interrupt ausgelöst. Die Kommandos von der Tastatur haben folgende Bedeutung:

00 H	OVERRUN (Datenüberlauf)
83AB H	Tastaturkennung
AA H	BAT BASIC ASSURANCE TEST (Selbsttest BAT nach RESET abgeschlossen)
FCh/FD H	DIAGNOSTIC FAILURE (Selbsttest nach RESET fehlerhaft)
EE H	Echo
F0 H	BREAK (Unterbrechung)
FA H	ACK
FE H	RESEND (letztes Kommando)
FF H	Tastenfehler

OVERRUN (00 H) Ein OVERRUN-Zeichen wird in Position 17 des Tastatur-Eingabepuffers plziert, wobei der letzte Code im Puffer überschrieben wird, sobald der Puffer voll ist. Dieser Code wird zum System gesendet, wenn das Pufferende erreicht wurde.

TASTATURKENNUNG (83AB H) Die Tastaturkennung besteht aus zwei Bytes, "83AB" H. Die Tastatur antwortet auf das Lesen der ID mit "ACK", unterbricht

das Abtasten der Tasten und sendet die zwei Kennungsbytes. Das niederwertige Byte wird zuerst übertragen gefolgt vom höherwertigen Byte. Nachdem die Tastatur ihre Kennung übertragen hat, fährt sie mit der Abtastung der einzelnen Tasten fort.

BAT (BASIC ASSURANCE TEST) (AA H) Als Folge einer erfolgreichen Beendigung des BAT (Einschalt-Selbsttest) sendet die Tastatur AA H. FC H oder irgendein anderer Code bedeutet, daß der Tastaturprozessor einen Fehler gefunden hat. Im Fehlerfall wird die Tastatur nicht weiter abgefragt. Die Tastatur wartet auf eine Reaktion des Systems oder einen RESET.

DIAGNOSTIC FAILURE (FC/FD H) Die Tastatur testet periodisch den Leseverstärker und sendet einen Diagnostik-Fehlercode, falls ein Fehler entdeckt wurde. Tritt ein Fehler während BAT (BASIC ASSURANCE TEST) auf, stoppt die Tastatur die Abtastung und wartet auf ein Systemkommando oder einen POWER DOWN für einen Restart. Wird nach dem Freigeben der Abtastung ein Fehler gemeldet, so wird das Abtasten fortgesetzt.

ECHO (EE H) Dieses Kommando wird als Antwort der Tastatur auf ein ECHO-Kommando vom Tastatur-Controller gesendet.

BREAK (F0 H) Wenn eine Taste losgelassen wird, schickt die Tastatur den Unterbreuchungscode, gefolgt vom Make-Code der zuvor gedrückten Taste.

ACK (FA H) Die Tastatur sendet ein "ACK" als Antwort auf eine gültige Eingabe oder auf ein ECHO- oder RESEND-Kommando. Wird während des "ACK-Sendens" ein Interrupt ausgelöst, wird das "ACK" ignoriert und das neue Kommando beantwortet.

RESEND (FE H) Die Tastatur sendet ein RESEND-Kommando, sobald eine fehlerhafte Übergabe erfolgte. Die Tastatur erwartet vom System keine Antwort auf das RESEND-Kommando.

Tasten Fehler (FF H) Wenn der System-Tastatur-Controller den Takt (CLK) freigibt und die Tastatur nicht innerhalb von 15 ms den Takt startet oder die Übertragung nicht in 2 ms beendet ist, wird in den Ausgabepuffer das Zeichen FF H geladen.

17.2.5 Kommandos an die Tastatur

Die folgenden Kommandos können jederzeit zur Tastatur geschickt werden. Die Tastatur antwortet innerhalb 20 ms. Die Kommandos werden von der Tastaturschnittstelle an die Tastatur geschickt.

Folgende Codes können an die Tastatur geschickt werden:

FF H	Reset-Tastatur
FE H	RESEND (Übertragung wiederholen)
F6 H	SET DEFAULT (Standardeinstellungen setzen)
F5 H	DEFAULT DISABLE (Tastatur sperren)
F4 H	ENABLE (Tastatur freigeben)
F3 H	SET TYPMATIC RATE/DELAY (Tastenrepetierrate)
EE H	ECHO
ED H	SET/RESET Mode Indicators (LED-Anzeigen setzen)
EF H ... F1 H	INVALID COMMAND (fehlerhaftes Kommando)
F0 H, F7 ... FDh H	NO-OPERATION (reserviert)
F2 H	READ ID (Tastaturkennung lesen)

RESET (FF H) Die Tastaturschnittstelle schickt das Reset-Kommando, um ein Programm-Reset und einen internen Tastaturtest zu starten. Die Tastatur beantwortet dieses Kommando mit einem "Acknowledge-Signal" (ACK) und überprüft, ob der System-Tastatur-Controller das ACK akzeptiert hat, bevor das Kommando ausgeführt wird. Der Schnittstellen-Controller beantwortet "ACK", indem es die Takt- und Datenleitung für mindestens 500 μ s auf "High" legt. Die Tastatur wird, wenn sie das Reset-Kommando empfängt, gesperrt, bis das "ACK" vom System akzeptiert wurde oder ein neues Kommando das vorherige überschreibt. Wurde das "ACK" vom System beantwortet, beginnt die Tastatur die Reset-Operation, die dem POWER-ON-RESET ähnelt. Die Tastatur löscht den Ausgabepuffer und setzt die Vorzugswerte für Repetierfrequenz und Verzögerungszeit ein.

RESEND (FE H) Der Tastatur-Controller kann dieses Kommando senden, wenn er einen Fehler in der Übertragung von der Tastatur entdeckt hat. Es kann nur nach einem Senden der Tastatur und vor der Freigabe der Tastatur für das nächste Zeichen gesendet werden. Nach dem Empfangen des RESEND-Kommandos schickt die Tastatur das letzte Byte nochmals zum Tastatur-Controller des Systems, wenn die Tastatur nicht selbst ein RESEND geschickt hat. Ist letzteres der Fall, wird das letzte Byte vor dem RESEND-Kommando geschickt.

SET DEFAULT (F6 H) Dieses Kommando setzt die Tastatur in den POWER-ON-VERZUGSSTATUS. Die Tastatur antwortet mit einem "ACK", löscht den Ausgabepuffer, setzt die Default-Werte und fährt mit der Abtastung fort, wenn sie vorher freigegeben worden ist.

DEFAULT DISABLE (F5 H) Dieses Kommando ist ähnlich dem SET-DEFAULT-Kommando, außer daß die Tastatur das Abtasten stoppt und auf weitere Befehle wartet.

ENABLE (F4 H) Nach dem Empfangen dieses Kommandos antwortet die Tastatur mit einem "ACK", löscht den Ausgabepuffer und beginnt mit der Abtastung.

SET TYPOMATIC RATE/DELAY (F3 H) Das System sendet dieses Kommando gefolgt von einem Parameter, um die Repetierfrequenz und die Verzögerungszeit zu ändern. Die Repetierfrequenz und Verzögerungszeit werden durch den Wert des Parameterbytes festgelegt. Bit 6 und 5 dienen als Verzögerungsparameter. Mit Bit 4, 3, 2, 1, und 0 wird die Repetierfrequenz bestimmt. Bit 7 ist immer 0. Die Verzögerungszeit berechnet sich aus:

$$1 + (\text{binärer Wert von Bit 6 und 5}) \times 250 \text{ ms} \pm 20\%$$

Die Repetierperiode berechnet sich wie folgt:

$$\text{Periode} = (8 + A) \times (2^B) \times 0,00417 \text{ s.}$$

mit

A = binärer Wert von Bit 2, 1, 0

B = binärer Wert von Bit 4, 3

Die Tastatur antwortet auf dieses Kommando mit "ACK", stoppt die Abtastung und wartet auf den Ratenparameter. Die Tastatur antwortet auf den Ratenparameter mit einem weiteren "ACK", setzt die entsprechenden Werte und fährt mit der Abtastung fort (sofern die Tastatur freigegeben wurde).

Wird ein neues Kommando anstelle des Parameterbytes empfangen, wird das Kommando SET TYPEMATIC RATE beendet, ohne die Werte zu verändern, und das neue Kommando ausgeführt. Die Vorzugswerte der Tastatur wurden folgendermaßen festgelegt:

Repetierfrequenz = 10,9 Zeichen/s \pm 20%

Verzögerungszeit = 500 ms \pm 20%

Die Repetierfrequenz ist 1/Periode. In der nachfolgenden Tabelle sind die einstellbaren Repetierfrequenzen (Zeichen pro Sekunde) dargestellt.

Bit Typematic Rate \pm 20%[ms]	Bit Typematic Rate \pm 20%[ms]
00000	30,0
00001	26,7
00010	24,0
00011	21,8
00100	20,0
00101	18,5
00110	17,1
00111	16,0
01000	15,0
01001	13,3
01010	12,0
01011	10,9
01100	10,0
01101	9,2
01110	8,6
01111	8,0
10000	7,5
10001	6,7
10010	6,0
10011	5,5
10100	5,0
10101	4,6
10110	4,3
10111	4,0
11000	3,7
11001	3,3
11010	3,0
11011	2,7
11100	2,5
11101	2,3
11110	2,1
11111	2,0

ECHO (EE H) Dieses Kommando ist eine Diagnostikhilfe. Wenn die Tastatur das ECHO-Kommando empfängt, sendet sie die Antwort "EE H" und setzt das Abtasten fort, sofern es vorher freigegeben worden ist.

SET/RESET MODE INDICATORS (ED H) Drei Modusanzeigen sind auf der Tastatur für das System verfügbar. Die vierte Anzeige (in Taste "D") wird nur von der Tastatur selbst beeinflusst. Die Tastatur aktiviert oder deaktiviert diese Anzei-

gelampen, wenn sie das Kommando vom System erhält. Die Anzeigenlampen (Indikatoren) können einzeln verändert werden.

Das Kommando hat folgendes Format:

Kommando Option

Das Kommando besteht aus 2 byte.

Das erste hat das Format:

1110 1101 = H (ED)

Das zweite Byte ist das Optionsbyte:

Bit 7	Reserviert muß "0" sein.
Bit 6	Reserviert muß "0" sein.
Bit 5	Reserviert muß "0" sein.
Bit 4	Reserviert muß "0" sein.
Bit 3	Reserviert muß "0" sein.
Bit 2	CAPS LOCK Indikator.
Bit 1	NUM LOCK Indikator.
Bit 0	SCROLL LOCK Indikator.

Die Tastatur beantwortet das SET/RESET-Kommando mit einem "ACK", unterbricht die Abtastung und wartet auf das Optionsbyte. Das Optionsbyte beantwortet die Tastatur mit einem "ACK", setzt die Indikatoren und fährt mit der Abtastung fort. Folgt ein neues Kommando anstatt dem Optionsbyte, werden die Indikatoren nicht verändert und das neue Kommando ausgeführt.

INVALID COMMAND (EF H und F1 H) EF H und F1 H sind ungültige Befehle und werden nicht vom System verwendet. Falls einer dieser Befehle zur Tastatur gesendet wird, antwortet diese nicht wie gewöhnlich mit "ACK", sondern sendet einen RESEND-Befehl zurück und fährt mit dem Abtasten der einzelnen Tasten fort.

NO-OPERATIN (NOP) (F0, F7 . . . FD H) Diese Kommandos sind reserviert. Sie führen keine Operation durch. Die Tastatur akzeptiert diese Kommandos und fährt mit der Abtastung fort.

READ ID (F2 H) Dieser Befehl fordert von der Tastatur die Tastaturkennung an. Die Tastatur antwortet auf den Befehl mit "ACK", unterbricht die Tastaturabfrage, und sendet die beiden Tastaturkennungsbytes (0AB H gefolgt von 83 H). Dabei darf der zeitliche Abstand der Übertragung der Bytes 500 µs nicht überschreiten. Nachdem die Tastatur das zweite Byte übertragen hat, fährt sie mit der Abtastung der einzelnen Tasten fort.

17.3 System-Tastaturschnittstelle

Die Tastaturschnittstelle im COMBO I/O-Chip kommuniziert über das Statusregister, den Eingabepuffer und den Ausgabepuffer mit dem System.

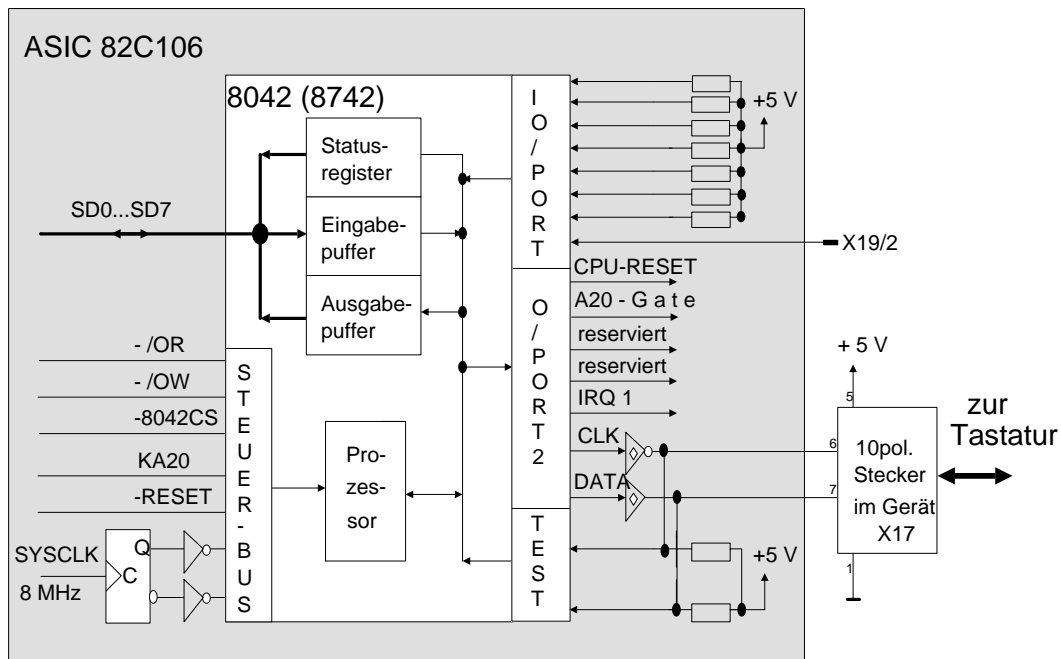


Bild 17.5: Blockschaltbild der Tastaturschnittstelle

17.4 I/O-Adressen der System-Tastaturschnittstelle

Funktion	I/O-Adresse	Zugriff
Tastatur-Eingabepuffer	0060 H	schreiben
Tastatur und Ausgabepuffer	0060 H	lesen
Tastatur-Statusregister	0064 H	lesen
Tastatur-Kommandoregister	0064 H	schreiben

17.5 Register

17.5.1 Eingabepuffer

Der Eingabepuffer ist ein 8 bit breites Register und kann über die Adresse 60 H bzw. 64 H beschrieben werden. Schreiben auf die Adresse 60 H setzt das Statusbit 3 zurück; das bedeutet, daß Daten eingeschrieben wurden. Das Schreiben auf die Adresse 64 H setzt das Statusbit 3 auf logisch "1" (Befehl wurde eingeschrieben). Wenn die Tastaturschnittstelle nicht auf ein Datenbyte wartet, das einem Befehl folgen muß, werden die Daten, die über die Adresse 60 H eingeschrieben werden, an die Tastatur gesendet. Es darf nur dann in den Eingabepuffer geschrieben werden, wenn das Statusbit 1 zurückgesetzt ist.

17.5.2 Ausgabepuffer

Der Ausgabepuffer ist ein 8 bit breites Register und kann über die Adresse 60 H gelesen werden. Die Tastaturschnittstelle benutzt den Ausgabepuffer zur Übergabe von Daten, die er von der Tastatur empfangen hat, an das System. Die Daten können Abfrage-Codes oder Antworten auf Befehle zur Tastatur sein. Der Puffer darf nur gelesen werden, wenn das "Ausgabepuffer/voll" -Bit im Statusregister auf log. "1" gesetzt ist.

17.5.3 Statusregister der Tastaturschnittstelle

Statusregister

I/O-Adresse: 64 H (lesen)

Das Statusregister gibt Auskunft über den Zustand der Tastaturschnittstelle und der Tastatur. Das Register kann nur gelesen werden, wobei ein Lesezyklus jederzeit möglich ist.

Bit	Funktion
7	Paritätsfehler. (PERR-Bit)
6	Daten-Empfangszeit überschritten (RTIM-Bit)
5	Daten-Sendezeit überschritten (TTIM-Bit)
4	Tastatur über Schüsselschalter freigegeben (KBEN-Bit)
3	Kommando/Daten (C/D-Bit)
2	System Flag. (SYS-Bit)
1	Eingabepuffer voll (IBF-Bit)
0	Ausgabepuffer voll (OBF-Bit)

Bild 17.6: Tastatur-Statusregister

Bit0 Eine 1 in diesem Bit signalisiert, daß Daten für das System im Ausgabepuffer bereitstehen. Ein Lesen dieser Daten setzt das Statusbit zurück.

Bit1 Eine 1 in diesem Bit signalisiert, daß Daten vom System in den Eingabepuffer geschrieben wurden und die Tastatur sie noch nicht abgeholt hat. Liest die Tastatur den Eingabepuffer aus, wird das Bit zurückgesetzt.

Bit 2 Dieses Bit liegt nach einem Hardware-Reset auf logisch "0". Der Controller setzt dieses Bit auf logisch "1", wenn das System im Real Mode arbeitet.

- Bit 3** Der Eingabepuffer der Tastaturschnittstelle kann mit der Adresse 60 H bzw. 64 H adressiert werden. Über die Adresse 60 H werden Daten und über Adresse 64 H Befehle eingeschrieben. Das Schreiben auf Adresse 64 H setzt Bit 3 auf logisch "1"; das Schreiben auf Adresse 60 H setzt das Bit auf log. "0". Der Schnittstellen-Controller benötigt dieses Bit, um Daten und Befehle zu unterscheiden.
- Bit 4** Dieses Bit wird jeweils beim Laden von Daten in den Ausgabepuffer aktualisiert. Es gibt die Stellung des Schlüsselschalters an. Eine log. "0" signalisiert, daß die Tastatur gesperrt ist.
- Bit 5** Ist immer log "0".
- Bit 6** Eine log. "1" in diesem Bit bedeutet, daß eine Übertragung von der Tastatur nicht in der vorgeschriebenen Zeit beendet wurde.
- Bit 7** Eine log. "1" in diesem Bit bedeutet, daß ein Paritätsfehler bei der letzten Zeichenübertragung von der Tastatur aufgetreten ist. Bei jedem Parity-ERROR wird 0FF H in das Ausgabepuffer geladen. Gleichzeitig wird das OBF1-Bit im Statusregister gesetzt und ein Interrupt ausgelöst.

17.5.4 Kommandoregister der Tastaturschnittstelle

Ein Befehl ist ein Byte, das dem Tastatur-Controller über das I/O-Port 0064 H übergeben wird. Die zugehörigen Daten zu diesem Befehl werden im Register 60 H übergeben. Nachfolgend werden die realisierten Befehle des Controllers beschrieben.

20 H

Der Tastatur-Controller schreibt den aktuellen Inhalt des Mode-Registers in den Ausgabepuffer, d.h. der aktuelle Inhalt des Mode-Registers kann gelesen werden.

60 H

Neues Kommando an die Tastatur schicken. Dies ist eine 2-byte-Operation.

- 1) 60 H in I/O-Port 0064 H schreiben
- 2) Kommando in I/O-Port 0060 H schreiben

Bit	Funktion
7	Reserviert (auf "0" gesetzt)
6	Tastatur-Übersetzungs-Betriebsart (KCC-Bit) ("0" AT - Betrieb, "1" PC - Betrieb)
5	Verwendete Tastatur (KBD-Bit) ("0" AT-Tastatur, "1" - PC Tastatur)
4	Tastatur sperren (DKB-Bit) ("0" freigeben, "1" sperren)
3	Tastatur-Sperrfunktion (INH-Bit) (Sperrfunktion "0" freigeben, "1" nicht zulassen)
2	System Flag (SYS-Bit) (Der Wert erscheint im System-Flag-Bit des Statusregisters)
1	Reserviert (auf "0" gesetzt)
0	Tastatur-Interrupt (EKI-Bit) freigeben (IRQ 1), wenn Daten im Ausgabepuffer sind

Bild 17.7: Befehlsbits für das Kommando 60 H

AA H

Der Tastatur-Controller führt einen Selbsttest durch und lädt den Wert 55 H in den Ausgabepuffer, falls beim Test kein Fehler aufgetreten ist.

AB H

Der Tastatur-Controller wird veranlaßt, die Taktleitung und die Datenleitung zu testen. Folgende Ergebnisse werden in den Ausgabepuffer geladen:

- 00 H kein Fehler
- 01 H die Taktleitung ist ständig low
- 02 H die Taktleitung ist ständig high
- 03 H die Datenleitung ist ständig low
- 04 H die Datenleitung ist ständig high

AC H

Dieser Befehl fordert den Tastatur-Controller auf, einen Diagnostik-Dump an das System zu senden. Dabei werden 16 byte des Tastatur-Controller-RAM, der Inhalt des aktuellen I/O-Ports, an das System gesendet.

AD H

Dieser Befehl setzt Bit 4 im Controller-Befehlsbyte. Daten können dann weder gesendet noch empfangen werden.

AE H

Bit 4 im Controller-Befehlsbyte wird rückgesetzt, das Tastatur-Interface freigegeben.

C0 H

Dieser Befehl transferiert den Wert des Input-Ports in den Ausgabepuffer. Der Befehl darf nur gegeben werden, wenn der Ausgabepuffer leer ist.

D0 H

Dieser Befehl transferiert den Wert des Output-Ports 2 in den Ausgabepuffer. Der Befehl darf nur gegeben werden, wenn der Ausgabepuffer leer ist.

Bit	Pin	PC/AT-Mode
0	P20	Reset CPU
1	P21	A20 Gate
2	P22	reserviert
3	P23	reserviert
4	P24	Output-Puffer voll IRQ 1
5	P25	reserviert
6	P26	Tastaturtakt
7	P27	Tastaturdaten

D1 H

Das nächste Byte, das über die I/O-Adresse 60 H eingeschrieben wird, erscheint im Output-Port 2.

Bit	Pin	PC/AT-Mode
0	P20	Reset CPU
1	P21	A20 Gate
2	P22	reserviert
3	P23	reserviert
4	P24	Output-Puffer voll IRQ 1
5	P25	reserviert
6	P26	kann nicht verändert werden
7	P27	kann nicht verändert werden

E0 H

Dieser Befehl transferiert die Testeingänge T0 und T1 in den Ausgabepuffer. Das Datenbit 0 repräsentiert T0 und Datenbit 1 repräsentiert T1.

F0...FF H

Mit diesen Befehlen können die Bits 0...3 des Output-Ports 2 des Controllers für etwa 6 μ s auf 0 V gesetzt werden. Die Bits 0...3 des Befehls geben an, welches Bit des Output-Ports gemeint ist. Eine "0" zieht das angesprochene Bit für etwa 6 μ s auf 0 V. Die Port-Ausgänge P2/6 und P2/7 können nicht gepulst werden.

17.6 I/O-Ports des System-Tastatur-Controllers

Der Tastatur-Controller besitzt zwei 8 bit-I/O-Ports und zwei Testeingänge. Ein Port wird zur Eingabe benutzt, das andere für die Ausgabe. Über die Testeingänge können die Zustände der Datenleitung und der Taktleitung gelesen werden.

17.6.1 Belegung des Input-Ports

Bit 0....6 reserviert

Bit 7

Ist auf die interne Buchse X19 Pin 1 geführt.

17.6.2 Belegung des Output-Port 2

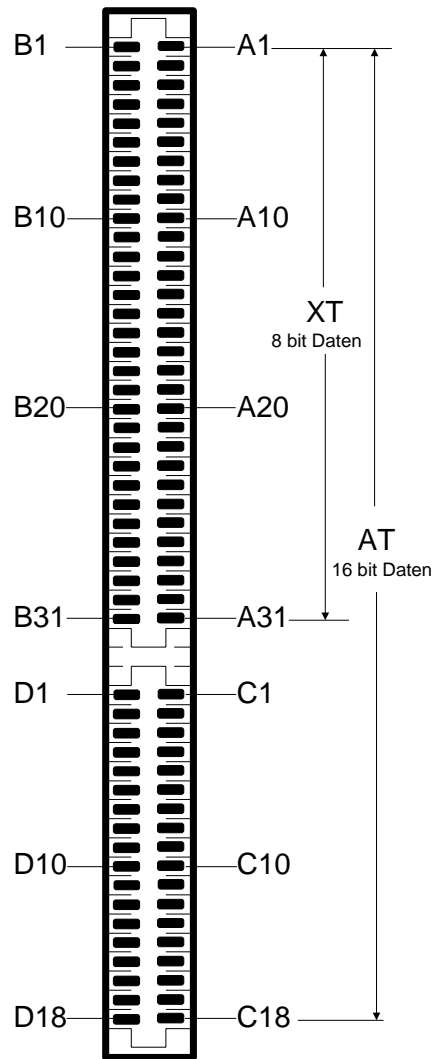
Bit 0	CPU-Reset
Bit 1	Gate A20
Bit 2	reserviert
Bit 3	reserviert
Bit 4	Interrupt 1 (Ausgabepuffer voll)
Bit 5	reserviert
Bit 6	Tastaturschnittstelle (Taktausgang)
Bit 7	Tastaturschnittstelle (Datenausgang).

18 Schnittstelle für Erweiterungsperipherie

18.1 Allgemeines

Auf der Grundplatine befinden sich eine Direkt-Steckverbinderleiste für den Anschluß einer Busplatine mit zwei Steckplätzen für XT/AT-kompatible Peripheriebaugruppen (ISA-Standard) wie z.B. DF20G, CP1413 usw.. Die Steckplätze sind mit Systembus-signalen und einigen Sondersignalen belegt. Alle Signale sind TTL-kompatibel. Baugruppen, die an diese Steckplätze angeschlossen werden, dürfen nicht mehr als eine low-power Schottky-Last pro Signal in Anspruch nehmen.

18.2 Steckerbelegung



18.1: Pinbelegung der Direkt-Steckverbinder

Pin	Signal	I/O	Pin	Signal	I/O
B1	GND	Ground	A1	-I/O CHCK	I
B2	RESET DRV	O	A2	SD7	I/O
B3	+5 V DC	Power	A3	SD6	I/O
B4	IRQ 9	I	A4	SD5	I/O
B5	-5 V DC	Power	A5	SD4	I/O
B6	DRQ 2 *)	I	A6	SD3	I/O
B7	-12 V DC	Power	A7	SD2	I/O
B8	0WS	I	A8	SD1	I/O
B9	+12 V DC	Power	A9	SD0	I/O
B10	GND	Ground	A10	-I/O CHRDY	I
B11	-SMEMW	O	A11	AEN *)	O
B12	-SMEMR	O	A12	SA19	I/O
B13	-I/OW	I/O	A13	SA18	I/O
B14	-I/OR	I/O	A14	SA17	I/O
B15	-DACK 3	O	A15	SA16	I/O
B16	DRQ 3	I	A16	SA15	I/O
B17	-DACK 1	O	A17	SA14	I/O
B18	DRQ 1	I	A18	SA13	I/O
B19	-REFRESH	I/O	A19	SA12	I/O
B20	SYSCLK	O	A20	SA11	I/O
B21	IRQ 7	I	A21	SA10	I/O
B22	IRQ 6	I	A22	SA9	I/O
B23	IRQ 5	I	A23	SA8	I/O
B24	IRQ 4	I	A24	SA7	I/O
B25	IRQ 3	I	A25	SA6	I/O
B26	-DACK 2	O	A26	SA5	I/O
B27	T/C	O	A27	SA4	I/O
B28	BALE	O	A28	SA3	I/O
B29	+5 V DC	Power	A29	SA2	I/O
B30	OSC	O	A30	SA1	I/O
B31	GND	Ground	A31	SA0	I/O

*) Diese Pins sind für die Identlogik unterschiedlich belegt, siehe hierzu Abschnitt 18.3.

Pin	Signal	I/O	Pin	Signal	I/O
D1	-MEM CS16	I	C1	SBHE	I/O
D2	-I/O CS16	I	C2	LA23	I/O
D3	IRQ 10	I	C3	LA22	I/O
D4	IRQ 11	I	C4	LA21	I/O
D5	IRQ 12	I	C5	LA20	I/O
D6	IRQ 15	I	C6	LA19	I/O
D7	IRQ 14	I	C7	LA18	I/O
D8	-DACK 0	O	C8	LA17	I/O
D9	DRQ 0	I	C9	-MEMR	I/O
D10	-DACK 5	O	C10	-MEMW	I/O
D11	DRQ 5	I	C11	SD08	I/O
D12	-DACK 6	O	C12	SD09	I/O
D13	DRQ 6	I	C13	SD10	I/O
D14	-DACK 7	O	C14	SD11	I/O
D15	DRQ 7	I	C15	SD12	I/O
D16	+5 V DC	Power	C16	SD13	I/O
D17	-MASTER	I	C17	SD14	I/O
D18	GND	Ground	C18	SD15	I/O

18.3 Besonderheiten der Signalbelegung

Die Pins B6 und A11 sind für das Baugruppen-Identsystem abweichend vom Standard belegt. Die Belegung kann durch die Veränderung von zwei Steckbrücken auf der Busplatine und einer Steckbrücke auf der Grundplatine dem Standard angepaßt werden.

Signal-Belegung:

Steckplatz	Pin	Identsystem inaktiv	Identsystem aktiv
Grundbaugruppe	B 6	DRQ 2	AEN für Steckplatz 2
Busplatine Steckplatz 1	B 6 A 11	DRQ 2 AEN	nicht beschaltet AEN für Steckplatz 1
Busplatine Steckplatz 2	B 6 A 11	DRQ 2 AEN	nicht beschaltet AEN für Steckplatz 2

Im Auslieferungszustand sind die Brücken so eingestellt, daß das Identsystem aktiv geschaltet ist. Das Signal DRQ 2 ist an den Erweiterungssteckplätzen der Busplatine nicht verfügbar (DRQ 2 wird von dem auf der Grundplatine vorhandenen Floppydisk-Controller belegt).

Soll das Signal DRQ 2 an den Erweiterungssteckern der Busplatine verfügbar gemacht werden, kann die Belegung der Steckbrücken geändert werden (siehe auch Bild 18.2). Identfähige Baugruppen auf den Erweiterungssteckplätzen können dann nicht mehr erkannt werden.

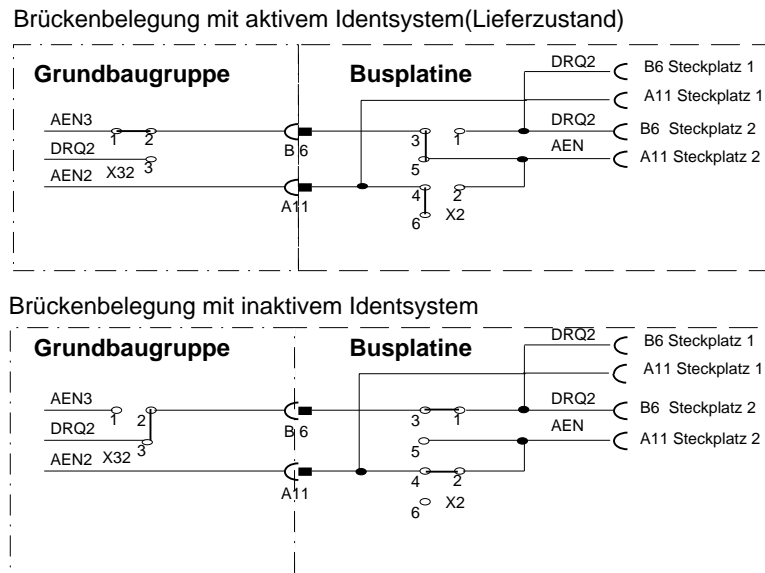


Bild 18.2: Brückeneinstellungen der Signale AEN und DRQ 2

18.4 Beschreibung der Bussignale

Die Abkürzungen in den Klammern haben folgende Bedeutung:

E = Eingang
A = Ausgang

SA0 ... SA19 (E/A):

Diese Adressen werden zur Adressierung des Systemspeichers und der I/O-Komponenten benutzt. Zusammen mit den Adressen LA17 bis LA23 kann auf den gesamten Adreßbereich von 16 Mbyte zugegriffen werden. SA0 ... SA19 werden mit der fallenden Flanke von "BALE" gelatcht. Die Signale sind deshalb über den gesamten Zyklus bis zum nächsten "BALE" stabil. Diese Signale können vom Mikroprozessor, vom DMA-Controller oder von einem externen Master geliefert werden.

LA17 ... LA23 (E/A):

Diese Signale werden zur Speicher- bzw. I/O-Adressierung verwendet. Diese Adreßleitungen werden zur Decodierung von -I/OCS16, -MemCS16 und 0WS verwendet, da die LA-Adressen vor den SA-Adreßleitungen auf dem Bus zur Verfügung stehen.

Um zur Decodierung einen Zeitvorlauf zu bekommen, sind sie nicht gelatcht und deshalb auch nicht über den gesamten Prozessorzyklus gültig. Diese Signale können vom Mikroprozessor, vom DMA-Controller oder auch von externen Mastern getrieben werden.

Die Signale sind gültig, wenn das Signal "BALE" high ist. Mit diesen Signalen können Memory-Decoder mit 16 bit, 0WS bzw. 16 bit, 1WS realisiert werden. Die decodierten Signale, sollten mit der fallenden Flanke von "BALE" gelatcht werden.

SYSCLK (A):

Systemtakt mit einer Frequenz von 8 MHz (125 ns Zykluszeit und Tastverhältnis 50%).

RESET-DRV (A):

Rücksetzsignal für die gesamte Hardware (active high).

SD0 ... SD15 (E/A):

Diese Signale bilden den 16 bit breiten Systemdatenbus. SD0 ist das niederwertigste Bit. Bei 8-bit-Komponenten werden die Signale SD0 ... SD7 verwendet. Zur Unterstützung von 8-bit-Komponenten wird das auf höherwertige Byte (SD8 ... SD15) bei 8-bit-Datentransfer auf das niederwertige Byte (SD0 ... SD7) geschaltet. Ein 16-bit-Datentransfer zu 8-bit-Komponenten wird in 2 Transfers zu je 8 bit durchgeführt.

BALE (A):

"Address latch enable" wird vom ISA-Bus-Controller erzeugt und dient als Signal zum Speichern von gültigen Adressen. Auf dem Systembus steht dieses Signal gepuffert als Indikator einer gültigen Prozessor- oder DMA-Adresse (zusammen mit "AEN") zur Verfügung. SA0 ... SA19 werden mit der fallenden Flanke von BALE gespeichert. Für die Dauer von Prozessor-HOLD-Zuständen wird BALE auf "logisch high" gezogen.

-I/O CHCK (E):

Mit diesem Signal "Input/Output Channel Check" kann dem System ein nicht korrigierbarer Fehler (z.B. Parity) von externen Komponenten angezeigt werden. Wenn dieses Signal "aktiv" ist, wird ein NMI ausgelöst.

Während der Identifikationsphase wird mit diesem Signal eine identifizierbare Baugruppe gekennzeichnet

-I/O CHRDY (E):

"Systembus-READY" wird von externen Komponenten auf Low gezogen (not ready), wenn diese einen verlängerten I/O- bzw. Memory-Zyklus benötigen. Beim Verwenden dieses Signals ist darauf zu achten, daß "I/O Channel Ready" unmittelbar nach Erkennen der gültigen Adresse und "READ" oder "WRITE" auf Low gezogen wird. Der Buszyklus wird um das Vielfache der SYSCLK-Zyklen (125 ns) verlängert, wobei die maximale Zeit von 2,5 µs nicht überschritten werden darf.

IRQ 3 bis IRQ 7, IRQ 9 ... IRQ 12, IRQ 14 und IRQ 15 (E):

Diese Interrupt-Request-Signale stehen auf dem Systembus für externe Komponenten mit folgender Priorität zur Verfügung:

IRQ 9 (bei XT-Karten wird IRQ 9 anstelle des IRQ 2 benutzt) bis IRQ 12, IRQ 14 und IRQ 15 haben die höhere Priorität (IRQ 9 hat die höchste), und IRQ 3 bis IRQ 7 haben die niedrigere Priorität (IRQ 7 hat die niedrigste).

Eine Interrupt-Anforderung wird durch eine positive Flanke auf einer IRQ-Leitung ausgelöst. Das Signal muß dann so lange auf "high" gehalten werden, bis der Prozessor die Anforderung quittiert (Interrupt Service Routine). Weitere Hinweise zum Interrupt finden Sie in Kapitel Interrupt-Behandlung.

Die Interrupts 3, 4, 5 und 7 sind von den Schnittstellen auf dem Systemboard belegt, können jedoch gesperrt werden und stehen dann auf den Peripheriesteckplätzen zur Verfügung. Interrupt 13 wird vom Systemboard benutzt und steht an der Busschnittstelle nicht zur Verfügung. Interrupt 8 wird von der Echtzeituhr benutzt.

-I/OR (E/A):

"-I/O Read" fordert I/O-Komponenten auf, ihre Daten auf den Datenbus aufzuschalten. Dieses Signal kann vom Prozessor, dem DMA-Controller oder von externen Mastern getrieben werden. Es ist active low.

-I/OW (E/A):

"-I/O Write" fordert I/O-Komponenten auf, Daten vom Datenbus zu lesen. Dieses Signal kann vom Prozessor, dem DMA-Controller oder von externen Mastern getrieben werden. Es ist active low.

-SMEMR (A) -MEMR (E/A):

"-SMEMR" und "-MEMR" fordern Speicherkomponenten auf, Daten auf den Datenbus aufzuschalten. "-SMEMR" ist nur im unteren 1 Mbyte-Bereich aktiv. "-MEMR" ist im gesamten 16 Mbyte-Speicherbereich aktiv, "-MEMR" kann von jedem Prozessor oder DMA-Controller im System getrieben werden. Beide Signale sind active low.

Wenn ein externer Master "-MEMR" treiben möchte, müssen die Adressen eine Systemtaktperiode vor der negativen Flanke des Signals "-MEMR" auf den Adreßbus aufgeschaltet sein.

-SMEMW (A) -MEMW (E/A):

"-SMEMW" und "-MEMW" fordern Speicherkomponenten auf, Daten vom Datenbus zu übernehmen. "-SMEMW" ist nur im unteren 1 Mbyte-Bereich aktiv. "-MEMW" ist im gesamten 16 Mbyte-Speicherbereich aktiv. "-MEMW" kann vom Prozessor oder vom DMA-Controller des Systems betrieben werden. Beide Signale sind active low.

Wenn ein externer Master "-MEMW" treiben möchte, müssen die Adressen eine Systemtaktperiode vor der negativen Flanke des Signals "-MEMW" auf den Adreßbus aufgeschaltet sein.

DRQ 0 bis DRQ 3 und DRQ 5 bis DRQ 7 (E):

Die DMA-Anforderungen 0 bis 3 sowie 5 bis 7 sind asynchrone Signale von der Peripherie oder von externen Mastern, die DMA-Service vom System oder Kontrolle über das System anfordern. Die Signale sind active high.

DRQ 0 hat die höchste und DRQ 7 die niedrigste Priorität. Eine DMA-Anforderung wird durch Aktivierung einer DRQ-Leitung ausgelöst. Das Signal muß so lange "high" bleiben, bis das zugehörige "DMA-Acknowledge-Signal" (DACK) aktiv wird.

DRQ 0 bis DRQ 3 sind für 8-bit-DMA-Verkehr vorgesehen, während DRQ 5 bis DRQ 7 für 16-bit-DMA-Zugriffe zur Verfügung stehen. DRQ 4 wird auf dem Systemboard verwendet und ist nicht auf dem Bus verfügbar.

-DACK 0 bis -DACK 3 und -DACK 5 bis -DACK 7 (A):

-DMA-Acknowledge 0 bis 3 und 5 bis 7 quittieren DMA-Anforderungen (DRQ). Diese Signale sind active low.

AEN (A):

"Address Enable" trennt den Microprozessor und andere Komponenten vom Systembus, um die Identifikation und den DMA-Verkehr zu ermöglichen. Wenn dieses Signal high ist, steuert der DMA-Controller den Adreß- und Datenbus sowie die Read- und Write-Steuersignale (I/O und Memory), oder es findet die Identifikation einer anderen Baugruppe statt. Wenn AEN high ist, sind auf dem Adreßbus Memory-Adressen. Die I/O-Adreßauswertung muß deshalb während dieser Zeit gesperrt werden. AEN = low ist daher in der I/O-Adreßdecodierung zu berücksichtigen.

Mit AEN = low, zusammen mit SA16 = high, wird eine Baugruppe zur Identifikation angefordert (siehe Kapitel Identifikation).

-OWS (E):

"Null Waite State" verhindert das Auftreten eines Waitstates im 16-bit-Buszyklus. Es kann von der Adreßdecodierung abgeleitet und von den Schreib-Lese-Signalen freigegeben werden. Dieser Eingang ist low-aktiv und kann durch einen Tristate oder einen Open-Collector-Ausgang mit einem zulässigen Strom von 20 mA getrieben werden.

-REFRESH (E/A):

Dieses Signal zeigt einen Refresh-Zyklus an. Es kann auch von einem externen Prozessor erzeugt werden (aktiv low).

T/C (A):

"Terminal Count" erzeugt einen Impuls, wenn der Zählerendstand eines DMA-Kanals erreicht wird.

SBHE (E/A):

"Bus High Enable" zeigt einen Datentransfer des höherwertigen Bytes auf dem Systembus an. 16-bit-Komponenten benutzen dieses Signal zur Steuerung des Datenbustreibers (SD8 bis SD15) (aktiv low).

-MASTER (E):

Dieses Signal kann zusammen mit einer DRQ-Leitung benutzt werden, um einem externen Master (Prozessor oder DMA-Controller auf Erweiterungskarte) die Steuerung des Systems zu ermöglichen.

Der externe Master gibt ein DRQ auf einen DMA-Kanal. Nachdem -DACK empfangen wurde, kann das "MASTER-Signal" aktiviert werden, um dem externen Master den Zugriff auf den Systembus zu ermöglichen.

Nachdem "MASTER" aktiviert wurde, muß der externe Master mindestens 1 Taktperiode warten, bis er auf die Adreßleitung zugreift und mindestens 2 Taktperioden, bevor er einen Lese- bzw. Schreibbefehl durchführt. Der Master darf den Bus max. 15 µs besitzen, wenn von ihm kein Refresh des Systemspeichers durchgeführt wird.

Außerdem muß man berücksichtigen, daß beim Datentransfer von und zum Floppy-disk-Laufwerk alle 13 µs ein Datum per DMA transferiert werden muß.

-I/O CS16 (E):

"Input/Output 16-bit-Chipselect" zeigt dem System an, daß ein 16 bit 1 Waitstate-I/O-Zyklus durchgeführt werden kann. Es kann von der Adreßdecodierung abgeleitet werden und sollte durch einen Tristate oder einen Open-Collector-Ausgang mit einem zulässigen Strom von 20 mA getrieben werden.

-MEM CS16 (E):

"Memory 16-bit-Chipselect" zeigt dem System an, daß ein 16 bit 0 oder 1 Waitstate-Speicherzyklus durchgeführt werden kann. Zur Decodierung dieses Signals können die Adreßleitungen LA17-LA23 verwendet werden. Als Treiber kann ein Tristate oder Open-Collector-Ausgang mit einem zulässigen Strom von 20 mA dienen.

OSC (A):

"OSC" ist ein Oszillatorkausgang mit einer Frequenz von 14,31818 MHz (70 ns Zykluszeit und 50% Tastverhältnis).

19 ARCNET-Interface

ARCNET steht für Attached Ressource Computer Network. Es kann Rechnersysteme (Siemens Computer, Programmiergeräte) koppeln. Die Rechnersysteme sind über Lichtwellenleiter miteinander verbunden. Je nachdem, welches LWL-Modul verwendet wird, kann ein Plastik oder ein Glasfaser-Lichtwellenleiter verwendet werden. Das PG 730 ist standardmäßig mit einem Plastik-LWL-Anschluß ausgerüstet. Zwei Rechnersysteme dürfen max. 20 Meter bei Plastik-LWL und 1000 Meter bei Glas-LWL auseinanderliegen. Die Ausdehnung des gesamten Netzwerks sollte kleiner als 6000 m sein. Die Datenübertragungsrate beträgt 2,5 Mbit/s.

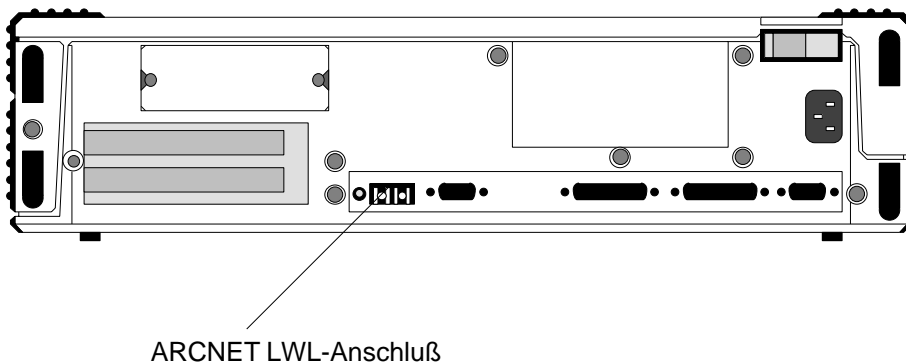


Bild 19.1: Lage der ARCNET-Schnittstelle

Die Netzwerkstruktur von ARCNET entspricht einer Baumstruktur, d.h. die Teilnehmer sind an einem gemeinsamen Knoten gekoppelt. Bei mehr als zwei Teilnehmern ist eine Knotenvermittlungsstelle (HUB) nötig. Je nach Ausbau des Netzwerks können auch mehrere Knotenvermittlungsstellen miteinander gekoppelt werden. Es können max. 255 Teilnehmer an das Netz angeschlossen werden.

Das ARCNET zugrundeliegende "modified token passing"-Verfahren beruht darauf, daß von Knoten (RIM = **R**esource **I**nterface **M**odule) zu Knoten (RIM) ein Token (= Pfand) weitergereicht wird. Hat ein Knoten den Token, so kann er über das Netzwerk verfügen und Nachrichten senden, während alle anderen Knoten mithören und empfangen. Dabei werden Quittungen für Sendungen und Meldungen über den Zustand des Empfangspuffers protokolliert. Dadurch werden Daten- und Zeitverluste vermieden. Bei Ab- und Zuschalten von Knoten rekonfiguriert sich das Netzwerk selbst.

19.1 Blockschaubild

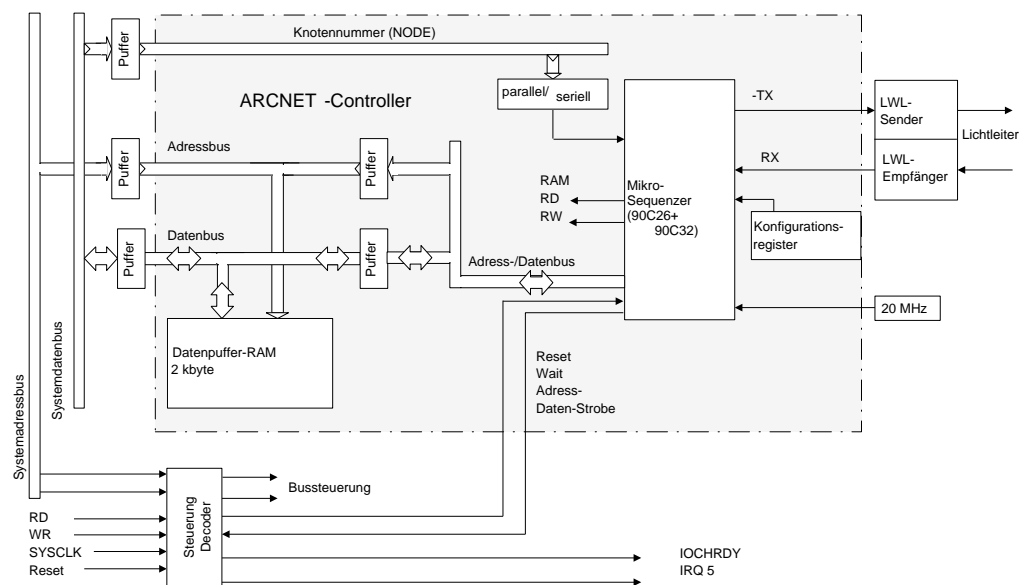


Bild 19.2: Blockschaubild des ARCNET-Interface

Das ARCNET-Interface besteht in der Hauptsache aus

- dem Controller 90C66 (9026, 9032, 2 kbyte statischen RAM integriert)
- und dem LWL-Sender und Empfänger für Plastik-Lichtwellenleiter

Bei dem ARCNET-Controller handelt es sich um einen hochintegrierten Baustein, der wiederum aus einem Mikrosequenzer, einem dual-ported RAM-Puffer und einigen Konfigurations- und Steuerregister besteht.

Der Mikrosequenzer übernimmt die Steuerung des RAM, und gleichzeitig sorgt er für den Empfang und das Senden von Telegrammen. Empfangene Telegramme werden im RAM abgelegt. Der Hardware-Interrupt 5 (IRQ 5) signalisiert der CPU, daß ein Telegramm vorliegt. Zum Senden von Telegrammen werden diese von der CPU im RAM-Puffer abgelegt. Mit Hilfe der Steuerregister wird dem Controller der Auftrag gegeben, das Telegramm aus dem RAM-Puffer zu senden.

Nach POWER ON und RESET liest der Mikrosequenzer seine geladene Knotennummer ein (siehe auch SETUP). Die Knotennummer ist die Adresse im Netzwerk, mit der der Controller seine für ihn bestimmten Telegramme erkennt. Der zurückgesetzte Controller sorgt dann für eine Rekonfiguration des Netzwerks, was bedeutet, daß die Token-Weitergabe unterbrochen wird und von dem Controller mit der niedrigsten Knotennummer ein neuer Token erzeugt wird. Zweifach vergebene Knotennummern führen daher zu einer dauerhaften Neukonfiguration, während der kein Telegrammverkehr möglich ist. Im Netzwerk senden darf immer nur der Knoten, der gerade den Token besitzt. Hat er sein Telegramm gesendet oder hat er keines zu senden, so reicht er den Token an den Knoten mit der nächst höheren Knotennummer weiter. Der Knoten mit der höchsten Knotennummer reicht den Token an den Knoten mit der niedrigsten Knotennummer weiter.

19.2 Adreßbereiche der ARCNET-Schnittstelle

Die ARCNET-Schnittstelle wird mit dem I/O-Port 0065 H Bit 0 freigegeben.

Adresse 0065 H Bit 0 = 0: ARCNET-Schnittstelle gesperrt

Adresse 0065 H Bit 0 = 1: ARCNET-Schnittstelle freigegeben

Dieses Register wird bei jedem Systemhochlauf in der Initialisierungsphase vom ROM-BIOS in Abhängigkeit von den SETUP-Daten programmiert. Zum Betrieb der Schnittstelle wird mit dem ROM-residenten SETUP-Programm eine Knotennummer zwischen 01 und 255 (dez.) eingestellt und zum Sperren die Knotennummer 00 (Not Installed) eingetragen (siehe auch Kapitel ROM-BIOS).

Ist die Schnittstelle gesperrt, so ist der ARCNET-Adreßraum sowie der IRQ 5 für andere Baugruppen frei verfügbar.

Neben der Knotennummer wird mit dem SETUP-Programm die Reaktionszeit der Schnittstelle und ein Speicherbereich eingestellt. Es werden zwei Speicherbereiche unterschieden:

Standard-Adreßbereich "Memory-Mapped" 0E0000 H

Alternativ-Adreßbereich "Memory-/ I/O-Mapped" 0D0000 H

Zur Programmierung der Schnittstelle werden die Controller-Register und der RAM-Puffer benötigt. Je nachdem welcher Adreßbereich gewählt wurde, ergibt sich folgender Adreßplan für die wichtigsten Funktionen:

	Standard-Adreßbereich 0E0000 H	Alternativ-Adreßbereich 0D0000 H
Übertragungs-RAM-Puffer	0E0000h..0E07FF H Memory-Adressen	0D0000 H..0D07FF H Memory-Adressen
Controller-Freigabe Knotennummer Adreßraum select	0E0904 H Memory-Adr.	0D0904 H Memory-Adr. 0E0904 H Memory-Adr.
Controller-Register Status/Interruptmaske	0E0800 H Memory-Adr.	02E0 H I/O-Adr.
Controller-Register Kommando	0E0801 H Memory-Adr.	02E1 H I/O-Adr.
Controller-Register Reset	0E0808..0E080B H Memory-Adr.	02E8 H..02EB H I/O-Adr.
Interrupt	IRQ 5	IRQ 5

Die Memory-Adressen werden mit "MOV"-Befehlen, die I/O-Adressen mit "IN"- oder "OUT"-Befehlen angesprochen.

19.3 Initialisierung

Nach RESET ist die ARCNET-Schnittstelle gesperrt und der Controller ist im "Reset-Zustand". Wird das Bit 0 des I/O-Ports 0065 H gesetzt, so ist die Schnittstelle im Memory-Adreßraum 000E0000..000E0FFF H freigegeben.

Bevor die Schnittstelle benutzt werden kann, muß

1. der Adreßbereich gewählt werden
2. die Knotennummer programmiert werden
3. der Controller freigegeben werden
4. der Controller auf Adresse xx8 rückgesetzt werden (xx hängt vom gewählten Adreßraum ab; siehe oben)
5. gewartet werden, bis der Controller nach ca. 125 µs bereit ist
6. der Controller konfiguriert werden
7. der Controller initialisiert werden

Die Punkte 1 - 6 werden vom ROM-BIOS in Abhängigkeit von den SETUP-Einträgen bei jedem Systemneustart (RESET, Spannung EIN) erledigt und sind unabhängig vom Betriebssystem. Der Punkt 7 ist betriebssystemabhängig und wird vom jeweiligen Netzwerktreiber (NET-BIOS) erledigt.



Der Netzwerktreiber kann nur einmal geladen werden. Vor einem zweiten Laden müssen immer die Punkte 4 - 5 durchlaufen werden. Das erneute Laden ist nur bei nicht residenten Netzwerktreibern (FTARC) notwendig.

19.3.1 Wählen des Adreßbereichs**Memory Adresse 000E 0904 H bzw. 000D 0904 H nur schreiben**

Bit	
15..8	Knotennummer
7	0: Knotennummer speichern und freigeben 1: Knotennummer vom High-Byte einlesen (01 Übergang) nach POWER ON ist dieses Bit gelöscht (0)
6	0: der Controller ist freigegeben 1: der Controller wird auf Hardware-Reset gehalten und die Knotennummer ist gelöscht nach POWER ON ist dieses Bit gelöscht (0)
5	0: Memory-Adreßbereich 000E 0000..000E 0FFF H kein I/O-Bereich 1: alternativer Adreßbereich 000D 0000..000D 0FFF H und I/O-Bereich 02E0..02EF H nach POWER ON ist dieses Bit gelöscht (0)
4..0	immer 0 schreiben

19.3.2 Programmieren der Knotennummer und den Controller rücksetzen und freigeben

Mit der folgenden Programmroutine kann eine neue Knotennummer programmiert werden (ein ähnlicher Programmteil ist im BIOS enthalten).

```

MOV    AX,0E000h           ;default ARCNET-Segment
MOV    ES,AX
MOV    AX,Memory_Bereich  ;der Memory_Bereich = Seg. 0E000h
                                ;oder alternativ = Seg. 0D000h

MOV    DS,AX
AND    AH,20h              ;aus dem Segmentwert
XOR    AH,20h              ;wird Bit 5 errechnet
MOV    AL,AH
OR     AL,40h              ;Controller auf Reset


```

```
MOV    ES:[904h],AL          ;Controller-Adreßbereich immer
                                ;im Segment 0E000h setzen
MOV    AH,Knotennummer
OR     AL,80h
MOV    [904],AX              ;mit der steigenden Flanke des Bits 7
                                ;wird die Knotennummer geschrieben
AND    AL,0FFh-80h-40h      ;Bit 7 und Reset-Bit (Bit 6) löschen
MOV    [904],AL
```

 Das Register mit dem Offset 0904 H ist nicht rücklesbar.

19.3.3 Controller konfigurieren

Der ARCNET-Controller muß konfiguriert werden. Dies geschieht über die Controller-Register (siehe weiter unten). Dabei wird das Bus-Interface (8/16 bit, Waitstates) und das Netzwerk-Interface (ET-Bits) definiert. Nachdem der Controller konfiguriert ist, wird er erneut mit dem Software-Reset zurückgesetzt. Für einen Software-Reset genügt das Schreiben oder Lesen eines Reset-Registers (Register 8) des Controllers. Ab diesem Zeitpunkt geht der Controller an das Netzwerk und die Transmit-LED wird aktiviert. Im Memory-Puffer (Übertragungspuffer) wird automatisch bei Offset 0 das Datum 0D1 H und bei Offset 1 die eigene Knotennummer eingetragen, sobald der Controller die Reset-Sequenz nach ca. 125 µs beendet hat. Das Kontrolllesen des Datums 0D1 H und der Knotennummer muß mehrfach durchgeführt werden, wobei die Daten spätestens 150 µs nach dem erstem Kontrolllesen lesbar sein müssen.

 Wird Bit 0 von I/O-Port 0065 H gelöscht und wieder gesetzt oder wird Bit 6 auf der Offset-Adresse 0904 H gesetzt und wieder gelöscht, so hat der ARCNET-Controller einen Hardware-Reset erfahren. Danach geht der Controller wieder erneut an das Netzwerk, jedoch bleibt der Zugriff auf den Memory-Puffer bis nach einem Software-Reset gesperrt.

19.4 Die Controller-Register

Die Controller-Register werden im Memory-Adreßbereich 000E 0000 H mit Memory-Befehlen "MOV" bei den Adressen 000E 0800 H + REGISTER angesprochen. Im alternativen Adreßbereich 000D 0000 H werden die Controller-Register mit I/O-Befehlen "IN" "OUT" bei den Adressen 02E0 + REGISTER angesprochen.

Register	Zugriff	Bedeutung
0 H	lesen/-----	Controller-Status
0 h	-----/schreiben	Interrupt-Maske
1 H	-----/schreiben	Controller-Kommando
1 H	lesen/-----	Diagnosestatus
2 H	lesen/schreiben	Konfiguration
3 H	lesen/-----	I/O-Adresse
4 H	lesen/-----	Memory-Pufferadresse
5 H	lesen/schreiben	internes Knotennummernregister
6 H	-----/-----	reserviert
7 H	-----/schreiben	externes Register
8..0B H	lesen/schreiben	Controller-Software-Reset
0C H	lesen/schreiben	Datenbyte Low
0D H	lesen/schreiben	Datenbyte High
0E H	lesen/schreiben	Adresspointer Low
0F H	lesen/schreiben	Adresspointer High

19.4.1 COM9026 Register**Status Adresse 000E 0800 H (alt. I/O-Adr. 02E0 H) nur lesen**

Bit	
7	1: Telegramm empfangen
6	ET 1 Schalter Reg.1 Bit 4
5	ET 2 Schalter Reg.2 Bit 3
4	1: POWER ON Reset ist erfolgt
3	1: Test
2	1: Rekonfigurations-Time-Out
1	1: gesendetes Telegramm ist quittiert
0	1: Transmitter ist sendebereit

Interrupt-Maske Adresse 000E 0800 H (alt. I/O-Adr. 02E0 H) nur schreiben

Bit	Interrupt-Freigabe (IRQ 5) wenn Bit = 1
7	1: Telegramm empfangen
6	-
5	-
4	-
3	-
2	1: Rekonfigurations-Time-Out
1	-
0	1: Transmitter ist sendebereit

Kommando Adresse 000E 0801 H (alt. I/O-Adr. 02E1 H) nur schreiben

Bit 7 6 5 4 3 2 1 0	
x x x x 0 0 0 0	nur für COM 90C66/'165 Transmit-Interrupt löschen
x x x x x 0 0 1	Sender sperren
x x x x x 0 1 0	Empfänger sperren
x x x n n 0 1 1	Senden von Seite 'nn' freigeben
b x x n n 1 0 0	Empfang auf Seite 'nn' freigeben b = 1: empfangen auch Sendungen an alle (Broadcasting)
x x x x c 1 0 1	Konfiguration: c = 0: 1 kbyte RAM-Puffer c = 1: 2 kbyte RAM-Puffer
x x x r p 1 1 0	Flags löschen r = 1: Rekonfigurationsflag löschen p = 1: POWER ON Flag löschen
x x x x 1 0 0 0	nur für COM 90C66/'165 Receive-Interrupt löschen

19.4.2 Weitere Funktionsregister**Diagnose Status Adresse 000E 0801 H (alt. I/O-Adr. 02E1 H) nur lesen**

Bit	
7	1: eigener Knoten löst eine Rekonfiguration aus
6	-
5	1: Empfangsaktivitäten im Netzwerk gesehen
4	1: Token im Netzwerk gesehen
3	-
2	-
1	-
0	-

Konfiguration Adresse 000E 0802 H (alt. I/O-Adr. 02E2 H) lesen und schreiben

Bit			
7	Busbreitendefinition: immer 0: Der Controller darf nur im 8-bit-Mode betrieben werden ! nach Reset ist das Bit gelöscht		
6	1: Command Chaining enable		
5	Decodiermodus immer 1		
4	ET1 (siehe unten)		
3	ET2 (siehe unten)		
2	0: beim Zugriff werden keine Waitstates eingefügt		
1	1: der Zugriff auf den Übertragungspuffer erfolgt über die Register xxxD..xxxF H 0: der Zugriff auf den Übertragungspuffer erfolgt über direkte Memory-Adressierung		
0	1: der Sender ist abgeschaltet		
Extending Time-Out Bits (ET1,2) der Standardwert 11 wird nach Reset eingestellt			
ET1	ET2	Antwortzeit in μ s	Rekonfigurations- zeit in μ s
1	1	78	840
1	0	285	1680
0	1	563	1680
0	0	1130	1680

Einstellen des Zeitverhaltens

Mit den ET-Bits kann das Zeitverhalten des Controllers COM 90C66 an die Leitungslänge des Netzwerks angepaßt werden. Das Zeitverhalten ist abhängig von der Verzögerungszeit, die der Token benötigt, um einmal im Netz herumgereicht zu werden. Die Verzögerungszeit wird mitbestimmt durch das Übertragungsmedium (Koax, LWL, Anzahl der im Netz installierten HUB).

Es ist wichtig, daß alle Netzwerkteilnehmer die gleiche Verzögerungszeit eingestellt haben, da sonst Störungen auftreten können.

Die Antwortzeit wird ermittelt:

- pro Knotenvermittlungsstelle (HUB) ca. $2 \times 0,2 \mu\text{s}$
- + pro 1 km Koaxialleitung RG62/U ca. $2 \times 4,2 \mu\text{s}$
- + Reaktionszeit des COM 90C66 ca. $12,6 \mu\text{s}$

Zum Einstellen des Zeitverhaltens wird das ROM-residente SETUP-Programm benutzt. Mit diesem Programm kann die Antwortzeit des Controllers an das Netzwerk angepaßt werden. Erst nachdem das System mit den geänderten Werten erneut gebootet worden ist, sind die Einstellungen gültig (siehe Kapitel BIOS).

I/O-Adresse Adresse 000E 0803 H (alt. I/O-Adr. 02E3 H) nur lesen

Bit	
7..6	immer 0
5..0	Controller-Register-Adresse

Das Schreiben auf diesem Register hat keine Auswirkung.

Memory-Puffer-Adresse Adresse 000E 0804 H (alt. I/O-Adr. 02E4 H) nur lesen

Bit	
7..0	Memory-Puffer-Adresse


Das Schreiben auf diesem Register hat keine Auswirkung.

internes Knotennummernregister Adresse 000E 0805 H (alt. I/O-Adr. 02E5 H) lesen und schreiben

Bit	
7..0	Knotennummer

externes Register Adresse 000E 0807 H (alt. I/O-Adr. 02E7 H) nur schreiben

Bit	
7..0	unbenutzt

 Das Lesen dieses Registers kann zum Systemhalt führen!

Software-Reset Adresse 000E 0808 H..000E 080B H (alt. I/O-Adr. 02E8..02EB H) nur schreiben

Bit	
7..0	unbenutzt

Beim Lesen wird auch ein Reset durchgeführt, aber der Rückgabewert ist undefiniert.

19.4.3 Übertragungspuffer-Zugriffsregister

Datenbyte Low Adresse 000E 080C H (alt. I/O-Adr. 02EC H) lesen und schreiben

Bit	
7..0	Datenbits D7..D0

Datenbyte High Adresse 000E 080D H (alt. I/O-Adr. 02ED H) lesen und schreiben

Bit	
7..0	Datenbits D15..D8

Adreßpointer Low Adresse 000E 080E H (alt. I/O-Adr. 02EE H) lesen und schreiben

Bit	
7..0	Pufferoffset-Adreßbit A7..A0

Adreßpointer High Adresse 000E 080F H (alt. I/O-Adr. 02EF H) lesen und schreiben

Bit	
7	unbenutzt immer 0 schreiben
6	1: Pointer Autoincrement 0: kein Autoincrement
5..3	unbenutzt immer 000 schreiben
2..0	Pufferoffset-Adreßbit A10..A8

19.5 Übertragungspuffer

Der Übertragungspuffer ist ein 2 kbyte großes, statisches RAM, das im Controller-Baustein integriert ist. Es ist aufgeteilt in vier Seiten zu je 512 byte.

Puffer-RAM:

Bei der Basisadresse 000E 0000 H oder bei der alternativen Basisadresse 000D 0000 H

0000 H	Seite 0
0200 H	Seite 1
0400 H	Seite 2
0600 H	Seite 3

Telegrammaufbau auf einer Seite des RAM-Puffers:

Der Telegrammaufbau gilt für zu sendende und für empfangene Telegramme. Die Adresse ermittelt sich aus der Basisadresse plus dem Offset der jeweiligen Seite plus dem unten angegebenen Adr.-Offset.

Für kurze Telegramme:

Adr.-Offset:	00h:	SID	HW-Knotennr. der Quelle (SID= source identification number)
Adr.-Offset:	01h:	DID	HW-Knotennr. des Zieles (DID= destination identification number)
Adr.-Offset:	02h:	Zähler	= 256 - Anzahl der zu übertragenden Bytes
Adr.-Offset:	03h	Datenbytes	
	::	:	:
	0FFh	:	:

Für lange Telegramme:

Adr.-Offset:	00h:	SID	HW-Knotennr. der Quelle (SID= source identification number)
Adr.-Offset:	01h:	DID	HW-Knotennr. des Zieles (DID= destination identification number)
Adr.-Offset:	02h:	00h	immer 00h als Kennung für lange Telegr.
Adr.-Offset:	03h:	Zähler	= 512 - Anzahl der zu übertragenden Bytes
Adr.-Offset:	04h:	Datenbytes	
	:	:	:
	:	:	:
	1FFh	:	:

Die Datenbytes eines Telegramms werden grundsätzlich an das Ende der Seite geschrieben, wobei das letzte zu übertragende Byte am Seitenende steht.

20 Diskettenlaufwerk

Das 3,5"-Diskettenlaufwerk hat eine Gesamtkapazität von 1,44 Mbyte.

In diesem Laufwerk können doppelseitige 3,5"-Disketten (80 Spuren je Seite) eingesetzt werden, entweder "high density" mit 1,44 Mbyte oder "normal density" mit 720 kbyte; die Anpassung des Laufwerks auf den Diskettentyp erfolgt automatisch durch Abtastung der HD-Öffnung in der Diskette (Vorzugseinstellung). Als Aufzeichnungsformat wird "MFM" angewendet.

20.1 Technische Daten

20.1.1 Stromversorgung

3,5"-Laufwerk

Spannung	+ 5 V +/-5%	+ 12 V +/-5%
Typisch	280 mA	nicht
Mittel	520 mA	verwendet
Spitze	800 mA	beim
		3,5"-
Stand by	10 mA	Laufwerk

Eine Schutzschaltung verhindert Datenverluste auf einer eingelegten Diskette beim Ein-/ Ausschalten des PG 730.

20.1.2 Funktionelle Daten des 3,5"-Laufwerks

Positionierung

Kopfpositionierung mittels Schrittmotor (4 Phasen, 20 Schritte/Umdrehung) und Führungsspindel
 2 Schritte je Spur
 mechanische Positionierbegrenzung
 Spur 0-Erkennung über LED und Fototransistor
 Spur-zu-Spur-Positionierzeit: 3 ms
 Beruhigungszeit: kleiner 15 ms
 mittlere Zugriffszeit: 94 ms (incl. Beruhigungszeit)

Kapazität/Antrieb

Direktgetriebener Spindelmotor
 Drehzahl 300 U/min
 Drehzahlabweichung +/- 1,5%
 Anlaufzeit kleiner 500 ms

Aufzeichnungsart		MFM	
Datenübertragungsrate (kbit/s)		umschaltbar 250/500	
Spuren/Diskette		160 = 80 (40) Zylinder, 2 Köpfe	
Bit-Dichte der innersten Spur (bpi)		8 717/17 434	
Fluß-Dichte der innersten Spur (frpi)		8 717/17 434	
Kapazität	unformatiert	kbyte/Spur	6,25/12,5
		kbyte/Diskette	1000 kbyte/2000 kbyte
	formatiert 9/18 Sektoren pro Spur	byte/Sektor	0,512 kbyte
		byte/Spur	4,608 kbyte/9,216 kbyte
		byte/Diskette	737,28 kbyte/1,47456 Mbyte

Diskettendaten 3,5"-Laufwerk**Indexerkennung**

Softsektorierte Disketten (1 Indeximpuls je Umdrehung)
Erkennung mittels Hall-IC an der Spindel

Zuverlässigkeit

MTBF:	10000 Betriebsstunden, typisch
MTTR:	30 Minuten
typische Lebensdauer:	5 Jahre
korrigierbare Lesefehler:	1 je 10^9 bit (2 Versuche)
nicht korrigierbare Lesefehler:	1 je 10^{12} bit
Positionierfehler:	1 je 10^6 Positionierungen

Kopfladeeinrichtung

nicht erforderlich (Ladebedingung ist immer erfüllt, wenn eine Diskette eingeschoben wird.) Eine eingeschobene Diskette wird über Schalter erkannt.

Schreibschutz

Der Schreibschutzschieber wird über Schalter abgetastet. (Die Diskette ist schreibgeschützt, wenn der Schieber an der Diskette die Schreibschutzöffnung nicht abdeckt.)

Abschlußwiderstände

1 k Ω +/- 5% fest eingebaut.

20.2 Anschlußbelegungen

Signal	Input/Output (bezogen auf Laufwerk)	Pin- Bezeichnung Signal	Pin- Bezeichnung GND
HD IN/OPEN/HD OUT	In/Out	2	1
IN USE/HEAD LOAD (offen)	Input	4	3
DRIVE SELECT 3 (reserviert)	Input	6	5
INDEX	Output	8	7
DRIVE SELECT 0	Input	10	9
DRIVE SELECT 1	Input	12	11
DRIVE SELECT 2 (reserviert)	Input	14	13
MOTOR ON	Input	16	15
DIRECTION SELECT	Input	18	17
STEP	Input	20	19
WRITE DATA	Input	22	21
WRITE GATE	Input	24	23
TRACK 00	Output	26	25
WRITE PROTECT	Output	28	27
READ DATA	Output	30	29
SIDE ONE SELECT	Input	32	31
DISK CHANGE	Output	34	33

Das 3,5"-Laufwerk verfügt über einen indirekten Steckanschluß.

Bedeutung der Signale (Die Signale sind bei Low-Pegel aktiv):

HD IN/OPEN/HD OUT, Eingang/Ausgang

Beim 3,5"-Laufwerk wird das Signal am Stift 2 von der nachfolgenden Brückeneinstellung beeinflusst. Die Schreibdichte wird auf folgende Weise ausgewählt:

Auswahl (Stift 2)	Brückeneinstellung				Signal am Stift 2	Richtung
	HHI	LHI	OP	HHO		
1	ein	auf	auf	auf	HD IN	Eingang
2	auf	ein	auf	auf	HD IN	Eingang
3 *	auf	auf	ein	auf	OPEN	—
4	auf	auf	ein	ein	HD OUT	Ausgang

* Vorzugseinstellung ein = Brücke eingelegt, auf = Brücke offen

- 1) Signal von der Anschaltung; high = hohe Schreibdichte
- 2) Signal von der Anschaltung; low = hohe Schreibdichte
- 3) Signal nicht ausgewertet;
die Schreibdichte wird automatisch durch die Abtastung der HD-Öffnung in der Diskette erkannt.
- 4) Signal zur Anschaltung, high = hohe Schreibdichte;
die Schreibdichte wird automatisch durch die Abtastung der HD-Öffnung in der Diskette erkannt.

DRIVE SELECT 0 - 3, Eingänge

Über diese Eingänge wird das gewünschte Diskettenlaufwerk selektiert; nur die Signale DRIV SELECT 0 und 1 sind relevant. Für jedes Eingangssignal ist eine Brücke vorgesehen. Der Drive-Select-Eingang, dessen Brücke eingelegt ist, selektiert das Laufwerk, wenn er aktiv (Low) wird. Je Laufwerk darf nur eine Brücke eingelegt werden. Die Frontanzeige leuchtet, wenn das Laufwerk selektiert ist.

Beim PG 730 werden zur Laufwerksauswahl die Signale SELECT 1, SELECT 2, MOTOR ON 1 und MOTOR ON 2 der Diskettensteuerung verwendet. Diese vier Signale werden durch eine spezielle Konfiguration des Anschlußkabels auf die Eingänge SELECT 0, SELECT 1, SELECT 2 und MOTOR ON des Diskettenlaufwerks geführt.

Dadurch entfällt die unterschiedliche Brückenbestückung beim Einsatz von zwei Laufwerken.

MOTOR ON, Eingang

Das Signal schaltet den Motor ein, wenn es aktiv (low) ist.

DIRECTION SELECT, Eingang

Das Signal bestimmt die Richtung, in welche sich der Schreib-/Lesekopf bei einem Step-Impuls bewegt (nach außen = high, nach innen = low)

STEP, Eingang

Ein Impuls an diesem Eingang bewegt den Schreib-/Lesekopf eine Spur in die durch das Signal DIRECTION SELECT festgelegte Richtung. Sollte sich der Kopf auf Spur 0 befinden, so wird eine weitere Positionierung nach außen unterdrückt.

WRITE GATE, Eingang

Das Signal bewirkt die Freigabe von Lösch- und Schreibfunktion, wenn die Diskette nicht schreibgeschützt ist.

WRITE DATA, Eingang

Die an diesem Eingang anliegenden Daten werden auf die Diskette geschrieben, wenn WRITE GATE aktiv ist und die Diskette nicht schreibgeschützt ist.

SIDE ONE SELECT, Eingang

Das Signal bestimmt, welche Diskettenseite angesprochen wird (Seite 0 = high, Seite 1 = low). Seite 1 ist die Oberseite.

TRACK 0, Ausgang

Wenn dieser Ausgang aktiv (low) ist, befindet sich der Schreib-/Lese-kopf auf Spur 0.

INDEX, Ausgang

Der Indeximpuls markiert den Startpunkt einer Spur. Pro Disketten-umdrehung wird ein Indeximpuls erzeugt.

READ DATA, Ausgang

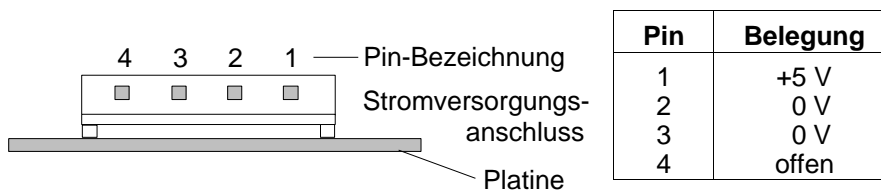
Dieser Ausgang liefert die von der Diskette gelesenen Daten.

WRITE PROTECT, Ausgang

Dieser Ausgang gibt an, ob die eingelegte Diskette schreibgeschützt ist (schreibgeschützt = low, nicht schreibgeschützt = high).

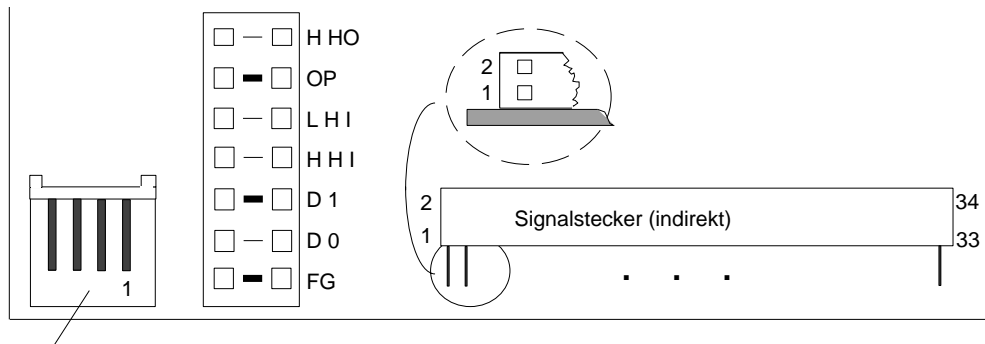
DISK CHANGE, Ausgang

Dieses Signal zeigt den Diskettenwechsel an.

20.3 Stromversorgungsanschluß

20.4 Brücken beim 3,5"-Laufwerk

Auf der Logikplatine befinden sich mehrere Steckbrücken, die folgendes Aussehen haben (Bild: die in der Vorzugeinstellung gesteckten Brücken sind dicker gezeichnet):



Stromversorgung

Bild 20.1: Brücken auf der Laufwerksplatine (3,5")

Brücke FG

Mit dieser Brücke, die fest eingelötet ist, ist das Chassis elektrisch mit GND (0 V) verbunden. Man kann diese Masseverbindung auftrennen, indem man die Brücke aufschneidet.

Die Gehäusemasse kann auch, falls erforderlich, mit einer M 2,6-Schraube – über dem Versorgungsstecker – angeschlossen werden.

Brücke D0, D1

Über diese Brücke wird festgelegt, unter welcher Nummer (0 oder 1) das Laufwerk angesprochen wird. Es darf nur eine Brücke eingelegt sein. Im PG 730 ist D1 eingelegt (Auch bei einem zweiten Laufwerk wird diese Brücke eingelegt, weil die Auswahl über das Kabel und über DRIVE SELECT 1/2 erfolgt).

Brücken HHI, LHI, OP, und HHO Diese Brücken beeinflussen zusammen mit dem Signal an Stift 2 die Auswahl der Schreibdichte. Die möglichen Kombinationen sind in einer Tabelle dargestellt (siehe Signalbeschreibung).

21 Festplattenlaufwerk

Beim PG 730 werden Festplattenlaufwerke mit 40 Mbyte bzw. 100 Mbyte Kapazität eingesetzt.

Die Laufwerke sind als AT-Bus-Festplattenlaufwerke (auch IDE-Drive) ausgeführt. Bei diesen Laufwerken ist die Laufwerkselektronik, die Festplattensteuerung und das AT-Bus-Interface auf dem Laufwerk integriert.

21.1 Stromversorgung

Mode	40 Mbyte Festplattenlaufwerk		100 Mbyte Festplattenlaufwerk	
	+5 V +/- 5 %	+12 V +/- 5%	+5 V +/- 5%	+12 V +/- 5%
Read/Write	275 mA	230 mA	320 mA	320 mA
Idle	120 mA	120 mA		
Spin-Up	180 mA	700 mA	310 mA	1000 mA

21.2 Funktionelle Daten

	40 Mbyte Laufwerk	100 Mbyte Laufwerk
Formfaktor	3,5"	3,5"
Nettokapazität	42,8 Mbyte	105 Mbyte
Anzahl der Platten	1	2
Anzahl der Köpfe	2	4
Interleave Faktor	1 : 1	1 : 1
Mittlere Zugriffszeit	25 ms	19 ms
Spur zu Spur	8 ms	6 ms
max. Zugriffszeit	50 ms	38 ms
Transfer-Rate Puffer zu AT-Bus	4,5 Mbyte/s	4,5 Mbyte/s
Transfer-Rate Platte zu Puffer	1,5 Mbyte/s	1,75 Mbyte/s
Startzeit typ.	5 s	8 s
Start-/Stopp-Zyklen	10000 min	10000 min
Puffergröße	8 kbyte	64 kbyte
Interface	Taskfile Interface	Taskfile-Interface
Aufzeichnungsverfahren	2 of 7 RLL	2 of 7 RLL
zul. Temperaturbereich	5 .. 55 °C	4 .. 50 °C
MTBF	40000 H	60000 H

21.3 Anschlußbelegung des AT-Bus-Interface-Steckers

Pin	Signal	Pin	Signal
1	RESET_N	2	0 V
3	D7	4	D8
5	D6	6	D9
7	D5	8	D10
9	D4	10	D11
11	D3	12	D12
13	D2	14	D13
15	D1	16	D14
17	D0	18	D15
19	0 V	20	KEY
21	reserviert	22	0 V
23	IOWRITE_N	24	0 V
25	IOREAD_N	26	0 V
27	IOCHRDY	28	reserviert
29	reserviert	30	0 V
31	IRQ	32	IOCS16_N
33	SA1	34	reserviert
35	SA0	36	SA2
37	CHIP SELECT0_N	38	CHIP SELECT1_N
39	ACTIVE_N	40	0 V

21.4 Stromversorgungsanschluß

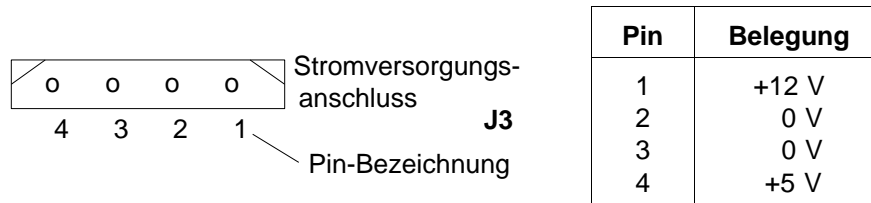


Bild 21.1: Stromversorgungsanschluss

Der Stromversorgungsanschluß ist beim 40 Mbyte-Laufwerk und beim 100 Mbyte-Laufwerk gleich.

21.5 Brücken

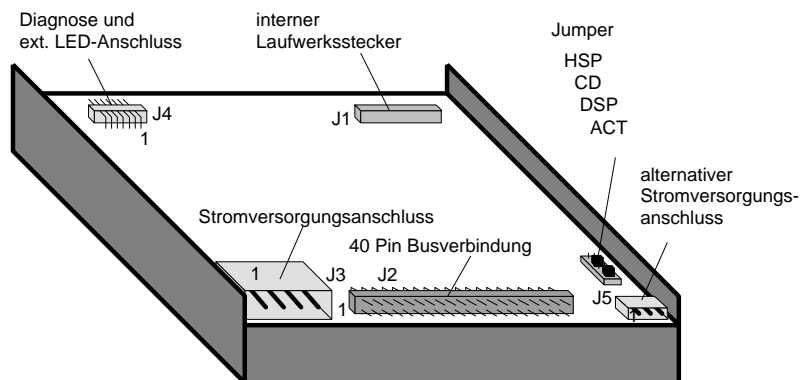


Bild 21.2: 40 Mbyte-Festplattenlaufwerk

21.5.1 Brückenbelegung am 40 Mbyte-Laufwerk

Auf der Leiterplatte des Laufwerks befinden sich vier Steckbrücken.

Mit den vier Brücken läßt sich das Laufwerk wie folgt einstellen:

- Einziges Laufwerk (Grundeinstellung)
- Master im Master-Slave-Betrieb (bei zwei Laufwerken)
- Slave im Master-Slave-Betrieb (bei zwei Laufwerken)

Brücke	einzelnes Laufwerk	Master	Slave
ACT	gesteckt	offen	offen
CD	gesteckt	gesteckt	offen
HSP	offen	offen	gesteckt
DSP	offen	gesteckt	offen

21.5.2 Einstellungen am 100 Mbyte-Laufwerk

Auf der Leiterplatte des Laufwerks befinden sich drei Steckbrücken (siehe Bild).

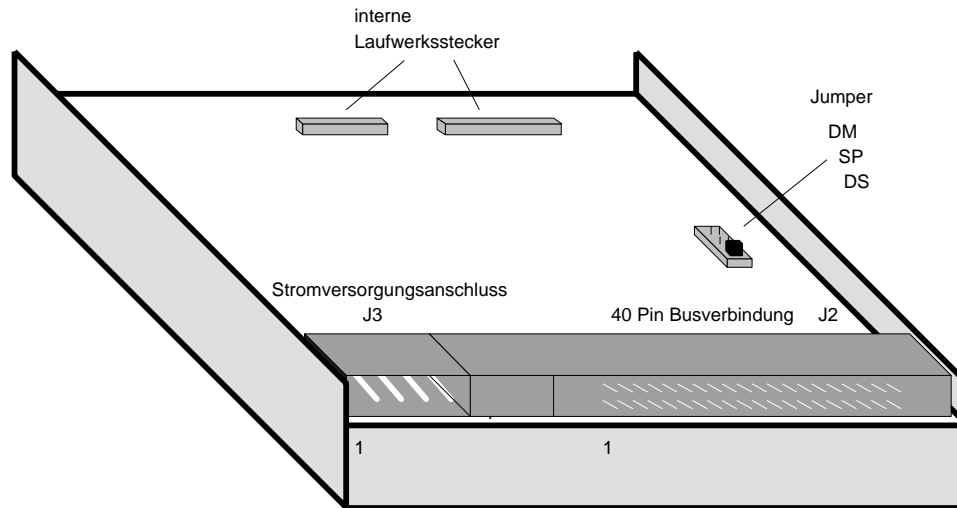


Bild 21.3: 100 Mbyte-Festplattenlaufwerk

Mit den drei Brücken lässt sich das Laufwerk wie folgt einstellen:

- Einziges Laufwerk (Grundeinstellung)
- Master im Master-Slave-Betrieb (bei zwei Laufwerken)
- Slave im Master-Slave-Betrieb (bei zwei Laufwerken)

Brücke	einzelnes Laufwerk	Master (using PDIAG)	Slave (using PDIAG)
DS	gesteckt	gesteckt	offen
SP	offen	offen	offen
DM	offen	offen	offen

22 Steckerbelegungen

22.1 Grundplatine

22.1.1 Steckerbelegung der seriellen Schnittstelle

Pin-Nummer	Kurzbezeichnung	Bedeutung	IN/OUT
2	TxD (D1)	Sendedaten	Ausgang
3	RxD (D2)	Empfangsdaten	Eingang
4	RTS (S2)	Sendeteil einschalten	Ausgang
5	CTS (M2)	Sendebereitschaft	Eingang
6	DSR (M1)	Betriebsbereitschaft	Eingang
7	GND (E2)	Betriebserde	---
8	DCD (M5)	Empfangs-Signalpegel	Eingang
9	+TTY_RxD	Linienstrom empfangen	Eingang
10	-TTY_RxD	Linienstrom empfangen	Eingang
18	+TTY_TxD	Linienstrom senden	Ausgang
19	+24 V	Stromquelle potentialfrei	----
20	DTR (S1)	Endgerät bereit	Ausgang
21	-TTY_TxD	Linienstrom senden	Ausgang
22	RI (M3)	ankommender Ruf	Eingang
1	-----	Schirm	-----
11-17	-----	nicht belegt	-----
23-25	-----	nicht belegt	-----

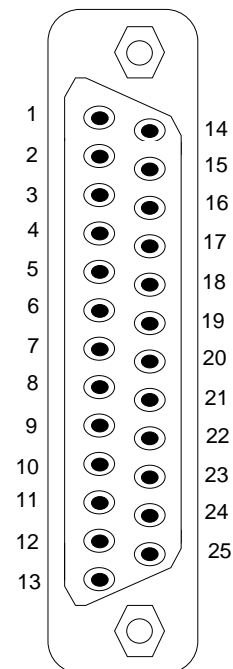


Bild 22.1: COM 1 V.24/TTY

Anmerkung: Wird die V.24-Schnittstelle (von COM 1) verwendet, ist die Empfangsstromschleife (+TTY_RxD/-TTY_RxD) zu unterbrechen.

22.1.2 Steckerbelegung der COM 2-Schnittstelle (Maus)

Pin-Nummer	Kurzbezeichnung	Bedeutung	IN/OUT
1	DCD (M5)	Empfangssignalpegel	Eingang
2	RxD (D2)	Empfangsdaten	Eingang
3	TxD (D1)	Sendedaten	Ausgang
4	DTR (S1)	Endgerät bereit	Ausgang
5	GND (E2)	Betriebserde	
6	DSR (M1)	Betriebsbereitschaft	Eingang
7	RTS (S2)	Sendeteil einschalten	Ausgang
8	CTS (M2)	Sendebereitschaft	Eingang
9	RI (M3)	ankommender Ruf	Eingang

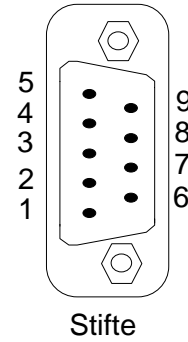


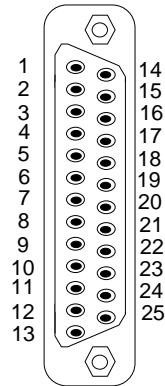
Bild 22.2: COM 2-Mausanschluß

Alle Signale der Mausschnittstelle erfüllen die CCITT-Empfehlung.

22.1.3 Steckerbelegung der LPT 1-Schnittstelle

Pin	Signal	Richtung
1	/STROBE	E/A
2	DAT 0	E/A
3	DAT 1	E/A
4	DAT 2	E/A
5	DAT 3	E/A
6	DAT 4	E/A
7	DAT 5	E/A
8	DAT 6	E/A
9	DAT 7	E/A
10	/ACK	E
11	BUSY	E/A
12	/FAULT	E
13	FREI	-
14	PR//SC	A
15	FREI	-
16	/RESET	A
17	/EN	A
18-25	GND	-

Beim bidirektionalen Betrieb



Pin	Signal	Richtung
1	/STROBE	A
2	DAT 0	A
3	DAT 1	A
4	DAT 2	A
5	DAT 3	A
6	DAT 4	A
7	DAT 5	A
8	DAT 6	A
9	DAT 7	A
10	/ACK	E
11	BUSY	E
12	P.E.	E
13	SELECT	E
14	/AUTFD	A
15	/ERROR	E
16	/INIT	A
17	/SLCTIN	A
18-25	GND	-

Beim Betrieb als Druckerschnittstelle

Bild 22.3: LPT 1-Parallelschnittstelle

E = Eingang A = Ausgang

Alle Pins liefern bzw. benötigen TTL-Pegel. Die Ausgänge der Schnittstellen dürfen nicht auf Masse gelegt werden!

22.1.4 AT-Busfestplatten-Interface X4

Pin	Signal	Pin	Signal
1	RESET_N	2	0 V
3	D7	4	D8
5	D6	6	D9
7	D5	8	D10
9	D4	10	D11
11	D3	12	D12
13	D2	14	D13
15	D1	16	D14
17	D0	18	D15
19	0 V	20	KEY
21	reserviert	22	0 V
23	IOWRITE_N	24	0 V
25	IOREAD_N	26	0 V
27	IOCHRDY	28	reserviert
29	reserviert	30	0 V
31	IRQ	32	IOCS16_N
33	SA1	34	reserviert
35	SA0	36	SA2
37	CS0_N	38	CS1_N
39	ACTIVE_N	40	0 V

22.1.5 Floppydisk-Schnittstelle X5

Pin	Signal	Pin	Signal
1	0 V	2	HIGH/NORMAL DENSITY
3	0 V	4	IN USE/HEAD LOAD
5	0 V	6	DRIVE SELECT 3
7	0 V	8	INDEX
9	0 V	10	DRIVE SELECT 0
11	0 V	12	DRIVE SELECT 1
13	0 V	14	DRIVE SELECT 2
15	0 V	16	MOTOR ON
17	0 V	18	DIRECTION SELECT
19	0 V	20	STEP
21	0 V	22	WRITE DATA
23	0 V	24	WRITE GATE
25	0 V	26	TRACK 00
27	0 V	28	WRITE PROTECT
29	0 V	30	READ DATA
31	0 V	32	SIDE ONE SELECT
33	0 V	34	READY/DISK CHANGE

22.1.6 Stromversorgung für Floppydisk-Laufwerk X6

Pin	Signal
1	+ 5 V
2	0 V
3	0 V

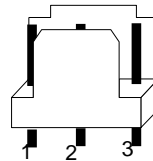


Bild 22.4: Stromversorgung Floppydisk

22.1.7 Busstecker auf der Grund- und Busplatine

Pin	Signal	I/O
B1	GND	Ground
B2	RESET DRV	O
B3	+5 V DC	Power
B4	IRQ 9	I
B5	-5 V DC	Power
B6	DRQ 2 *)	I
B7	-12V DC	Power
B8	0WS	I
B9	+12 V DC	Power
B10	GND	Ground
B11	-SMEMW	O
B12	-SMEMR	O
B13	-I/OW	I/O
B14	-I/OR	I/O
B15	-DACK 3	O
B16	DRQ 3	I
B17	-DACK 1	O
B18	DRQ 1	I
B19	-REFRESH	O
B20	SYSCLK	I
B21	IRQ 7	I
B22	IRQ 6	I
B23	IRQ 5	I
B24	IRQ 4	I
B25	IRQ 3	I
B26	-DACK 2	O
B27	T/C	O
B28	BALE	O
B29	+5 V DC	Power
B30	OSC	O
B31	GND	Ground

Pin	Signal	I/O
A1	-I/O CHCK	I
A2	SD7	I/O
A3	SD6	I/O
A4	SD5	I/O
A5	SD4	I/O
A6	SD3	I/O
A7	SD2	I/O
A8	SD1	I/O
A9	SD0	I/O
A10	-I/O CHRDY	I
A11	AEN *)	O
A12	SA19	I/O
A13	SA18	I/O
A14	SA17	I/O
A15	SA16	I/O
A16	SA15	I/O
A17	SA14	I/O
A18	SA13	I/O
A19	SA12	I/O
A20	SA11	I/O
A21	SA10	I/O
A22	SA9	I/O
A23	SA8	I/O
A24	SA7	I/O
A25	SA6	I/O
A26	SA5	I/O
A27	SA4	I/O
A28	SA3	I/O
A29	SA2	I/O
A30	SA1	I/O
A31	SA0	I/O

*) siehe hierzu Kapitel 18

Pin	Signal	I/O
D1	-MEM CS16	I
D2	-I/O CS16	I
D3	IRQ 10	I
D4	IRQ 11	I
D5	IRQ 12	I
D6	IRQ 15	I
D7	IRQ 14	I
D8	-DACK 0	O
D9	DRQ 0	I
D10	-DACK 5	O
D11	DRQ 5	I
D12	-DACK 6	O
D13	DRQ 6	I
D14	-DACK 7	O
D15	DRQ 7	I
D16	+5 V DC	Power
D17	-MASTER	I
D18	GND	Ground

Pin	Signal	I/O
C1	SBHE	I/O
C2	LA	I/O
C3	LA	I/O
C4	LA	I/O
C5	LA	I/O
C6	LA	I/O
C7	LA	I/O
C8	LA	I/O
C9	-MEMR	I/O
C10	-MEMW	I/O
C11	SD08	I/O
C12	SD09	I/O
C13	SD10	I/O
C14	SD11	I/O
C15	SD12	I/O
C16	SD13	I/O
C17	SD14	I/O
C18	SD15	I/O

22.1.8 Speichererweiterung X8 und X9

Pin	Reihe A	Reihe B
1	+ 5 V	+ 5 V
2	CAS (Bank 2,3 Low-Byte)	CAS (Bank 2,3 High-Byte)
3	D0	D8
4	A0	A0
5	A1	A1
6	D1	D9
7	A2	A2
8	A3	A3
9	0 V	0 V
10	D2	D10
11	A4	A4
12	A5	A5
13	D3	D11
14	A6	A6
15	A7	A7
16	D4	D12
17	A8	A8
18	A9	A9
19	A10	A10
20	D5	D13
21	WR	WR
22	0 V	0 V
23	D6	D14
24	frei	frei
25	D7	D15
26	Parity	Parity
27	RAS (Bank2,3)	RAS (Bank2,3)
28	CAS (Bank 2,3 Low-Byte)	CAS (Bank 2,3 High-Byte)
29	Parity	Parity
30	+ 5 V	+ 5 V

22.1.9 Monitorstecker X12

Pin	Signal
1	ROT
2	GRÜN
3	BLAU
6	0 V
7	0 V
8	0 V
10	0 V
13	HSYNC
14	VSYNC

Die Pins 4, 5, 9, 11, 12 und 15 sind nicht beschaltet.

22.1.10 S/W-LCD-Schnittstelle X13

Pin	Signal	Pin	Signal
1	VLCD (-24 V)	2	0 V
3	UPPER DATA 0	4	UPPER DATA 1
5	UPPER DATA 2	6	UPPER DATA 3
7	LOWER DATA 0	8	LOWER DATA 1
9	LOWER DATA 2	10	LOWER DATA 3
11	0 V	12	0 V
13	0 V	14	0 V
15	0 V	16	FRAME-PULSE (S)
17	reserviert (FP)	18	LATCH-PULSE (CL1)
19	SHIFT-CLOCK (CL2)	20	reserviert (CL3)
21	reserviert (CL4)	22	0 V
23	+ 5 V	24	0 V
25	+ 12 V	26	+ 12 V

22.1.11 Steckerbelegung SIMATIC-Modulschnittstelle X15

Pin	Reihe c	Reihe b	Reihe a
1	SADB12	M	+5 V (U _{VV})
2	SADB 0	SADB 1	SADB 2
3	SADB 3	SADB 4	SADB 5
4	SADB 6	SADB 7	SADB 8
5	SADB 9	SADB10	SADB11
6	SADB13 / PGM 1	SADB14 / PGM 2	OE_N / PGM 3
7	PGM_N / PGM 4	SDBH 0	SDBH 1
8	SDBH 2	SDBH 3	SDBH 4
9	SDBH 5	SDBH 6	SDBH 7
10	SDBL 0	SDBL 1	SDBL 2
11	SDBL 3	SDBL 4	SDBL 5
12	SDBL 6	SDBL 7	K 1
13	CS1_N	CS3_N	K 2
14	CS2_N	CS4_N	K 3
15	V _{PP} (U _{PP})	PSW	K 4
16	V _{PP} (U _{PP})	M	K 5

22.1.12 Lautsprecheranschluß X16

Pin	Signal
1	Lautsprecher (TTL-Pegel)
2	0 V
3	0 V
4	+5 V

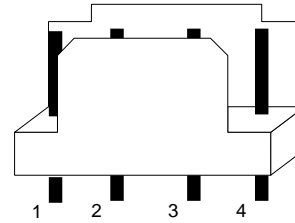


Bild 22.5: Lautsprecheranschluß

22.1.13 Tastaturanschluß X17

Pin	Signal	Pin	Signal
1	0 V	2	
3		4	0 V
5	+ 5 V	6	Clockleitung
7	Datenleitung	8	
9		10	

22.1.14 Batterieanschluß X18 und X26

Pin	Signal
1	+ 3,6 V
2	0 V

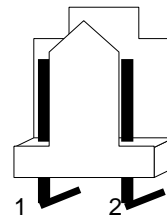


Bild 22.6: Batterieanschluß

22.1.15 Schlüsselschalteranschluß X19

Pin	Signal
1	RESET_N (Low=Reset)
2	S7 (Low=Tastaturverriegelung)
3	0 V
4	10 K Pull-UP an +5 V

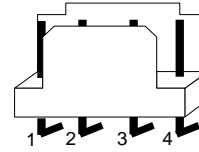


Bild 22.7: Schlüsselschalteranschluß

22.1.16 Stromversorgungsanschluß X20

A1	O	GND
A2	O	+5 V
	O	12 V
-12 V	O	1
	10 O	12 V
reserviert	O	2
	11 O	12 V
-5 V	O	3
	12 O	12 V Sense
5 V Sense	O	4
	13 O	0 V Sense (12 V)
0 V Sense(5 V)	O	5
	14 O	0 V pot. frei
GND	O	6
	15 O	24 V pot. frei
Power-Good	O	7
	16 O	GND
Reset_N	O	8
	17 O	reserviert
		9
A3	O	GND
A4	O	+5 V

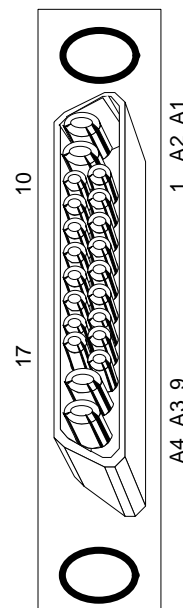


Bild 22.8: Versorgung, Sicht auf Stifte

22.1.17 Steckerbelegung Farb-LCD-Schnittstelle X21

Pin	Signal	Pin	Signal
1	VLCD (-24 V)	2	0 V
3	CLOCK Col.	4	0 V
5	GRÜN 2	6	GRÜN 1
7	GRÜN 0	8	0 V
9	BLAU 2	10	BLAU 1
11	BLAU 0	12	0 V
13	ROT 2	14	ROT 1
15	ROT 0	16	0 V
17	FEATURE CONIN 1	18	VERTIKAL CLOCK
19	HORIZONTAL-CLOCK	20	+ 5 V
21	+ 12 V	22	0 V (Hinterleuchtung)
23	+ 5 V	24	0 V (Hinterleuchtung)
25	+ 12 V (Hinterleuchtung)	26	+ 12 V (Hinterleuchtung)
27	BLAU 3	28	ROT 3
29	GRÜN 3	30	0 V

22.1.18 Versorgungsanschluß für LCD und Modulprogrammierung X22

Pin	Signal
1	VLCD (-24 V)
2	0 V
3	+ 12 V

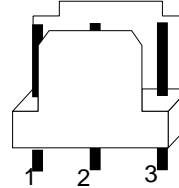


Bild 22.9: Versorgung LCD, Modulprogrammierung

22.1.19 Erweiterungsanschluß der HIGRAPH X23

Pin	Signal	Pin	Signal
1	frei	2	+5 V
3	LINT_2 Interrupt	4	frei
5	GND	6	IRES_N Rücksetzen
7	frei	8	CS2_N Chip Select
9	ERD_N Lesen	10	EWR_N Schreiben
11	frei	12	ECAS_N Spaltenadreß-Strobe
13	frei	14	GND
15	frei	16	frei
17	frei	18	LA16
19	LA17	20	frei
21	frei	22	frei
23	frei	24	frei
25	frei	26	GND
27	LD0	28	LD1
29	LD2	30	LD3
31	LD4	32	LD5
33	LD6	34	LD7
35	LD8	36	LD9
37	LD10	38	LD11
39	LD12	40	LD13
41	LD14	42	LD15
43	+ 5 V	44	GND
45	+ 12 V	46	- 12 V
47	frei	48	frei
49	frei	50	frei

22.2 Netzteil

22.2.1 Peripheriestecker X1

Pin	Signal
1	- 24 V
2	0 V
3	+ 12 V
4	+ 12 V
5	0 V
6	+ 5 V

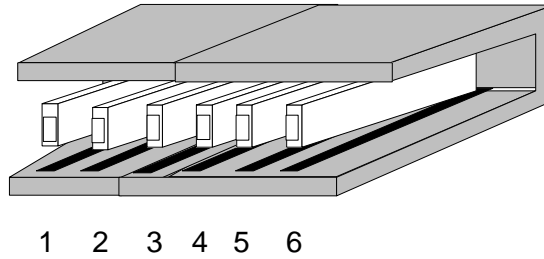


Bild 22.10 Peripheriestecker X1

22.2.2 Grundplatine X5

D-Buchsenleiste mit Hochstromkontakten (Draufsicht auf Buchse):

A4	○	+5 V
A3	○	GND
	○	reserviert
Reset_N	○	9
	17	○ GND
Power-Good	○	8
	16	○ 24 V pot. frei
GND	○	7
	15	○ 0 V pot. frei
0 V Sense(5 V)	○	6
	14	○ 0 V Sense (12V)
5 V Sense	○	5
	13	○ 12 V Sense
-5 V	○	4
	12	○ 12 V
frei	○	3
	11	○ 12 V
-12 V	○	2
	10	○ 12 V
	1	
A2	○	+5 V
A1	○	GND

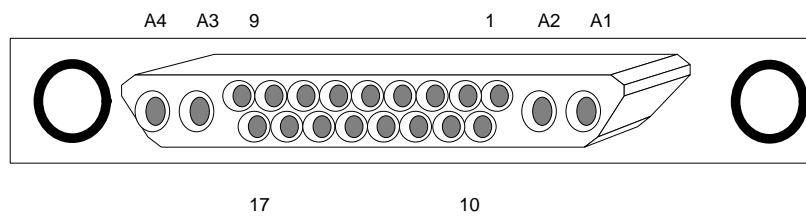


Bild 22.11: Stecker zur Grundplatine X2

22.3 Tastaturstecker zum Grundboard

Pin	Signal	Pin	Signal
1	0 V	2	frei
3	frei	4	frei
5	+ 5 V	6	Taktleitung
7	frei	8	Datenleitung
9	frei	10	frei

22.4 Laufwerke

22.4.1 Anschlußbelegung des Diskettenlaufwerks

Signal	Input/Output (bezogen auf Laufwerk)	Pin- Bezeichnung Signal	Pin- Bezeichnung GND
HIGH/NORMAL DENSITY	Input	2	1
IN USE/HEAD LOAD	Input	4	3
DRIVE SELECT 3	Input	6	5
INDEX	Output	8	7
<i>DRIVE SELECT 0 *)</i>	<i>Input</i>	<i>10 (16)</i>	<i>9</i>
<i>DRIVE SELECT 1 *)</i>	<i>Input</i>	<i>12 (14)</i>	<i>11 (15)</i>
<i>DRIVE SELECT 2 *)</i>	<i>Input</i>	<i>14 (12)</i>	<i>13 (13)</i>
<i>MOTOR ON *)</i>	<i>Input</i>	<i>16 (10)</i>	<i>15 (11)</i>
DIRECTION SELECT	Input	18	17
STEP	Input	20	19
WRITE DATA	Input	22	21
WRITE GATE	Input	24	23
TRACK 00	Output	26	25
WRITE PROTECT	Output	28	27
READ DATA	Output	30	29
SIDE ONE SELECT	Input	32	31
READY/DISK CHANGE	Output	34	33

Anschlußbelegung

- *) Die Pins 10 bis 16 werden nur für das zweite Laufwerk verdreht angeschlossen. Für das 1.Laufwerk erfolgt der Anschluß 1:1.

22.4.2 Anschlußbelegungen des Festplattenlaufwerks

Pin	Signal	Pin	Signal
1	RESET_N	2	0 V
3	D7	4	D8
5	D6	6	D9
7	D5	8	D10
9	D4	10	D11
11	D3	12	D12
13	D2	14	D13
15	D1	16	D14
17	D0	18	D15
19	0 V	20	KEY
21	reserviert	22	0 V
23	IOWRITE_N	24	0 V
25	IOREAD_N	26	0 V
27	IOCHRDY	28	reserviert
29	reserviert	30	0 V
31	IRQ	32	IOCS16_N
33	SA1	34	reserviert
35	SA0	36	SA2
37	CS0_N	38	CS1_N
39	ACTIVE_N	40	0 V

22.4.3 Stromversorgungsanschluß der Laufwerke

Stromversorgungsanschluß des Festplattenlaufwerks

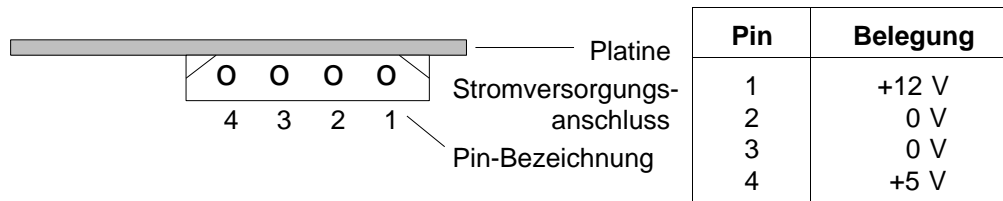


Bild 22.12: Stromversorgungsanschluß des Festplattenlaufwerks

Stromversorgungsanschluß des 3,5" Floppy-Laufwerks

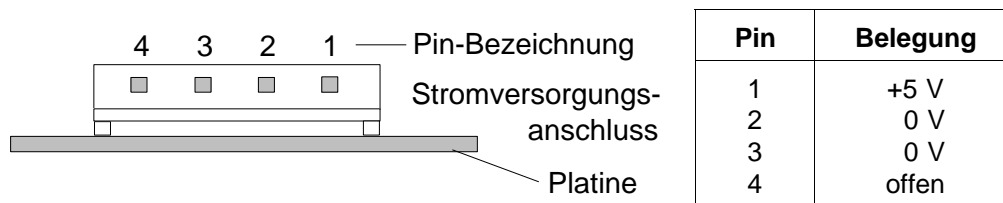


Bild 22.13: Stromversorgungsanschluß des 3,5" Floppy-Laufwerks

22.5 Steckerbelegung des S/W-LCD-Inverters

Stecker zur Grundplatine X1

Pin	Signal	Pin	Signal
1	VLCD (-24 V)	2	0 V
3	UPPER DATA 0	4	UPPER DATA 1
5	UPPER DATA 2	6	UPPER DATA 3
7	LOWER DATA 0	8	LOWER DATA 1
9	LOWER DATA 2	10	LOWER DATA 3
11	0 V	12	0 V
13	0 V	14	0 V
15	0 V	16	FRAME PULSE
17	reserviert (FP)	18	LINE PULSE
19	SHIFT CLOCK	20	reserviert (CL3)
21	reserviert (CL4)	22	0 V
23	+ 5 V	24	0 V
25	+ 12 V	26	+ 12 V

Stecker zur LCD-Anzeige X2

Pin	Signal
1	0 V
2	frei
3	FRAME PULSE
4	LINE PULSE
5	SHIFT CLOCK
6	0 V
7	DU0
8	DU1
9	DU2
10	DU3
11	0 V
12	+ 5 V
13	-17,5 .. -22 V
14	- 24 V
15	0 V
16	DL0
17	DL1
18	DL2
19	DL3
20	0 V

Steckerbelegung zur Hinterleuchtung X3 und X4**X3**

Pin	Signal
1	Versorgung Röhre 1
2	Versorgung Röhre 2
3	frei

X4

Pin	Signal
1	frei
2	0 V Röhre 1 und 2

22.6 Steckerbelegungen des Farb-LCD-Inverters

Stecker zur Grundplatine X1

Pin	Signal	Pin	Signal
1	VLCD (-24 V)	2	0 V
3	CLOCK Col.	4	0 V
5	GRÜN 2	6	GRÜN 1
7	GRÜN 0	8	0 V
9	BLAU 2	10	BLAU 1
11	BLAU 0	12	0 V
13	ROT 2	14	ROT 1
15	ROT 0	16	0 V
17	FEATURE CONIN 1	18	VERTIKAL CLOCK
19	HORIZONTAL-CLOCK	20	+ 5 V
21	+ 12 V	22	0 V (Hinterleuchtung)
23	+ 5 V	24	0 V (Hinterleuchtung)
25	+ 12 V (Hinterleuchtung)	26	+ 12 V (Hinterleuchtung)
27	BLAU 3	28	ROT 3
29	GRÜN 3	30	0 V

Stecker zum Farb-LCD X2

Pin	Signal	Pin	Signal
1	Pixel-Clock	2	0 V
3	Rot 0	4	Rot 1
5	Rot 2	6	0 V
7	Grün 0	8	Grün 1
9	Grün 2	10	0 V
11	Blau 0	12	Blau 1
13	Blau 2	14	0 V
15	HSYNC	16	0 V
17	VSYNC	18	+ 5 V
19	0 V	20	VDD (+ 12-V-Versorgung)
21	frei	22	frei

Stecker zur Hinterleuchtung X300

Pin	Signal	Pin	Signal
1	Versorgung Röhre 1	2	Heizung Röhre 1
3	frei	4	frei
5	Heizung Röhre 1	6	Versorgung Röhre 1
7	frei	8	frei
9	Versorgung Röhre 2	10	Heizung Röhre 2
11	frei	12	frei
13	Heizung Röhre 2	14	Versorgung Röhre 2

22.7 Steckerbelegung S/W-LCD-Anzeige

Belegung der Flachbandleitung

Leiter	Signal
1	0 V
2	frei
3	FRAME PULSE
4	LINE PULSE
5	SHIFT CLOCK
6	0 V
7	DU0
8	DU1
9	DU2
10	DU3
11	0 V
12	+ 5 V
13	-17,5 .. -22 V
14	- 24 V
15	0 V
16	DL0
17	DL1
18	DL2
19	DL3
20	0 V

22.8 Steckerbelegungen Farb-LCD-Anzeige

Eingangsstecker CN1

Pin	Signal	Pin	Signal
1	Pixel-Clock	2	0 V
3	Rot 0	4	Rot 1
5	Rot 2	6	0 V
7	Grün 0	8	Grün 1
9	Grün 2	10	0 V
11	Blau 0	12	Blau 1
13	Blau 2	14	0 V
15	HSYNC	16	0 V
17	VSYNC	18	+ 5 V
19	0 V	20	VDD (+ 12 V Versorgung)
21	frei	22	frei

Steckerbelegung der Hinterleuchtung CN2 und CN3

Pin	Signal
1	Versorgung A-Side
2	frei
3	Versorgung A-Side
4	frei
5	Versorgung B-Side
6	frei
7	Versorgung B-Side
8	frei

23 Farbgraphik PG 730

23.1 Allgemeines

Die Graphik des PG 730 besteht aus zwei voneinander unabhängigen Graphik-Controllern: dem **VGA-Graphik-Controller** für Standardanwendungen und dem **HIGRAPH-Graphik-Controller** für anspruchsvolle Graphikanwendungen. Beide Graphik-Controller können wahlweise das eingebaute Display und einen externen Farbmonitor mit Anlogschnittstelle ansteuern. Die maximal darstellbare Auflösung auf dem Display ist 640x480 Pixel. Die Auswahl der Display-Betriebsart erfolgt über das **GSP-Port** der HIGRAPH-Graphik (s. S.23-21, Bild 23.6), zusätzlich müssen die zugehörigen Graphiktreiber geladen sein.

Im VGA-Graphikbetrieb ist eine max. Auflösung von 640x480 Pixel möglich. Mit der HIGRAPH-Graphik sind Auflösungen von 640x480 und 1024x768 Pixel möglich.

Arbeitet die HIGRAPH-Graphik mit der Auflösung 1024x768, wird das Display (wegen der hohen Auflösung) automatisch auf VGA-Betriebsart umgeschaltet; ein extern angeschlossener Farbmonitor stellt die Auflösung 1024x768 dar.

Um die verschiedenen Auflösungen beim VGA-Graphikbetrieb auf den Displays darstellen zu können, werden die VGA-Modi, die von der Auflösung 640x480 abweichen, vom VGA-BIOS emuliert.

Darstellung auf dem eingebauten Display

Das eingebaute 10" S/W-Display kann in Abhängigkeit vom eingestellten Graphikmodus bis zu 8 Graustufen gleichzeitig darstellen.

Beim 10" TFT Farb-Display können in Abhängigkeit vom eingestellten Graphikmodus bis zu 256 aus einer Palette von 512 Farben gleichzeitig dargestellt werden.

Die vom Display unterstützten Auflösungen sind in nachfolgender Tabelle dargestellt:

Modus H	Monitor-Mode	Darstellung	Farben	Auflösung	Zeichenbox	Spalten/Zeilen	Speicheradresse	V-Sync	H-Sync
02	VGA	Text	16 aus 512	640x400	8x16	80x25	B8000	+	-
03	VGA	Text	16 aus 512	640x400	8x16	80x25	B8000	+	-
07	VGA	Text	mono	640x400	8x16	80x25	B8000	+	-
0E	VGA	Graphik	16 aus 512	640x400	8x16	80x25	A0000	+	-
0F	EGA	Graphik	mono	640x350	8x14	80x25	A0000	-	+
10	EGA	Graphik	16 aus 512	640x350	8x14	80x25	A0000	-	+
11	VGA	Graphik	2 aus 512	640x480	8x16	80x30	A0000	-	-
12	VGA	Graphik	16 aus 512	640x480	8x16	80x30	A0000	-	-
13	VGA	Graphik	256 aus 512	320x400	8x16	40x25	A0000	+	-
640x480	HI-GRAPH	Graphik	16 aus 512	640x480	8x16	80x25	GSP-Adressbereich	+	-

Darstellung auf einem externen Monitor

Ein externer Monitor kann die Modes, die mit dem Display möglich sind, parallel darstellen. Auf dem Monitor können dabei bis zu 256 Farben aus einer Palette von 262 144 Farben gleichzeitig dargestellt werden.

Zusätzlich zu den Graphik-Modi, die mit den Displays möglich sind, können auf dem Monitor nachfolgende Auflösungen dargestellt werden.

Modus H	Monitor-Mode	Darstellung	Farben	Auflösung	Zeichenbox	Spalten/Zellen	Speicheradresse	V-Sync	H-Sync
GSP	HI-GRAPH	Graphik	16 aus 256K	1024x768	8x16	80x25	GSP Adressbereich	+	-
13	VGA	Graphik	256 aus 256K	320x400	8x16	40x25	A0000	+	-

23.2 Funktionseinheiten der Graphik

- **VGA-Graphikteil** (mit eigenem Bildspeicher - 256 kbyte) für Standardtext und Standardgraphik.
- **HIGRAPH Graphikteil** 2 I/O-Adreßbereiche und 2 Interrupts stehen zur Wahl. Die Auswahl des Interrupts wird in der SETUP-Maske vorgenommen.
 - lokales RAM - 2 Mbyte (Programmspeicher)
 - VRAM - 512 kbyte (Bildspeicher)
 - Color-Lookup-Table mit Blinkmöglichkeit (Auswahl von 16 aus 262144 Farbtönen bei Monitorbetrieb, max. 8 aus 64 Graustufen bei LCD-Display-Betrieb und 16 aus 512 Farbtönen bei TFT Farb-Display-Betrieb.)
- **VGA-BIOS-EPROM** am Systembus
- **Schnittstellen / Stecker**
- Anschluß für Erweiterungen X23 (z.B. Fast-Print Option)
 - Farb-Display-Anschluß X21
 - S/W-Display-Anschluß X13
 - externer Analog-Monitoranschluß X12 (HIGRAPH-Teil/VGA-analog)

Das Blockschaftbild zeigt die einzelnen Komponenten des Graphikteils.

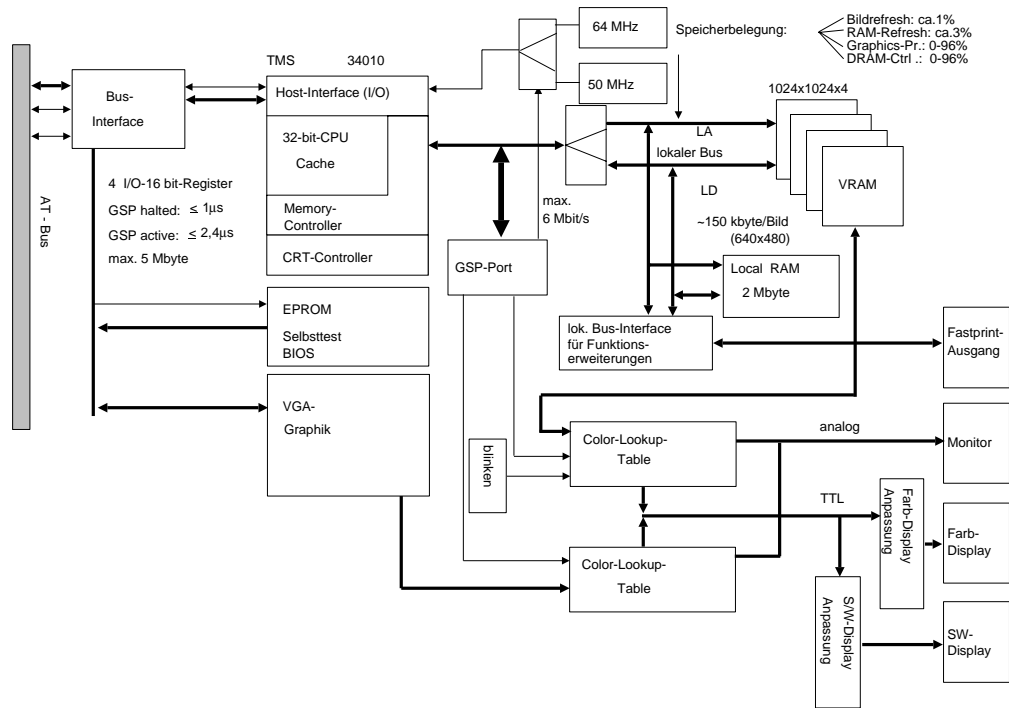


Bild 23.1: Graphikeinheit PG 730

23.3 Adreßraumbelegung und verwendete Interrupts der PG 730-Graphik

23.3.1 Vorzugseinstellungen

Die Auswahl des Adreßbereichs und des verwendeten Interrupts der HIGRAPH-Graphik erfolgt über Port D. Das System-BIOS gibt beim Gerätehochlauf die I/O-Adressen 0340 - 0347 H und den Interrupt IRQ 11 für den Betrieb der HIGRAPH frei. Abweichungen von dieser Standardeinstellung können mit dem SETUP-Utility des System-BIOS durchgeführt werden.

Folgende Einstellungen sind möglich:

- HIGRAPH-Interrupt: IRQ 11 oder IRQ 12
- HIGRAPH I/O-Adresse: 340 - 0347 H oder 0350 - 0357 H
- VGA-Graphikteil: aktiv mit IRQ 9 (S/W-umgeleitet auf IRQ 2)
- EPROM: aktiv von 0C0000 - 0C7FFF H

Bei der Vorzugseinstellung sind im Port D folgende Bits gesetzt:

Port D Adr: I/O 65 H r/w

Bit 4	- H	;GSP-I/O-Adresse 0340 - 0347 H
Bit 3	- H	;GSP-Interrupt IRQ 11

Das GSP-Port hat nach dem Starten des Geräts den Wert 00 H.

Diese Einstellung bedeutet:

- Pixel-Clock 25 MHz (für HIGRAPH-Graphikteil)
- Blinken freigegeben (HIGRAPH-Betrieb)
- VGA-Teil steuert das Display und den Monitor an

23.4 HIGRAPH-Graphikbeschreibung

Herzstück der HIGRAPH-Graphik ist der "Graphik-Systemprozessor" TMS34010 von Texas Instruments. Der GSP kann selbständig als Slave leistungsfähige Graphikroutinen ausführen.

Über das Host-Interface verkehrt der GSP mit dem Systembus. Am lokalen Bus sind Lokal-RAM, VRAM, Color-Lookup-Table und GSP-Port angeschlossen. Vom GSP werden alle CRT-Steuersignale geliefert. Das VRAM liefert an seinen seriellen Ausgängen die Bildinformation, die in der Color-Lookup-Table in die analogen Farbwerte RGB umgewandelt werden.

23.4.1 Graphikprozessor

Der GSP TMS34010 wird als leistungsfähiger Graphikprozessor eingesetzt (Blockschaltbild).

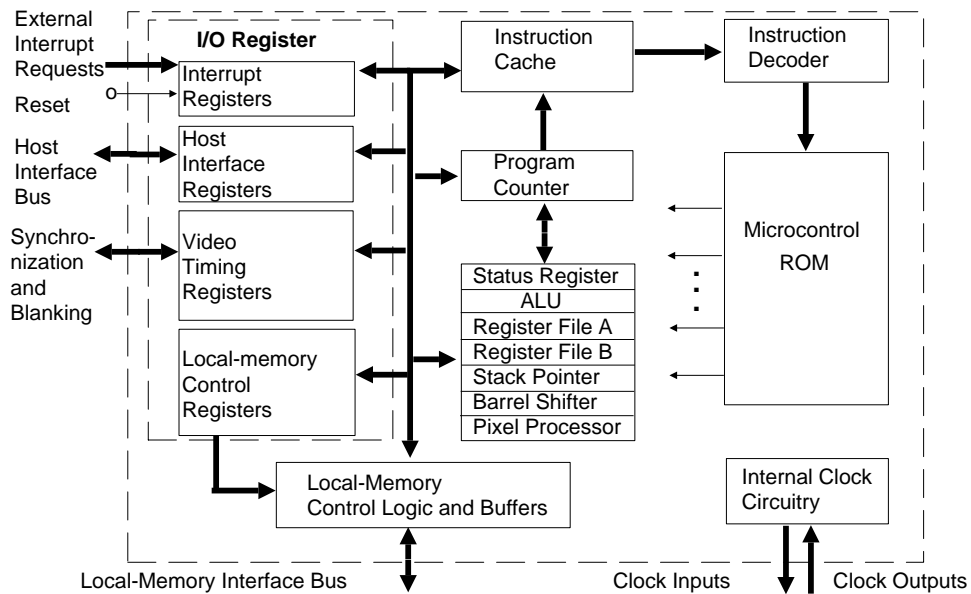


Bild 23.2: Blockschaltbild des GSP-Graphikprozessors

Er zeichnet sich durch folgende Eigenschaften aus:

- frei programmierbarer 32-bit-CMOS-Prozessor mit RISC-Architektur, optimiert auf Graphikanwendungen.
- 1 Gbit Adressivolumen (Bitadressierung)
- 31 Register, 32 bit breit
- 6 MIPS, Zeichenrate 48 Millionen Pixel pro Sekunde
- umfangreicher Befehlssatz (127 Instruktionen), 256 byte Befehls-Cache
- CRT-Controller auf dem Chip, programmierbar für HSYNC, VSYNC, BLANK
- direkte DRAM/VRAM-Ansteuerung (RAS, CAS, Adreß-MUX)
- Host-Interface zum System. Über das Host-Interface kann vom Systembus aus auf den gesamten lokalen Adreßraum zugegriffen werden.
- Taktfrequenz 50 MHz

Die Programmentwicklung wird durch C-Compiler, Debugger, Bibliotheken, Applikationen, Graphikstandards usw. unterstützt.

23.4.2 GSP-Registersatz

Der **Prozessor** besteht aus:

32-bit-Programmzähler PC (Program Counter, Bitadresse)

Der PC ist auf Wortgrenzen (16 bit) ausgerichtet. Deswegen sind die niederwertigsten 4 bit immer 0 (16 bit entsprechen 4 Adressen).

32-bit-ALU

127 Befehle in drei Kategorien (Universalbefehle, Graphikbefehle, MOVE) stehen zur Wahl. Ein **Instruction-Cache** (256 byte RAM) sorgt für schnelle Zugriffe zu den Befehlen. Er enthält 4 Segmente mit je 64 Byte. Jedem Segment ist ein Assoziativregister für die Adresse zugeordnet. Ein Aktualisierungs-Algorithmus bestimmt, welches der 4 Segmente am längsten nicht mehr benutzt wurde und deshalb als nächstes überschrieben werden kann.

Barrel-Shifter

erlaubt mehrschrittige Schiebeoperationen in einem Maschinenzyklus.

32-bit-Stack-Register SP

Es gibt nur einen SP (**Stack Pointer**), auf den sowohl über den Registersatz A als auch B (Nummer 0F) zugegriffen werden kann. Der SP enthält die Bitadresse, die auf das erste Stackende zeigt.

Registersatz A (15 universelle 32-bit-Register A0-A14)

Registersatz B (15 32-bit-Register B0-B14, enthalten bei Pixel-Befehlen und Pixel-Blocktransfers PIXBLT bestimmte Operanden, sind aber auch universell verwendbar)

B0	SADDR	Adresse des Quellfeldes für PIXBLT
B1	SPTCH	Quell-Pitch (Schrittweite von Zeile zu Zeile)
B2	DADDR	Adresse des Zielfeldes für PIXBLT
B3	DPTCH	Ziel-Pitch
B4	OFFSET	Adresse des XY-Koordinaten-Ursprungs
B5	WSTART	Startadresse des Fensters in XY-Koordinaten
B6	WEND	Endadresse des Fensters in XY-Koordinaten
B7	DYDX	Dimension des Quellfeldes in DeltaY/DeltaX
B8	COLOR0	Farbwert 0 bei PIXBLT
B9	COLOR1	Farbwert 1 bei PIXBLT usw.
B10-B14		temporäre Register für PIXBLT

32-bit-Prozessor-Statusregister

enthält Flags und Bits zur Definition zweier programmierbarer Datentypen

Bit	Bedeutung (Statusregister)	
0	FS0	Feldgröße 0 (Länge des ersten Datenfeldes; man kann Datenfelder von 1 bis 32 bit definieren).
5	FE0	Felderweiterung 0 (Feldauffüllung im Register: FE0 = 0: Datenfeld 0 wird mit Nullen aufgefüllt FE0 = 1: Datenfeld 0 wird mit Vorzeichen aufgefüllt)
10 - 6	FS1	Feldgröße 1 (Länge des zweiten Datenfeldes)
11	FE1	Felderweiterung 1 (siehe FE0)
20 - 12		reserviert
21	IE	Interrupt-Enable (maskierbare Interrupts freigegeben)
24 - 22		reserviert
25	PBX	Pixel-Blocktransfer wird gerade ausgeführt
27,26		reserviert
28	V	Überlaufbit (Overflow)
29	Z	Zerobit (Wert ist 0)
30	C	Übertragbit (Carry)
31	N	Vorzeichenbit (Sign)

28 16-bit-Steuerregister ("I/O-Register" in GSP-Adreßraum memory-mapped)

GSP-Steuerregister

Hier folgt eine kurze Erklärung der Steuerregister (Bild).

GSP-Adresse	REGISTER	
C000 01F0	REFCNT	DRAM REFRESH COUNT
C000 01E0	DPYADR	DISPLAY ADDRESS COUNT
C000 01D0	VCOUNT	VERTICAL COUNT
C000 01C0	HCOUNT	HORIZONTAL COUNT
C000 01B0	DPYTAP	DISPLAY TAP POINT ADDRESS
C000 01A0		
C000 0190	RESERVED	
C000 0180		
C000 0170		
C000 0160	PMASK	PLANE MASK
C000 0150	PSIZE	PIXEL SIZE
C000 0140	CONVDP	DESTINATION PITCH CONVERSION FACTOR
C000 0130	CONVSP	SOURCE PITCH CONVERSION FACTOR
C000 0120	INTPEND	INTERRUPT PENDING
C000 0110	INTENB	INTERRUPT ENABLE
C000 0100	HSTCTLH	HOST CONTROL (8 MSB'S)
C000 00F0	HSTCTL	HOST CONTROL (8 LSB'S)
C000 00E0	HSTADRH	HOST ADDRESS (16 MSB'S)
C000 00D0	HSTADRL	HOST ADDRESS (16 LSB'S)
C000 00C0	HSTDATA	HOST DATA
C000 00B0	CONTROL	MEMORY CONTROL
C000 00A0	DPYINT	DISPLAY INTERRUPT
C000 0090	DPYSTRT	DISPLAY START ADDRESS
C000 0080	DPYCTL	DISPLAY CONTROL
C000 0070	VTOTAL	VERTICAL TOTAL
C000 0060	VSBLNK	VERTICAL START BLANK
C000 0050	VEBLNK	VERTICAL END BLANK
C000 0040	VESYNC	VERTICAL END SYNC
C000 0030	HTOTAL	HORIZONTAL TOTAL
C000 0020	HSBLNK	HORIZONTAL START BLANK
C000 0010	HEBLNK	HORIZONTAL END BLANK
C000 0000	HESYNC	HORIZONTAL END SYNC

Bild 23.3: GSP-Steuerregister

(Nicht erwähnte Bits in den nachfolgenden Aufstellungen sind reserviert.

* = Vorzugswert bzw. schaltungsbedingt)

Der GSP enthält 4 verschiedene Arten von Steuerregistern:

- 6 **Local-Memory-Control-Register** zur Konfigurierung des Memory-Controllers
- 14 **Video-Timing-Register** zur Parametrierung der Synchron- und Austastsignale, sowie zur Steuerung der VRAM
- 5 **Host-Interface-Register**, auf die sowohl Host-CPU als auch der GSP zugreifen können
- 2 **Interrupt-Control-Register**, Status und Freigabe der Interrupts

Local-Memory-Control-Register

Hier werden Steuerparameter abgelegt, die hardwareabhängig oder für bestimmte CPU-Befehle wie PixBlt (**P**ixel **B**lock **T**ransfer), Fill etc. notwendig sind.

Refresh Count Register REFCNT

Adresse 0 C000 01F0 H Vorzugswert: --

Enthält Refresh-Adress- und Refresh-Intervallzähler (wird von GSP selbst verwaltet).

Memory Control Register CONTROL

Adresse 0 C000 00B0 H Vorzugswert: 000C H

Bit	Bedeutung	
2	DRAM-Refresh-Mode	0 = RAS-only-Refresh 1 = CAS-before-RAS-Refresh *
4 - 3	DRAM-Refresh-Rate	00 = Refresh-Rate: 32 LCLKs (5 µs) 01 = Refresh-Rate: 64 LCLKs (10 µs) * 11 = Kein DRAM-Refresh
5	Pixel Transparency enable	
7 - 6	Window Violation Detection-Mode	
8	PixBlt Horizontal Direction-Control	
9	PixBlt Vertical Direction-Control	
14 - 10	Pixel Processing Operation-Select	Die Bits 5..14 steuern die Modi bei Pixeloperationen;
15	Cache Disable	0 = Cache enabled * 1 = Cache disabled

Source Pitch Conversion Factor CONVSP

Adresse 0 C000 0130 H Vorzugswert: 0

Destination Pitch Conversion Factor CONVDP

Adresse 0 C000 0140 H Vorzugswert: 0

Beide Register enthalten Parameter zur Umsetzung von XY- in lineare Adressen (für einige CPU-Befehle).

Pixel Size Register PSIZE

Adresse 0 C000 0150 H Vorzugswert: 0004 H

Definiert die Anzahl der Bit pro Pixel für Graphikbefehle der CPU (0004 H = 4 bit pro Pixel = 16 Farben).*

Plane Mask Register PMASK

Adresse 0 C000 0160 H Vorzugswert: 0

Dient zur Maskierung von Bildspeicherebenen bei einigen CPU-Befehlen.

Interrupt-Interface-Register

Der GSP kann Interrupts aus 3 internen und 2 externen Quellen (Hardware-Interrupt) bearbeiten.

External Interrupt 1 (Hardware-Interrupt LINT1)

wird periodisch zu Beginn des vertikalen Strahlrücklaufs gesetzt (z.B. bei 60 Hz Bildwiederholfrequenz alle 16,7 ms) und mit dem Ende des V-Synchronimpulses gelöscht (vergl. Reg. VESYNC).

External Interrupt 2 (Hardware-Interrupt LINT2)

wird vom FAST-PRINT Interface genutzt (Option).

Die Register INTENB und INTPEND dienen zur selektiven Freigabe der Interrupts (neben dem globalen Interrupt-Enable-Bit im CPU-Statusregister), bzw. zur Abfrage anstehender Interrupts (Polling).

Interrupt-Enable-Register INTENB

Adresse 0 C000 0110 H Vorzugswert: 0

Bit	Bedeutung
1	External Interrupt 1 Enable
2	External Interrupt 2 Enable
9	Host-Interrupt Enable
10	Display Interrupt Enable
11	Window Violation Interrupt Enable
jeweils: 0 = Interrupt gesperrt 1 = Interrupt freigegeben	

Interrupt-Pending-Register INTPEND

Adresse 0 C000 0120 H Vorzugswert: --

Bit	Bedeutung
1	External Interrupt 1 pending (nur lesbar)
2	External Interrupt 2 pending (nur lesbar)
9	Host-Interrupt pending (lesbar; löscher nur über das Host-Control-Register)
10	Display Interrupt pending (lesbar/löscher)
11	Window Violation Interrupt pending (lesbar/löscher)
jeweils: 0 = Interrupt steht nicht an 1 = Interrupt steht an	

Video-Timing und Screen-Refresh-Register

Diese 16-bit-Register dienen zur Einstellung der Videozeiten.

Die Parameter für den Verlauf einer Zeile sind in Schritten vom 16-fachen der - **Pixelclock(PCLK)-Periodendauer (= Videoclock VCLK)** einstellbar, z.B. bei Pixelclock von 25 MHz (40 ns) in Schritten von 0,64 μ s; die CLKSEL-Bits im GSP-Port wählen diesen PCLK aus.

Alle Video-Timing-Register haben als Bezugspunkt den Beginn des Synchronimpulses.

Die Vorzugswerte dieser Register sind für eine Auflösung von 640x480 Pixel (Spalten x Zeilen) angegeben.

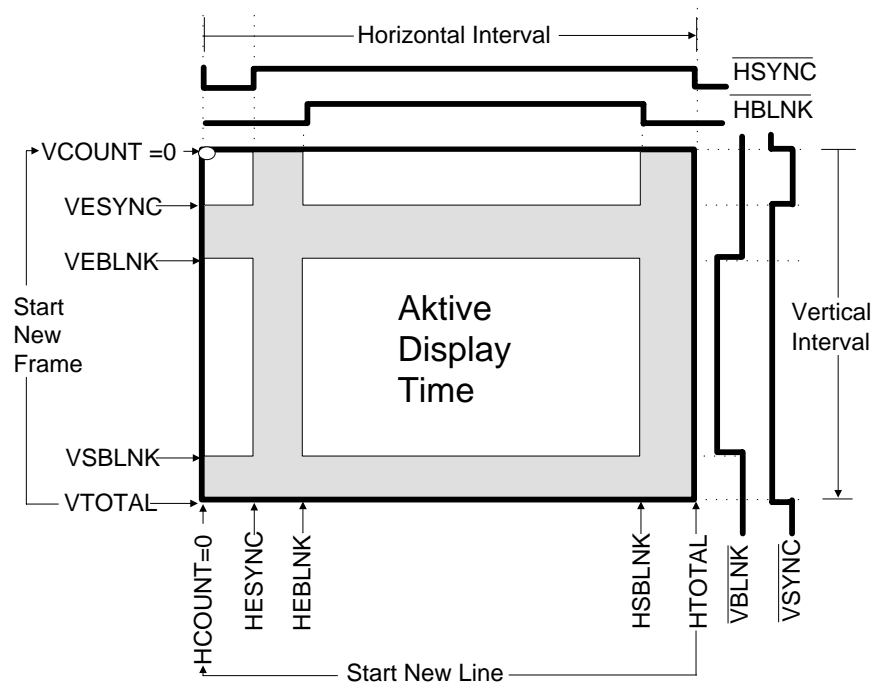


Bild 23.4: Horizontales und vertikales Timing

Horizontal-Total-Register HTOTAL

Adresse 0 C000 0030 H Vorzugswert: 0031 H
Anzahl der VCLK-Perioden -1 pro Zeile (Dieses Register bestimmt zusammen mit PCLK die Horizontalfrequenz bzw. die Zeilendauer).

Horizontal-Count-Register HCOUNT

Adresse 0 C000 01C0 H Vorzugswert: --
Internes 16-bit-Zählregister, das zu Beginn des horizontalen Synchronimpulses zurückgesetzt wird; es dient als Referenz für die übrigen Horizontalregister.

Horizontal-End-Sync-Register HESYNC

Adresse 0 C000 0000 H Vorzugswert: 0005 H
Anzahl der VCLK-Perioden -1 bis zum Ende des Synchronimpulses.

Horizontal-End-Blank-Register HEBLNK

Adresse 0 C000 0010 H Vorzugswert: 0008 H
Anzahl der VCLK-Perioden -1 bis zum Ende des Dunkeltast-Intervalls.

Horizontal-Start-Blank-Register HSBLNK

Adresse 0 C000 0020 H Vorzugswert: 0030 H
Anzahl der VCLK-Perioden -1 bis zum Beginn des nächsten Dunkeltast-Intervalls.
 $16 * ([HSBLNK] - [HEBLNK])$ ergibt die Anzahl der sichtbaren Pixel pro Zeile.

Die nachfolgenden Zeitparameter für den Frame(Bild)-Verlauf werden als Vielfaches der Zeilendauer (s. Register HTOTAL) eingestellt.

Vertical-Total-Register VTOTAL

Adresse 0 C000 0070 H Vorzugswert: 020C H
Gesamte Anzahl der Zeilen -1 pro Bild (Dieses Register bestimmt in Verbindung mit PCLK und HTOTAL die Vertikalfrequenz.)

Vertical-Count-Register VCOUNT

Adresse 0 C000 01D0 H Vorzugswert: --
Internes 16-bit-Zählregister, das zu Beginn des vertikalen Synchronimpulses zurückgesetzt wird; es dient als Referenz für die übrigen Vertikalregister.

Vertical-End-Sync-Register VESYNC

Adresse 0 C000 0040 H Vorzugswert 0001 H
Anzahl der Zeilen -1 bis zum Ende des Synchronimpulses

Vertical-End-Blank-Register VEBLNK

Adresse 0 C000 0050 H Vorzugswert: 0021 H
Anzahl der Zeilen -1 bis zum Ende des Dunkeltast-Intervalls

Vertical-Start-Blank-Register VSBLNK

Adresse 0 C000 0060 H Vorzugswert: 0202 H
Anzahl der Zeilen -1 bis zum Beginn des nächsten Dunkeltast-Intervalls

Display-Address-Count-Register DPYADR

Adresse 0 C000 01E0 H Vorzugswert: --
Zählregister mit 2-bit-"scan-line-counter" LNCNT (Bit 0-1) und 14-bit-"screen-refresh-address-counter" SRFADR (Bit 2-15)

SRFADR enthält die aktuelle VRAM-Zeilenummer, die gerade auf dem Monitor abgebildet wird.

LNCNT enthält die aktuelle Bildzeile innerhalb einer VRAM-Zeile (in dieser Anschaltung ist in einer VRAM-Zeile immer nur eine Bildzeile enthalten).

LNCNT wird nach jedem "Screen Refresh Cycle" und SRFADR nach jedem Bildwechsel aus dem Register DPYSTRT neu geladen.

Display-Start-Address-Register DPYSTRT

Adresse 0 C000 0090 H Vorzugswert: 0FFFC H bei ORG=0

Bit Bedeutung

1 - 0	Starting Line Count: LCSTRT	00 = vor jeder Zeile * 01 = vor jeder 2. Zeile 10 = vor jeder 3. Zeile 11 = vor jeder 4. Zeile
-------	-----------------------------	---

findet ein "screen refresh cycle" (entspr. VRAM-Transferzyklus zum internen Schieberegister) statt.

15 - 2	Starting Screen Refresh Address SRSTRT	Enthält VRAM-Startadresse für die erste abzubildende Zeile. Bei ORG=0 (DPYCTL-Reg.) wird das SRFADR-Zählerfeld (DPYADR-Reg.) mit dem Einer-Komplement aus SRSTRT, bei ORG=1 mit dem unveränderten Wert geladen.
--------	--	--

Display-Control-Register DPYCTL

Adresse 0 C000 0080 H Vorzugswert: 0F010 H

Bit Bedeutung

0	Horizontal Sync Direction HSD			
13	Disable External Video DXV			
	HSYNC- und VSYNC-Pin des GSP können als Eingang oder als Ausgang geschaltet werden (für externe Synchronisation).			
	HSD	DXV	HSYNC	VSYNC
	0	0	Eing.	Eing.
	0	1	Ausg.	Ausg. *
	1	0	Ausg.	Eing.
	1	1	undefiniert	
9 - 2	Display Address Update DUDATE			
	nur Bit 2 gesetzt: SRFADR wird um 1 erhöht/verringert			
	nur Bit 3 gesetzt: SRFADR wird um 2 erhöht/verringert			
	nur Bit 4 gesetzt: SRFADR wird um 4 erhöht/verringert *			
	nur Bit 5 gesetzt: SRFADR wird um 8 erhöht/verringert usw. (für Vertikal-Zoom)			
10	Screen-Origin-Select ORG			
	0 = XY-Koordinatenursprung oben links auf dem Bildschirm *			
	1 = XY-Koordinatenursprung unten links auf dem Bildschirm (Bei ORG = 0 wird SRFADR nach [LCSTRT]+1 Zeilen um den durch DUDATE bestimmten Wert erhöht, sonst verringert.)			
11	Shift Register Transfer Enable SRT			
	0 = Pixelzugriffe des GSP sind normale Speicherzugriffe *			
	1 = Pixelzugriffe werden als VRAM-Transferzyklen ausgeführt			
12	Screen Refresh Enable SRE			
	0 = Disable Screen Refresh (VRAM-Transfers zum Bild-Refresh werden unterdrückt)			
	1 = Enable Screen Refresh (VRAM-Transfers freigegeben) *			
14	Noninterlaced Video Enable NIL			
	0 = Interlaced		1 = Noninterlaced (ohne Zeilensprung) *	
15	Enable Video ENV			
	0 = Bild dunkelgetastet		1 = Bild freigegeben *	

Display-Interrupt-Register DPYINT

Adresse 0 C000 00A0 H Vorzugswert: 0FFFF H

Bestimmt die Bildschirmzeile (vgl. Register VCOUNT), vor der ein Display-Interrupt ausgelöst wird.

Display-Tap-Point-Address-Register DPYTAP

Adresse 0 C000 01B0 H Vorzugswert: 0

Bestimmt die Pixelspalte, mit der die Abbildung beginnt (für Soft-Panning); erhöht man DPYTAP um 1, so wird die Abbildung auf dem Bildschirm um 4 Pixel nach links verschoben.

Host-Interface-Register

Die Host-Interface-Register dienen zum Datenaustausch zwischen Host-CPU und dem HIGRAPH-Graphik-Teil über den AT-Systembus sowie zur Steuerung des GSP-Teils (die angegebenen Adressen sind GSP-Adressen).

Host-Interface-Control-Register Low Byte HSTCTLL

Adresse 0 C000 00F0 H Vorzugswert: 0

Bit Bedeutung

7	Output Interrupt Bit INTOUT 0 = kein Interrupt, 1 = Interrupt an Host-CPU (kann nur durch GSP gesetzt werden und nur durch Host-CPU gelöscht werden)
4 - 6	Message-Out-Field MSGOUT (von GSP an Host) 3-bit-Merker (für z.B. INTOUT); vom Host nur lesbar
3	Input Interrupt Bit INTIN 0 = kein Interrupt, 1 = Interrupt von Host an GSP (kann nur durch Host-CPU gesetzt werden und nur durch GSP gelöscht werden)
2 - 0	Message-In-Field MSGIN (Host an GSP) 3-bit-Merker (für z.B. INTIN); vom GSP nur lesbar

Host-Interface-Control-Register High Byte HSTCTLH

Adresse 0 C000 0100 H Vorzugswert: --

Bit	Bedeutung
15	Halt GSP Processing HLT 1 = GSP führt keine weiteren Befehle aus (nur noch DRAM-Refresh und Bildrefresh)
14	Cache Flush CF 0 = Befehls-Cache des GSP aktiviert 1 = Befehls-Cache des GSP löschen und ausschalten
13	Lower Byte Last LBL Dient zur Einstellung des Host-Interface auf verschiedene Host-CPU (bestimmt, wann GSP lokalen Zyklus ausführt). 0 = Host-CPU (8-bit) greift zuerst auf Low-Byte zu * 1 = Host-CPU greift zuerst auf High-Byte zu
12	Increment Pointer Address on Read INCR
11	Increment Pointer Address on Write INCW Mit INCR und/oder INCW = 1 wird die Adresse in HSTADRL und HSTADRH vor dem lokalen Buszyklus inkrementiert. Dadurch ist Blocktransfer z.B. mit 80386-Stringbefehlen möglich (REP INSW/OUTSW); Transfer-Rate max. 5 Mbyte/s.
9	Non Maskable Interrupt Mode NMIM
8	Non Maskable Interrupt (Host an GSP) NMI
	NMI NMIM
	0 0 kein NMI
	0 1 undefiniert
	1 0 NMI mit Kontext-Sichern (z.B.für Debugging)
	1 1 NMI ohne Kontext-Sichern (z.B.Soft-Reset)

Host-Interface-Address-Register High HSTADRH

Adresse 0 C000 00E0 H Vorzugswert: --

Adreßzeiger (höherwertiger Teil) zur Adressierung einer lokalen Speicherzelle im GSP-Adreßraum durch die Host-CPU.

Host-Interface-Address-Register Low HSTADRL

Adresse 0 C000 00D0 H Vorzugswert: --

Adreßzeiger (niederwertiger Teil) zur Adressierung einer lokalen Speicherzelle im GSP-Adreßraum. Da das Host-Interface 16 bit Datenbreite hat, die Adressen jedoch Bitadressen sind, sind die 4 niederwertigsten Bit = 0.

Host-Interface-Data-Register HSTDATA

Adresse 0 C000 00C0 H Vorzugswert: --

16-bit-Zwischenregister zum Datenaustausch zwischen Host-CPU und HIGRAPH Graphikteil. Das Datum der durch HSTADRL und HSTADRH definierten Speicherzelle im GSP-Adreßraum wird vom GSP durch einen lokalen Speicherzyklus in dieses bzw. aus diesem Zwischenregister übertragen.

Wenn die Host-CPU zum Register HSTDATA zugreift, so wird im GSP ein korrespondierender lokaler Speicherzugriff zum GSP-Adreßraum ausgelöst; der GSP überträgt dabei automatisch das Datum zwischen HSTDATA und der Speicherzelle im GSP-Adreßraum. Die Host-CPU führt solange Wartezyklen aus, bis der gesamte Host-Transfer abgeschlossen ist. (siehe auch "Interface zum Systembus").

23.4.3 Interface zum Systembus

Der Transfer zum Systembus erfolgt über das Host-Interface mittels 16 bit breiten I/O-Transfers. 4 I/O-Wortadressen (das entspricht 8 I/O-Byteadressen) werden benötigt. Mit SETUP-Utility des System-BIOS wird dem GSP ein Adreßfenster zugewiesen (0340 - 0347 H bzw. 0350 - 0357 H), durch das er über den Systembus per I/O-Transfer angesprochen werden kann; die Subadresse bestimmt, welches Host-Register im GSP angewählt wird:

H	SA2	SA1	SA0	Host-Interface-Register im GSP
0	0	0	0	HSTADRL Host-Adresse (16 niederwertige Bits)
2	0	1	0	HSTADRH Host-Adresse (16 höherwertige Bits)
4	1	0	0	HSTDATA Host-Daten (16 Bit)
6	1	1	0	HSTCTL Host-Control (16 Bit)

Das HSTCTL-Register enthält Steuerinformation für den GSP.

Um z.B. ein Datum zum lokalen GSP-Speicher zu übertragen, muß zunächst in HSTADRL und HSTADRH die GSP-Adresse eingetragen werden und dann in HSTDATA das gewünschte Datum. Der GSP führt dann den Transfer zu seinem lokalen Speicher selbständig aus.

Beim Lesen eines Datums vom lokalen GSP-Speicher muß zunächst in HSTADRL und HSTADRH die zu lesende Adresse des GSP eingetragen werden. Der GSP führt dann den Transfer von seinem lokalen Speicher ins HSTDATA-Register selbständig aus. Das Datum kann dann im HSTDATA Register abgeholt werden.

23.4.4 Lokaler Bus

Der lokale Bus wird vom GSP über einen kombinierten 16 bit breiten Adreß-Datenbus (3-fach gemultiplext: 2x Adresse/Status, 1x Datum) angesteuert. Der lokale GSP-Datenbus ist 16 bit breit ausgelegt (LD0 - LD15). In Latches wird die 23 bit breite lokale Adresse LA4 - LA26 zwischengespeichert. Intern im GSP-Chip wird mit Bitadressen gearbeitet, nach außen wird aber wortweise (16 bit) transferiert; deshalb werden die 4 niederwertigsten Adreßbits LA0 – LA3 nicht ausgegeben.

Der gesamte lokale Adreßbereich wird in verschiedene Felder aufgeteilt:

- VRAM (Bildspeicher)
- Lokales DRAM
- Reserviertes Feld
- I/O-Feld für Peripherie

Die Adressen LA27 - LA31 werden nur intern im GSP ausgewertet (z.B. zur Adressierung der GSP-Register).

Der gesamte lokale Adreßbereich des GSP enthält das lokale DRAM, das VRAM und die privaten I/O-Adressen; er ist über das Host-Interface auch vom Systembus aus zugänglich.

DRAM und VRAM werden gemeinsam refresht (CAS before RAS-Refresh).

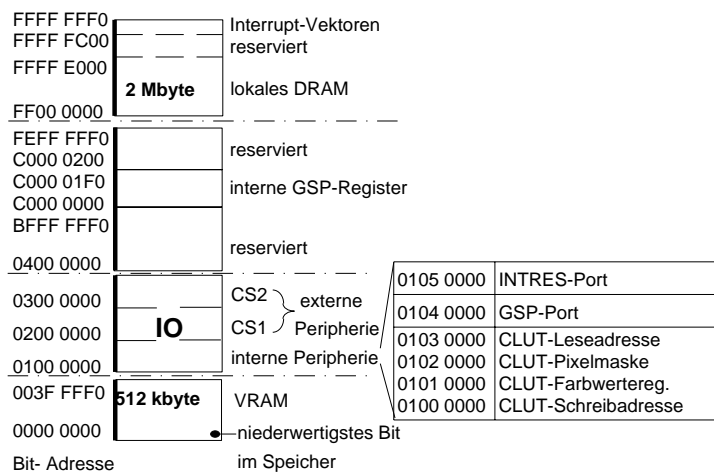


Bild 23.5: Lokaler Adreßraum des GSP

23.4.5 Peripherie der HIGRAPH-Graphik

Der Peripheriebereich wird in einen internen und externen Bereich aufgeteilt.

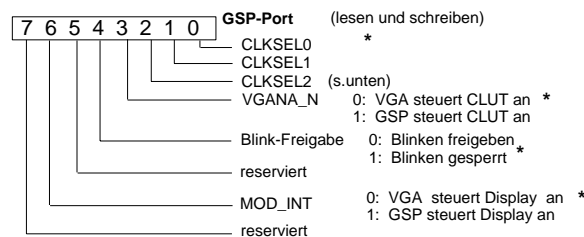
Interner Peripherie-Adreßbereich 01XX XXXX H
 Externer Peripherie-Adreßbereich 0300 XXXX H

Für die Adressierung der Peripherie am GSP werden nur die (Bit-)Adressen LA13-LA26 ausgewertet.

CLUT, die Color-Lookup-Table hat die Adressen 0100 0000 H, 0101 0000 H, 0102 0000 H und 0103 0000 H.

GSP-PORT, das lokale GSP-Port wird unter der Adresse 0104 0000 H angesprochen; es wird byteweise gelesen und geschrieben.
 Beim Einschalten steht nach dem Rücksetzen (RES_DRV) im GSP-Port der Wert 00 H.

INTRES, das Rücksetzen für den internen GSP-Interrupt LINT2 (CPU-Zugriff zum VGA-Bildspeicher) hat die Adresse 0105 0000 H. Dieser Interrupt wird durch Schreiben auf diese Adresse per Programm zurückgesetzt. Der externe GSP-Interrupt LINT2 vom Stecker X23 wird extern verwaltet.



*** Einschaltwert**

	CLKSEL 2 1 0	Pixel-Clock in MHz	Auflösung
0	0 0 0	25 *	640x480
1	0 0 1	32	800x600
2	0 1 0	50	800x600
3	0 1 1	64	1024x768
4	1 0 0	reserviert	
5	1 0 1	reserviert	
6	1 1 0	reserviert	
7	1 1 1	reserviert	

Bild 23.6: GSP-Port

23.4.6 Color-Lookup-Table

Für die HIGRAPH- und VGA-Graphik wird jeweils eine eigene Color-Lookup-Table verwendet. Die Ausgänge der Color-Lookup-Table der HIGRAPH- und VGA-Anschaltung sind am Ausgang zusammengefaßt.

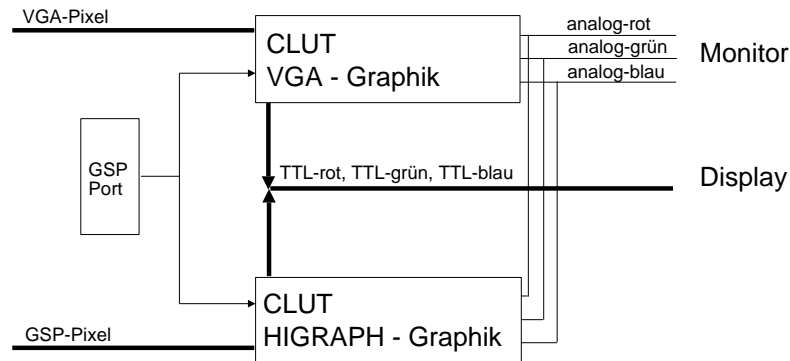


Bild 23.7: Zusammenschaltung von VGA- und GSP-CLUT

Die Color-Lookup-Table besitzt einen TTL-Ausgang zum Ansteuern der Displays und einen Analog-Ausgang zum Ansteuern eines externen Monitors. Der Inhalt des GSP-Ports bestimmt, welcher Ausgang (Analog bzw. TTL) der jeweiligen Color-Lookup-Table den Monitor und das Display ansteuert.

Die Register der CLUT werden byteweise (LD 0-7) gelesen und geschrieben.

Adressierung der HIGRAPH Color-Lookup-Table

Adresse (HIGRAPH)	Bezeichnung
0100 0000 H	Pixel-Adreßregister (Schreibmodus)
0101 0000 H	Farbwerteregister
0102 0000 H	Pixel-Mask-Register
0103 0000 H	Pixel-Adreßregister (Lesemodus)

Die Farbpalette umfaßt 256 Zellen mit je 18 bit; die einzelnen Zellen können, wenn die HIGRAPH aktiv ist, über die Pixeladresse PX (Bildinformation) oder das Pixel-Adreßregister (lesen/schreiben) adressiert werden. Es gibt nur ein Pixel-Adreßregister für die Farbpalette, das über zwei verschiedene GSP-Adressen (Lesemodus/Schreibmodus) angesprochen werden kann.

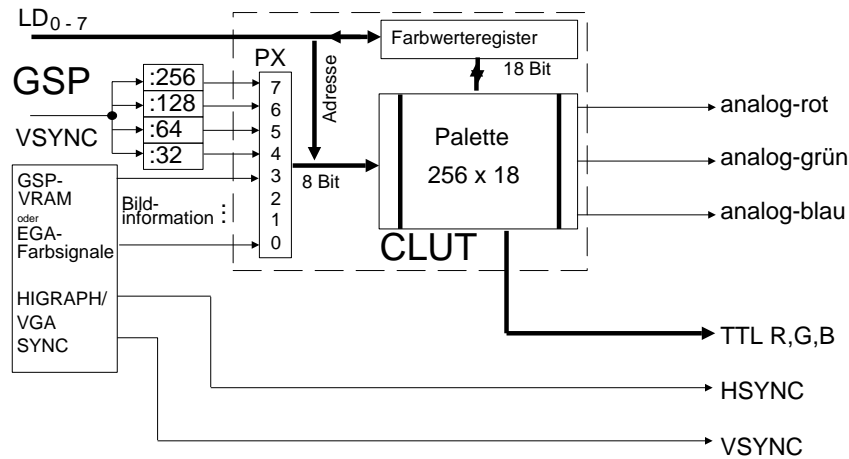


Bild 23.8: Color-Lookup-Table (HIGRAPH)

Das Farbwertregister (18 bit breit, pro Farbe 6 bit, d.h. 262144 verschiedene Farbtöne) kann gelesen und geschrieben werden, indem 3 Bytes transferiert werden, für jede Farbe eines: zuerst rot, dann grün und zuletzt blau. In jedem Byte sind die niedersten 6 bit Farbinformation und die höchsten 2 bit Null. Der Wert 0 für eine Grundfarbe bedeutet, daß diese dunkel ist; 03F H ist der jeweils hellste Wert (die Intensität nimmt linear mit dem Wert zu).

Zum Schreiben eines neuen Wertes in die Palette wird zunächst die neue Adresse über 01000000 H eingetragen und dann die 3 Farbbytes ins Farbwertregister geschrieben. Nachdem das 3. Byte ins Farbwertregister eingeschrieben wurde, wird der Wert in die Farbpalette übertragen und dann die Pixeladresse um 1 automatisch erhöht.

Zum Lesen schreibt man eine neue Pixeladresse über 01030000 H ein; damit wird der Wert aus der Farbpalette gleichzeitig ins Farbwerteregister übernommen. Die 3 Farbwerte können nun vom GSP ausgelesen werden. Nachdem das 3. Byte aus dem Farbwerteregister ausgelesen wurde, wird ein neuer Wert aus der Farbpalette ins Farbwerteregister übertragen und danach die Pixeladresse um 1 automatisch erhöht.

Die Pixeladressen PX0-PX3 werden vom GSP-VRAM geliefert (Pixelinformation). PX4 bis PX7 werden bei GSP-Betrieb mit 1/32, 1/64, 1/128, 1/256 von VSYNC (ca. 0,5, 1, 2, 4 s) getaktet. Damit können 16 Farbpaletten zyklisch umgeschaltet werden (Blinken, Lauflicht). Die 4 Blinktakte laufen zueinander synchron (0 ... F H). Über das GSP-Port sind diese 4 Taktsignale (bei HIGRAPH-Betrieb) abschaltbar; an den Eingängen PX4 bis PX7 liegt dann H-Pegel.

Mit der Pixelmaske können einzelne Adreßbits PX der Farbtabelle maskiert werden. Eine 1 beeinflußt das korrespondierende Pixel-Adreßbit nicht, eine 0 setzt die zugehörige Pixeladresse auf 0.

Das VRAM kann nur eine Teilpalette von 16 Zellen in der Palette adressieren, also 16 Farben gleichzeitig ansteuern (PX0 - PX3). Auf die höherwertigen Adressen PX4 bis PX7 werden entweder die Blinktakte oder - wenn das Blinken über das GSP-Port ausgeschaltet ist - "1" aufgeschaltet. Über die Maskierung von PX4 bis PX7 (umschalten von 1 nach 0) ist es möglich, einzelne Blinkfrequenzen abzuschalten oder komplett vorbereitete Teilpaletten auszuwählen. Man kann 16 Teilpaletten mit je 16 Zellen (18 bit) aufbauen. Um eine Farbe blinken zu lassen, benötigt man mindestens zwei Teilpaletten (eine für EIN und eine für AUS).

Darstellung auf dem S/W-LCD-Display

Das S/W-Display ist über eine Farb-Graustufenumsetz-Logik direkt mit den TTL-Ausgängen der Color-Lookup-Table verbunden. Zur Graustufenumsetzung wird vom Rot-, Grün-, und Blau-Kanal der Color-Lookup-Table jeweils Bit 5 verwendet. Damit ergibt sich im HIGRAPH-Betrieb bei 640x480 die nachfolgende Farb-Graustufenzuordnung.

**HIGRAPH 640x480
mit 8 Graustufen**

Schwarz	
Blau	
Rot	
Magenta	
Grün	
Türkis	
Gelb	
Weiss	
Dunkelgrau	
Dunkelblau	
Dunkelrot	
Dunkelmagenta	
Dunkelgrün	
Dunkeltürkis	
Dunkelgelb	
Hellgrau	

23.9: Farb-Graustufenumsetzung beim LCD-Betrieb

Darstellung auf dem Farb-Display

Das Farb-Display wird mit den höherwertigen Farbkanalbits (R, G, B) der Color-Lookup-Table (Bit - R5, R4, R3, G5, G4, G3, B5, B4 und B3) angesteuert. Vom VRAM kann nur eine Teilpalette von 16 Zellen (PX0 - PX3) adressiert werden. Damit können bis zu 16 Farben aus einer Palette von 512 Farben gleichzeitig dargestellt werden. Auf die höherwertigen Adressen PX4 bis PX7 werden entweder die Blinktakte oder - wenn das Blinken über das GSP-Port ausgeschaltet ist - logisch "1" aufgeschaltet. Über die Maskierung von PX4 bis PX7 (umschalten von 1 nach 0) ist es möglich, einzelne Blinkfrequenzen abzuschalten oder komplett vorbereitete Teilpaletten auszuwählen. Man kann 16 Teilpaletten mit je 16 Zellen (18 bit) aufbauen. Um eine Farbe blinken zu lassen, benötigt man mindestens zwei Teilpaletten (eine für EIN und eine für AUS).

23.4.7 VRAM

Als Bildwiederholpeicher dient das VRAM. Es ist 16 bit breit in 4 Bänken (je 128 kbit) organisiert. Es wird vom GSP von 00000000 H bis 003FFFF0 H adressiert. Die Pixelinformation ist in aufeinanderfolgenden Bits gespeichert (Packed-Pixel).

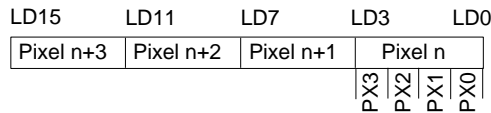


Bild 23.10: Packed-Pixel-Organisation

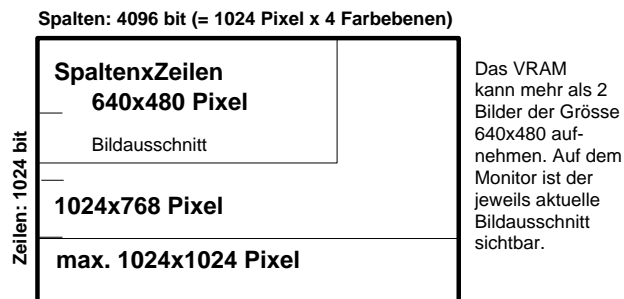


Bild 23.11: VRAM Bildausschnitt

Im VRAM ist in jeder Bank die Speichermatrix in 4096 Spalten und 256 Zeilen organisiert. Eine Bildzeile ist in einer Zeile im VRAM enthalten. Die internen seriellen Datenregister der selektierten Bank (s. DPYADR-Register) können eine ganze Zeile (4096 bit für 4x1024 Pixel) aufnehmen; diese Zeile wird in 16-bit-Schritten seriell ausgegeben. Ein 8-bit-Pointer im VRAM zeigt auf den jeweils aktuellen Schritt im seriellen Datenregister.

Im **Transferzyklus** wird die Bildzeile aus der Speichermatrix ins interne serielle Datenregister übertragen; mit RAS wird die Zeile ausgewählt und mit CAS wird der Pointer auf seinen Anfangswert geladen (Bildausschnitt, Panning; s. DPYTAP-Register).

Die Bildzeile wird mit dem Pixel-Clock in die Color-Lookup-Table übertragen. Der Zähler/Pointer wird – nach jedem seriellen Übertragungsschritt zur Farbpalette – inkrementiert.

Der GSP spricht das VRAM mit Schreib-/Lesezyklen oder mit Transferzyklen an (3 Zugriffsarten). Die seriellen Ausgänge des VRAM (16 bit) werden über Schieberegister (Geschwindigkeitstransformation 1:4) auf die Adreßeingänge der Color-Loop-Table (4 Bit) geschaltet, um dort den zugehörigen Farbton auszuwählen. Der **Refresh** des VRAM wird vom GSP als "CAS-before-RAS-refresh" durchgeführt; ein Adreßzähler im VRAM liefert die Refresh-Adresse.

23.4.8 Lokales RAM

2 Mbyte DRAM stehen dem GSP als lokaler Arbeitsspeicher zur Verfügung. Er ist 16 bit breit und wird von 0FF00000 H bis 0FFFFFFF H adressiert. Er nimmt das GSP-Programm und Bilddaten auf. Das lokale RAM kann vom Systembus aus durch das Host-Interface über den GSP geschrieben und gelesen werden.

23.5 EPROM

Auf der Graphik-Anschaltung ist ein 8 bit breiter **EPROM-Festwertspeicher** eingebaut, der nur dem Host-Systembus frei zugänglich ist (wird als BIOS-Erweiterung beim Systemhochlauf gestartet). Das EPROM enthält VGA-BIOS-Routinen.

Adreßraum für das EPROM

Arbeiten mehrere Graphik-Anschaltungen im System, so dürfen sich die EPROM-Adressen nicht überschneiden, oder die weiteren EPROMs müssen gesperrt werden.

23.6 Schnittstellen/Steckerbelegung

Die Graphikeinheit ist auf dem Motherboard an den AT-kompatiblen Bus angeschlossen. Von den AT-Bus spezifischen Signalen nutzt der VGA-Teil IRQ 9 (per S/W auf IRQ 2 umgeleitet). Der GSP-Teil nutzt Interrupt IRQ 11 oder 12 (ausgewählt durch SETUP-UTILITY). In der Standardvoreinstellung wird Interrupt IRQ 11 verwendet.

Erweiterungsschnittstelle:

Für Erweiterungen der HIGRAPH-Funktionalität ist ein Teil des lokalen GSP-Busses auf den Stecker X23 geführt. Das Select-Signal CS2 gibt ein Adreßfenster frei, durch das der GSP mit Erweiterungen kommunizieren kann. Über den Interrupt

LINT2_N können dem GSP "Besonderheiten" durch die Erweiterung gemeldet werden.

Im Adreßfenster können zum Chip-Select die Adreßleitungen LA16 und LA17 – unterschieden werden. Der Datenbus ist 16 bit breit. Es stehen 6 Steuersignale zur Verfügung (aktiv low, außer LINT2_N):

IRES_N	L = rücksetzen
CS2_N	L = 2. Adresse ist gültig
EWR_N	L = schreiben
ERD_N	L = lesen
ECAS_N	L = Datenübernahmeimpuls
LINT2_N	L = Interrupt aktiv, Eingang (siehe Interrupt Interface Register)
LD0 - LD15	Lokale Daten
LA16 - LA17	Lokale Adressen

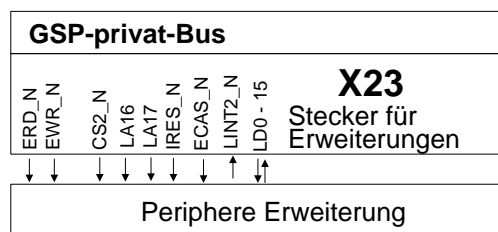


Bild 23.12: Schnittstelle für Erweiterungen am GSP

Beim Zugriff zur Erweiterung wird grundsätzlich ein Wartezyklus eingefügt. Nur wenn der Transfer langsamer als 300 ns ist, müssen über ERDY_N weitere Wartezyklen eingeschoben werden. LINT2_N von X23 hat Vorrang vor dem VGA-Bildspeicherzugriff-Interrupt. Der Interrupt muß durch die Serviceroutine quittiert werden (z.B. durch Schreiben auf eine bestimmte Adresse), damit die Interrupt-Routine nicht erneut vom GSP durchlaufen wird.

23.7 Display-Schnittstellen

Die beiden internen Display-Schnittstellen X13 (S/W-LCD) und X21 (TFT-Display) können nicht gleichzeitig angesteuert werden.

Farb-Display-Schnittstelle:

Die interne Farb-Display-Schnittstelle ist auf den 26poligen Rechteckstecker X21 geführt. Das Display kann wahlweise (über GSP-Port) durch die VGA-Graphik oder die HIGRAPH-Graphik angesteuert werden. Die maximal darstellbare Auflösung ist 640x480 Pixel bei 16 Farben. Versucht man das Display mit 1024x768 Pixel Auflösung bei HIGRAPH-Betrieb anzusteuern, dann wird die Display-Ansteuerung automatisch auf VGA-Graphikbetrieb umgeschaltet. Ein extern angeschlossener Monitor wird parallel mit 1024x768 HIGRAPH-Graphikbetrieb angesteuert. .

X21 Farb-Display-Schnittstellenbelegung

Pin	Signalname	Pin	Signalname
1	VLCD_DI (- 24 V)	2	0 V
3	CLOCK Col.	4	0 V
5	GRÜN 2	6	GRÜN 1
7	GRÜN 0	8	0 V
9	BLAU 2	10	BLAU1
11	BLAU 0	12	0 V
13	ROT 2	14	ROT 1
15	ROT 0	16	0 V
17	FEATURE CONIN1	18	VERTIKAL CLOCK
19	HORIZONTAL-CLOCK	20	+5 V
21	+12 V	22	0 V (Hinterleuchtung)
23	+5 V	24	0 V (Hinterleuchtung)
25	+12 V (Hinterleuchtung)	26	+12 V (Hinterleuchtung)
27	BLAU 3	28	ROT 3
29	GRÜN 3	30	0 V

S/W-Display-Schnittstelle:

Die interne S/W-Display-Schnittstelle ist auf den 26poligen Rechteckstecker X13 geführt. Das Display kann wahlweise (über GSP-Port) durch die VGA-Graphik oder die HIGRAPH-Graphik angesteuert werden. Die maximal darstellbare Auflösung ist 640x480 Pixel bei 8 Graustufen. Versucht man das Display mit 1024x768 Pixel Auflösung bei HIGRAPH anzusteuern, dann wird die Display-Ansteuerung automatisch auf den VGA-Graphikbetrieb umgeschaltet.

X13 S/W-Display-Schnittstellenbelegung

Pin	Signalname	Pin	Signalname
1	VLCD_(-24 V)	2	0 V
3	UPPER DATA 0	4	UPPER DATA 1
5	UPPER DATA 2	6	UPPER DATA 3
7	LOWER DATA 0	8	LOWER DATA 1
9	LOWER DATA 2	10	LOWER DATA 3
11	0 V	12	0 V
13	0 V	14	0 V
15	0 V	16	FRAME-PULSE (S)
17	reserviert (FP)	18	LATCH-PULSE (CL1)
19	SHIFT-CLOCK (CL2)	20	reserviert (CL3)
21	reserviert (CL4)	22	0 V
23	+5 V	24	0 V
25	+12 V	26	+12 V

Externer Monitoranschluß VGA

Die externe Monitorschnittstelle ist auf den 15poligen Trapezstecker X12 VGA (Buchse) geführt. Der Ausgang wird wahlweise (GSP-Port abhängig) von der HIGRAPH-Graphik oder von der VGA-Graphik angesteuert.

Die analogen Ausgangssignale (ROT,GRÜN, BLAU) liefern einen Pegel von 0,7 V_{ss} an 75 Ω Lastwiderstand. Die Synchronisationssignale HS und VS liefern Standard TTL-Pegel.

X12 Externer Monitoranschluß VGA

Pin	Signalname	Pin	Signalname	Pin	Signalname
1	ROT	6	0 V	11	nicht belegt
2	GRÜN	7	0 V	12	nicht belegt
3	BLAU	8	0 V	13	HS
4	nicht belegt	9	nicht belegt	14	VS
5	nicht belegt	10	0 V	15	nicht belegt

Erweiterungsanschluß X23

Die 50polige Erweiterungsanschlußbuchse befindet sich auf dem Motherbord. Sie ist nur bei geöffnetem Gerät zugänglich. An den Erweiterungsanschluß kann die angebotene FAST-PRINT Option angeschlossen werden.

X23 Erweiterungsanschluß

Pin	Signalname	Pin	Signalname
1	nicht belegt	2	+ 5 V
3	LINT2_N (Interrupt)	4	nicht belegt
5	0 V	6	IRES_N (Rücksetzen)
7	nicht belegt	8	CS2_N (Chip-Select)
9	ERD_N (lesen)	10	EWR_N (schreiben)
11	nicht belegt	12	ECAS_N (Strobe Spaltenadresse)
13	nicht belegt	14	0 V
15	nicht belegt	16	nicht belegt
17	nicht belegt	18	LA16
19	LA17	20	nicht belegt
21	nicht belegt	22	nicht belegt
23	nicht belegt	24	nicht belegt

25	nicht belegt	26	0 V
27	LD0	28	LD1
29	LD2	30	LD3
31	LD4	32	LD5
33	LD6	34	LD7
35	LD8	36	LD9
37	LD10	38	LD11
39	LD12	40	LD13
41	LD14	42	LD15
43	+ 5V	44	0 V
45	nicht belegt	46	nicht belegt
47	nicht belegt	48	nicht belegt
49	nicht belegt	50	nicht belegt


```

;Colour-Lookup-Table-
lut_wr_adr_h    equ    0100h    ; -Addressreg.(write mode)
lut_data_h     equ    0101h    ; -Colour Value Register
lut_mask_h     equ    0102h    ; -Pixel Mask Register
lut_rd_adr_h   equ    0103h    ; -Addressreg.(read mode)
lut_adr_l      equ    0000h    ;Low-Word of CLUT-Adr

;----- Values -----;

halt_gsp       equ    0F800h    ;halt / HSTCTL-Reg.
gsp_to_ext     equ    48h       ;GSP-Port fuer TI 640x480
gsp_to_vga     equ    00h       ;VGA-Betrieb
init_pix_mask  equ    0FFh     ;nothing masked / CLUT

stripes_max    equ    16        ;16 stripes to be filled
fill_cnt       equ    256*32    ;1 line in video-memory
                                   ;256 words, 32 lines
                                   ;to fill for colour-bar

;***** Start of Program *****;
;***** Start of Program *****;
;***** Start of Program *****;
code           segment
assume        cs:code,ds:code

INIT:
;-----;
; Stop GSP processing, flush GSP's Cache ;
; clear INTOUT, reset GSP-Port ;
; (VGA then drives internal & external Display) ;
;-----;

push    cs
pop     ds
mov     dx,hst_ctl    ;point to HSTCTL-register
mov     ax,halt_gsp
out     dx,ax        ;set GSP into Halt, flush
                                   ; Cache, clear INTOUT

```

```

mov     dx,gsp_port_h           ;point to gsp_port
mov     bx,gsp_port_l
mov     ax,0                    ;reset gsp_port
mov     cx,1                    ;1 word to write
stc                                         ;setup HADDR-Reg.
call    write_to_gspmem

;-----;
; Setup GSP-I/O-Register
;-----;
mov     dx,io_adr_h             ;point to GSP-I/O-Register
mov     bx,io_adr1_l
mov     cx,12                   ;length ioregs1
mov     si,offset ioregs1
stc                                         ;setup HADDR-Reg.
call    move_to_gspmem          ;transfer 1st Bank
mov     bx,io_adr2_l
mov     cx,7                    ;length ioregs2
mov     si,offset ioregs2
stc                                         ;setup HADDR-Reg.
call    move_to_gspmem          ;transfer 2nd Bank
mov     bx,io_adr3_l
mov     cx,1                    ;length ioregs3
mov     si,offset ioregs3
stc                                         ;setup HADDR-Reg.
call    move_to_gspmem          ;transfer 3rd Bank

;-----;
; Setup Hitachi HD153119 Colour-Lookup-Table
; Load 2 sets of 16 Colors into 16 palettes
;-----;
mov     dx,lut_wr_adr_h         ;point to lut-write-
mov     bx,lut_adr_l            ;address-register
mov     ax,0                    ;select first colour entry
mov     cx,1
stc                                         ;setup HADDR-Reg.
call    write_to_gspmem
mov     di,8                    ;setup loop count
mov     dx,lut_data_h           ;point to lut-colour-
next_pal_0:                          ;-value-register

```

```

mov     bx,lut_adr_l
cld
mov     cx,16*3           ;every palette has
mov     si,offset colors_0 ;16*3 entries (R/G/B)
stc
call    move_to_gspmem   ;setup HADDR-Reg.
dec     di
jnz     next_pal_0       ;loop to load table 0-7
mov     di,8             ;do next 8 palettes
next_pal_1:
mov     bx,lut_adr_l
cld
mov     cx,16*3
mov     si,offset colors_1
stc
call    move_to_gspmem   ;setup HADDR-Reg.
dec     di
jnz     next_pal_1       ;loop to load table 8-15
mov     dx,lut_mask_h    ;point to lut-pixel-
mov     bx,lut_adr_l     ;mask-register
mov     ax,init_pix_mask
mov     cx,1
stc
call    write_to_gspmem  ;setup HADDR-Reg.
;-----;
; Init GSP-Port (PCLK = 25MHz, enable Video,
; disable Blinking.
; GSP then drives external Display (CRT),
; VGA drives internal Display
;-----;
mov     dx,gsp_port_h    ;point to gsp_port
mov     bx,gsp_port_l
mov     ax,gsp_to_ext    ;set gsp-port to drive
mov     cx,1             ;external Display
stc
call    write_to_gspmem  ;setup HADDR-Reg.
;-----;
; Fill GSP-Display-Memory with vertical Color-Bar
;-----;
mov     ax,0             ;1st value to fill

```

```

    mov     bx,vidmem_l           ;point to start of
    mov     dx,vidmem_h           ;video-memory
    mov     di,stripes_max       ;setup counter
    stc                             ;first stripe setup

next_stripe:                       ;HADDR-Reg.
    mov     cx,fill_cnt          ;fill_count
    call    write_to_gspmem
    dec     di                   ;inc stripe-counter
    jz      skip_fill           ;all stripes filled
    add     ax,1111h            ;new colour for next stripe
    clc                             ;use unchanged HADDR-Reg.
    jmp     next_stripe         ;for next stripes

;-----;
; all done, exit to DOS
;-----;
skip_fill:
;-----;
; Leave Programm and enable VGA-Graphik
;-----;
    mov     cx,0ffffh
    mov     bx,80h

loop_v:    dec     cx
    jnz     loop_v
    mov     cx,0ffffh
    dec     bx
    jnz     loop_v
    mov     dx,gsp_port_h       ;point to gsp_port
    mov     bx,gsp_port_l
    mov     ax,gsp_to_vga       ;set gsp-port to drive
    mov     cx,1                ;external Display
    stc                             ;setup HADDR-Reg.
    call    write_to_gspmem
    mov     ax,4c00h
    mov     cx,0
    mov     dx,0
    int     21h                 ;exit to DOS

```

```

***** SUBROUTINES *****
;
;
;----- move to gsp local memory -----;
;at entry:
;CY set:
;bx = low word of start-adr | CY not set:
;dx = high word of start-adr | bx,dx = don't care
;                                | start-adr = current
;                                | ;address(HADDR)
;cx = count of words to move
;ds:si first word to be moved
;
;at exit: cx,si,flags destroyed
;-----;

move_to_gspmem:
    push    dx                ;save dx
    push    ax                ;save ax
    jnc     move_blk          ;don't change HADDR-Reg.

    push    dx                ;store adr_high
    mov     dx,hst_adr_low    ;point to HADDRL-Register
    mov     ax,bx             ;get low-word of start-adr
    out     dx,ax             ;write to GSP
    mov     dx,hst_adr_high   ;point to HADDRH-Register
    pop     ax                ;get high-word of start-adr
    out     dx,ax             ;write to GSP

move_blk:
    mov     dx,hst_data       ;point to HDATA-Register
    cld                          ;set direction-flag
    rep     outsw              ;move [cx] words from ds:si
                                ;to gsp-memory
    pop     ax                ;restore ax
    pop     dx                ;restore dx
    ret                          ;return to caller
;----- write to gsp local memory -----;
;at entry:
;CY set:
;bx = low word of start-adr | CY not set:
;dx = high word of start-adr | bx,dx = don't care
;                                | start-adr = current
;                                | ;address(HADDR)
;

```

```

;          ax =          value to fill;          ;
;          cx =          count of words to fill ;
;at exit:          cx,flags destroyed ;
;-----;
write_to_gspmem:
  push     dx          ;save dx
  push     ax          ;store value
  jnc      fill_blk   ;don't change HADDR-Reg.
  push     dx          ;store adr_high
  mov      dx,hst_adr_low ;point to HADDRL-Register
  mov      ax,bx       ;get low-word of start-adr
  out      dx,ax       ;write to GSP
  mov      dx,hst_adr_high ;point to HADDRH-Register
  pop      ax          ;get high-word of start-adr
  out      dx,ax       ;write to GSP

fill_blk:
  mov      dx,hst_data ;point to HDATA-Register
  pop      ax          ;get value to fill

wr_again:
  out      dx,ax
  loop    wr_again    ;cx contains loop-count
  pop     dx          ;restore dx
  ret          ;return to caller

;-----;
; Videotiming for 640*480 resolution ;
;-----;

; horizontal Timing (VCLK = 1/0,64us at 25Mhz PCLK)
;
IOREGS1
  DW      0004h       ;HESYNC (C000 0000)>5*0,64us = 3,2us
  DW      0008h       ;HEBLNK (C000 0010)> 9*0,64us = 5,76us
  DW      0030h       ;HSBLNK (C000 0020)>49*0,64us = 31,4us
  DW      0031h       ;HTOTAL (C000 0030)>50*0,64us = 32,0us
;
; vertical Timing (1 line = ([HTOTAL]+1)*0,64 us at 25MHz PCLK)
;

```

```

DW      0001h      ;VESYNC (C000 0040)> 2 lines = 0,06ms
DW      0018h      ;VEBLNK (C000 0050)> 25 lines = 0,80ms
DW      01F8h      ;VSBLNK (C000 0060)> 505 lines = 16,16ms
; DW      01FFh      ;VTOTAL (C000 0070)> 521 lines = 16,38ms
;
DW      0F010h     ;DPYCTL (C000 0080)
;enable Video, noninterlaced, enable screen refresh,
;no Shiftregister transfer enable,
;screen origin > upper left corner
;Display address update = 4, external video disabled,
;HSYNC direction = output
;
DW      0FFFCh     ;DPYSTRT (C000 0090)
;screen refresh every line, display start at (x/y)=(0/0)
;
DW      0FFFFh     ;DPYINT (C000 00A0)
;line 65536 will never be reached
;
DW      000Ch      ;CONTROL (C000 00B0)
;CAS-before-RAS-Refresh every 10us,Cache enabled
;other Bits 0 (dont care)

IOREGS2
DW      0000h      ;INTENB (C000 0110)          ;all INTs disabled
DW      0000h      ;INTPEND (C000 0120)         ;reset pending INTs
DW      0000h      ;CONVSP (C000 0130)          ;not used
DW      0000h      ;CONVDP (C000 0140)          ;not used
DW      0004h      ;PSIZE (C000 0150)           ;4 Bit per Pixel
DW      0000h      ;PMASKL (C000 0160)          ;not used
DW      0000h      ;PMASKH (C000 0170)          ;in future GSPs
DW      0000h      ;reserved (C000 0180) do not use
DW      0000h      ;reserved (C000 0190) do not use
DW      0000h      ;reserved (C000 01A0) do not use

IOREGS3
DW      0000h      ;DPYTAP (C000 01B0)          ;no panning

;-----;
; Contents for Colour-Lookup-Table ;
;-----;

COLORS_0
DW      0000h,0000h,0000h ;0   black
DW      0000h,0000h,002Ah ;1   blue

```


DW	0000h,002Ah,0000h	;2	green
DW	0000h,002Ah,002Ah	;3	cyan
DW	002Ah,0000h,0000h	;4	red
DW	002Ah,0000h,002Ah	;5	magenta
DW	002Ah,002Ah,0000h	;6	brown
DW	002Ah,002Ah,002Ah	;7	white
DW	0015h,0015h,0015h	;8	dark grey
DW	0015h,0015h,003Fh	;9	light blue
DW	0015h,003Fh,0015h	;10	light green
DW	0015h,003Fh,003Fh	;11	light cyan
DW	003Fh,0015h,0015h	;12	light red
DW	003Fh,0015h,003Fh	;13	light magenta
DW	003Fh,003Fh,0015h	;14	yellow
DW	003Fh,003Fh,003Fh	;15	light white
COLORS_1			
DW	0000h,0000h,0000h	;0	black
DW	0000h,0000h,002Ah	;1	blue
DW	0000h,002Ah,0000h	;2	green
DW	0000h,002Ah,002Ah	;3	cyan
DW	002Ah,0000h,0000h	;4	red
DW	002Ah,0000h,002Ah	;5	magenta
DW	002Ah,002Ah,0000h	;6	brown
DW	002Ah,002Ah,002Ah	;7	white
DW	0000h,0000h,0000h	;8	
DW	0000h,0000h,002Ah	;9	same
DW	0000h,002Ah,0000h	;10	as
DW	0000h,002Ah,002Ah	;11	entry
DW	002Ah,0000h,0000h	;12	0-7
DW	002Ah,0000h,002Ah	;13	
DW	002Ah,002Ah,0000h	;14	
DW	002Ah,002Ah,002Ah	;15	
code	ends		
end			; end of file

23.9 VGA-Graphik

Die VGA-Graphik des PG 730 (VGA: Video Graphics Array) kann im Textmodus und im Graphikmodus betrieben werden. Parallel zum eingebauten Display kann gleichzeitig ein Multisync-Monitor mit analoger Schnittstelle betrieben werden. Das maximal zulässige Monitoranschlußkabel darf 1,5 m lang sein.

Auf dem Monitor sind 16 bzw. 256 Farben aus einer Palette von 262 144 Farben gleichzeitig darstellbar. Das eingebaute S/W-LCD-Display kann 8 Graustufen darstellen.

Beim PG 730 C mit TFT-Farb-Display können 16 bzw. 256 Farben aus einer Palette von 512 Farben gleichzeitig dargestellt werden.

Standardbetriebssystemen dient die VGA-Graphik als Ausgabemedium.

Folgende Auflösungen sind möglich bzw. werden vom BIOS emuliert:

- 640x400 Textdarstellung (VGA)
- 320x200 Graphik mit 256 Farben (VGA)
- 640x350 Graphik mit 16 Farben oder S/W-Darstellung (EGA)
- 640x480 Graphik mit 2 oder 16 Farben (VGA)

Zusammen mit dem Display (S/W-LCD bzw. Farb-TFT) arbeitet die VGA-Graphik in der Vorzugseinstellung mit der Auflösung 640x480 (VGA).

Im Standardtextmodus werden 25 Zeilen zu je 80 oder 40 Zeichen (alphanumerisch oder semigraphisch) dargestellt. Der Zeichengenerator wurde für die Darstellungen auf den Displays angepaßt. Die Größe der Zeichenmatrix wurde bei den Modi 02, 03, 07, 0E, 0F, 11, 12 und 13 H mit 8x16 festgelegt. Im Modus 0F und Modus 10 H wird eine Zeichenmatrix von 8x14 verwendet.

23.9.1 Beschreibung der VGA-Funktionsblöcke

In nachfolgender Abbildung sind die einzelnen Funktionsblöcke der VGA-Graphik dargestellt. Die Funktionseinheiten sind mit Nummern gekennzeichnet und werden nachfolgend im einzelnen beschrieben.

23.9.2 Funktionsblöcke der Bildschirmsteuerung

23.9.2.a Master Clock (1)

Sämtliche Video-Timings werden von einem Master Clock von 25 Mhz abgeleitet. Die Periodendauer des Master Clock entspricht gleichzeitig dem Pixeltakt. In den niedrigeren Auflösungen wird der Eingangstakt des VGA-Controllers im Controller halbiert (Mode 13 H).

23.9.2.b Sequenzer (2)

Der Sequenzer steuert den Zugriff auf den Bildspeicher. Er koordiniert den Zugriff auf den Speicher durch den Prozessor während der aktiven Bildphase, indem er zwischen die Lesezyklen für den Bildaufbau, Prozessorzyklen einfügt. Map-Mask-Register ermöglichen es, ganze Speicherebenen für Veränderungen zu verriegeln.

23.9.2.c CRT-Controller (3)

Der CRT(Cathode Ray Tube)-Controller erzeugt die Signale zum Synchronisieren der horizontalen und vertikalen Strahlablenkung, die Adressen für den Bildspeicher sowie die Refresh-Adressen für die DRAM des Bildspeichers.

Er erzeugt auch die Signale zur Darstellung der Schreibmarke und von Unterstreichungen.

In den einzelnen VGA-Modi wird der CRT-Controller entsprechend dem selektierten Modus umparametriert. Die Parameter der VGA-Modi sind im VGA-BIOS enthalten.

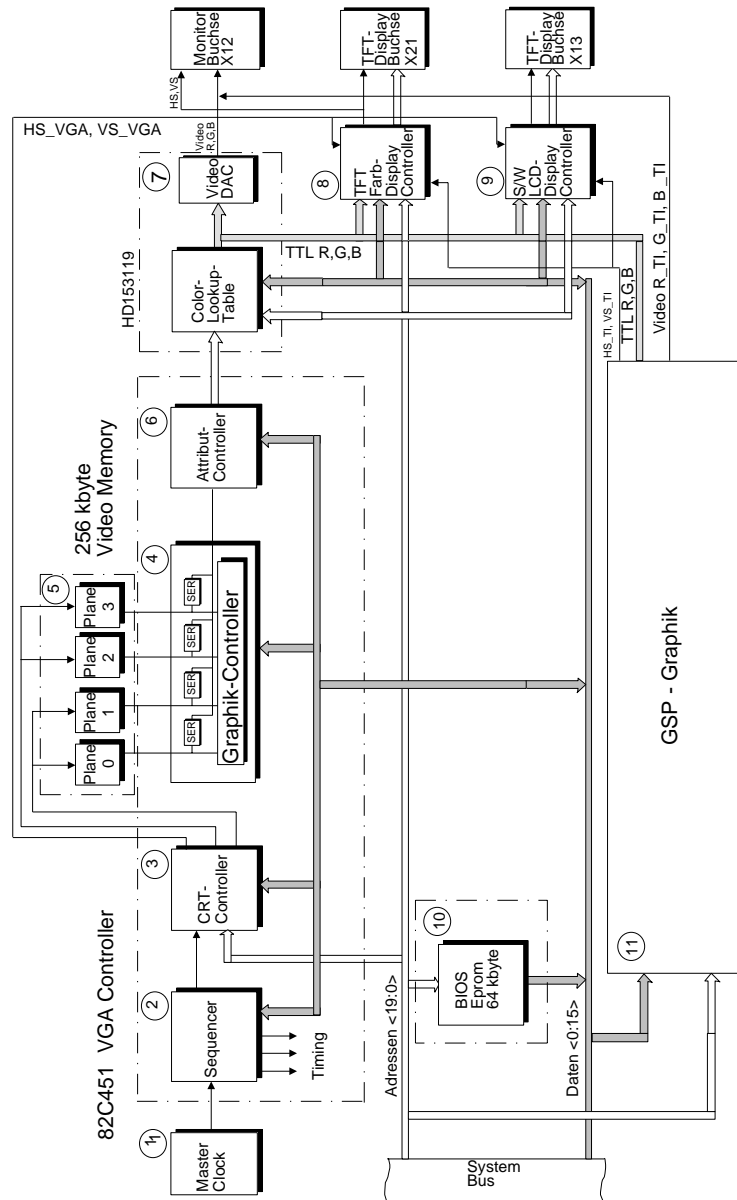


Bild 23.13: Funktionsblöcke der VGA-Graphik

23.9.2.d Graphik-Controller (4)

Der Graphik-Controller schaltet die Daten vom Bildspeicher zum Attribut-Controller und zum Prozessor durch.

Im Graphikmodus werden die Daten bitseriell zum Attribut-Controller übertragen, im Textmodus werden die Daten parallel durch den Graphik-Controller direkt zum Attribut-Controller übertragen.

Der Graphik-Controller ermöglicht die verschiedenen kompatiblen Betriebsarten (EGA und VGA), sowie Farbabfragen im Farbgraphikmodus und 32-bit-Datenzugriffe zum schnellen Vorbesetzen des Bildes.

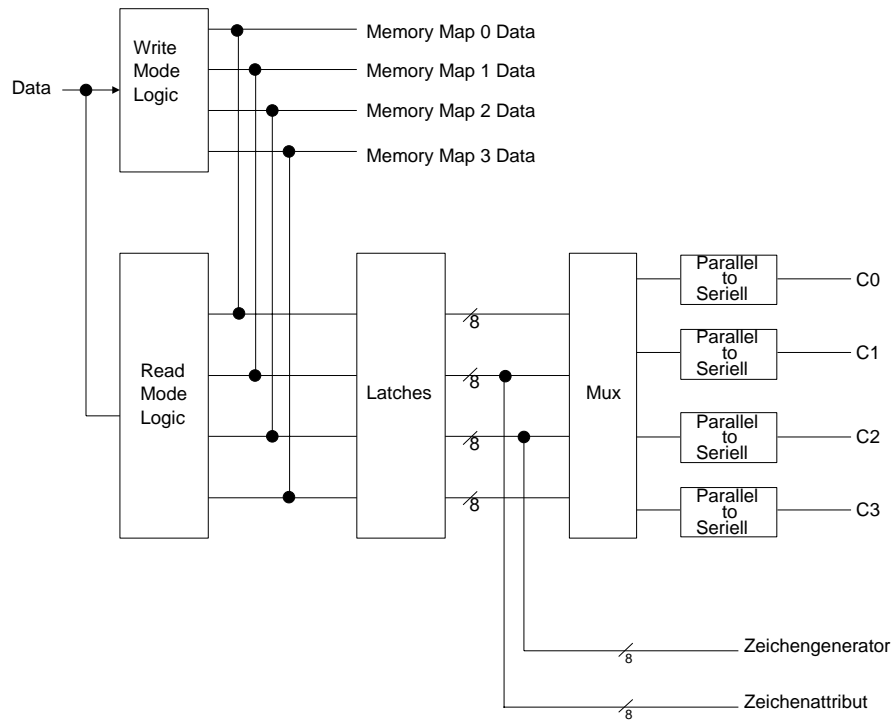


Bild 23.14: Blockschaltbild des Graphik-Controllers

23.9.2.e Bildspeicher (5)

Der Bildspeicher der VGA-Graphik hat eine Größe von 256 kbyte. Der Speicher ist aufgeteilt in 4 gleich große 64-kbyte-Speicher-Maps (C0, C1, C2, C3).

Der Bildspeicher der VGA-Graphik kann an verschiedenen Stellen des Prozessoradressbereichs eingeblendet werden. Damit ist es möglich EGA-Graphik-Applikationen mit der VGA-Graphik zu betreiben.

Der Bildspeicher kann an vier verschiedenen Bereichen im Adreßraum des Prozessors eingeblendet werden. Der Bildspeicher kann bei Segment A0000 H Länge 128 kbyte, bei Segment A0000 H Länge 64 kbyte, bei Segment B0000 H Länge 32 kbyte oder bei Segment B8000 H Länge 32 kbyte beginnen.

Der Bildspeicher enthält im Text- und Semigraphikmode die Codes der anzuzeigenden Zeichen und deren Attribute.

Im Graphikmodus enthält er ein bitweises Abbild des Bildschirms (Bit-Map).

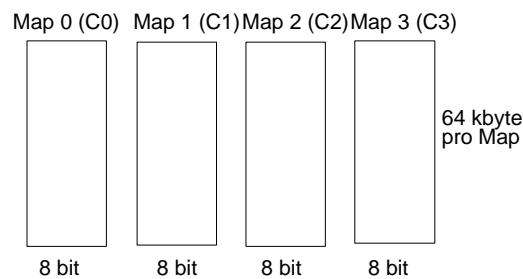


Bild 23.15: bitweises Abbild des Bildschirms

23.9.2.f Attribut-Controller (6)

Der Attribut-Controller ermöglicht es, 16 verschiedene Farben aus 64 möglichen Farben auszuwählen.

Der Controller erhält die Daten aus dem Bildspeicher und formatiert sie für die Bildschirmsteuerung, dabei werden die Darstellungsarten Blinken und Unterstreichen realisiert.

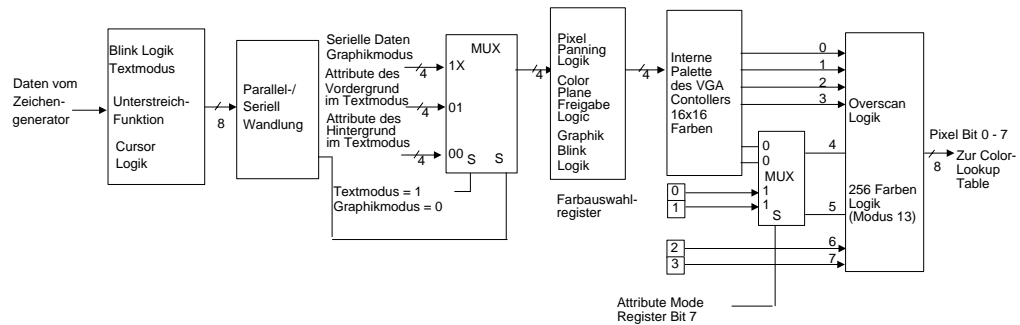


Bild 23.16: Blockschaltbild des Attribut-Controllers

23.9.2.g Color-Lookup-Table (7)

Die Color-Lookup-Table empfängt im Pixeltakt vom Attribut-Controller 8-bit-Adressen, die eines der 256 Farbregister selektieren. Die auf diese Weise adressierten Farbregister enthaltenen 18 bit Farbinformationen, die in analoge Videosignale für den Monitor bzw. digitale Videosignale für die Display-Logik umgewandelt werden. Bevor eine Applikation gestartet wird, muß zuerst die Farbpalette initialisiert werden. Bei den Standardapplikationen erfolgt die Initialisierung durch das VGA-BIOS.

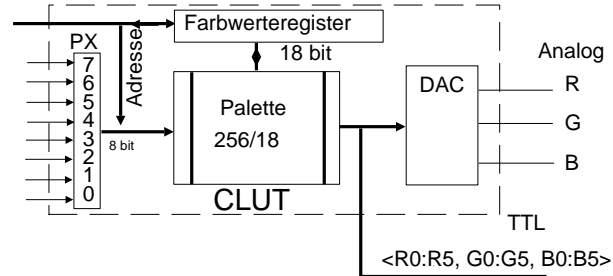


Bild 23.17: Blockschaltbild der Color-Lookup-Table

23.9.2.h TFT-Farb-Display-Interface (8)

Das Interface zum Betrieb des Farb-Displays ist abgestimmt auf ein Display, das bis zu 256 Farben aus einer Auswahl von 512 Farben darstellen kann. Für die Ansteuerung werden jeweils die drei höherwertigen Farbkanalbits (R,G,B) der TTL-Color-Lookup-Table (Bit - R5, R4, R3, G5, G4, G3, B5, B4, und B3) verwendet. Wird das TFT-Display durch die VGA-Graphik angesteuert, dann ist nur die VGA-Color-Lookup-Table aktiv, die TI-Color-Lookup-Table wird passiv geschaltet.

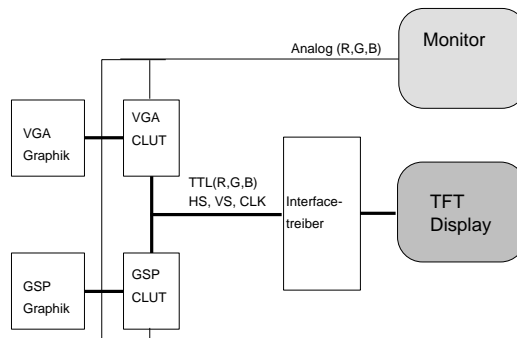


Bild 23.18: Blockschaltbild zum TFT-Farb-Display-Interface

23.9.2.i S/W-LCD-Display-Controller (9)

Das S/W-LCD-Display ist über eine Graustufenumsetzung direkt mit den TTL-Ausgängen der Color-Lookup-Table verbunden. Bei den VGA-Betriebsarten werden nur die Farbausgänge des Grün-Kanals Bit 5, 4 und 3 für die Display-Darstellung ausgewertet.

Beim HIGRAPH-Betrieb werden vom Rot-, Grün- und Blau-Kanal jeweils Bit 5 zur Display-Ansteuerung verwendet.

Die Farbe-Graustufenzuordnung der einzelnen VGA-Modi und des HIGRAPH 640x480 Mode sind nachfolgend dargestellt.

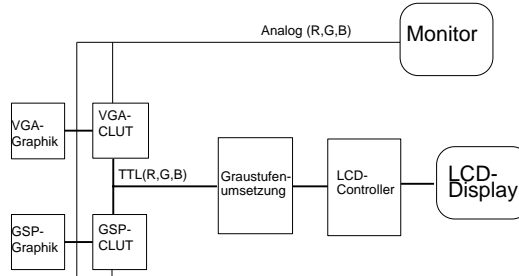


Bild 23.19: Blockschaltbild des S/W-LCD-Display-Controllers

VGA Modus 02 und 03 H			VGA Modus 07, 0F und 11 H			VGA Modus 0D, 0E, 10 und 12 H			VGA Modus 13 H			HIGRAPH 640x480	
Farben	Darstellung		Farben	Darstellung		Farben	Darstellung		Farben	Darstellung		Farben	Darstellung
	invers	normal		invers	normal		invers	normal		invers	normal		normal
Schwarz	■	■	Schwarz	■	■	Schwarz	■	■	Schwarz	■	■	Schwarz	■
Blau	■	■	Weiss	■	■	Blau	■	■	Blau	■	■	Blau	■
Grün	■	■				Grün	■	■	Grün	■	■	Rot	■
Türkis	■	■				Türkis	■	■	Türkis	■	■	Magenta	■
Rot	■	■				Rot	■	■	Rot	■	■	Grün	■
Magenta	■	■				Magenta	■	■	Magenta	■	■	Türkis	■
Braun	■	■				Braun	■	■	Braun	■	■	Gelb	■
Hellgrau	■	■				Hellgrau	■	■	Hellgrau	■	■	Weiss	■
Dunkelgrau	■	■				Dunkelgrau	■	■	Dunkelgrau	■	■	Dunkelgrau	■
Hellblau	■	■				Hellblau	■	■	Hellblau	■	■	Dunkelblau	■
Hellgrün	■	■				Hellgrün	■	■	Hellgrün	■	■	Dunkelrot	■
Helltürkis	■	■				Helltürkis	■	■	Helltürkis	■	■	Dunkelmagenta	■
Hellrot	■	■				Hellrot	■	■	Hellrot	■	■	Dunkelgrün	■
Hellmagenta	■	■				Hellmagenta	■	■	Hellmagenta	■	■	Dunkeltürkis	■
Gelb	■	■				Gelb	■	■	Gelb	■	■	Dunkelgelb	■
Weiss	■	■				Weiss	■	■	Weiss	■	■	Hellgrau	■

* Im Modus 12 H ist invers und normal Darstellung vertauscht

Bild 23.20: Farbe-Graustufenzuordnung

23.9.2.j BIOS (10)

Im VGA-BIOS (Einbauplatz D88) sind die spezifischen Erweiterungen des Betriebssystems und die Zeichengenerator-Tabellen enthalten. Zusätzlich sind die Initialisierungsroutinen zur VGA-Parametrierung bei verschiedenen Modi enthalten. Die VGA-BIOS-Erweiterung ist im Prozessor-Adreßbereich ab Adresse C0000 H hinterlegt (Länge 32 kbyte).

Beim PG 730 wurden folgende vom Standard abweichende Anpassungen vorgenommen.

Abweichungen des PG 730 BIOS zu Standard VGA-BIOS**Feature-Control-Register** (Adr. 03DA H schreiben/Adr. 03CA H lesen)

Bei Standard VGA-Graphiksystemen hat Bit 0 und Bit 1 des Feature-Control-Registers keine spezielle Bedeutung. Beim PG 730 wird Bit 0 dazu verwendet, um das S/W-Display in Invers- bzw. in der Normaldarstellung zu betreiben. Die Umschaltung von Normal- zur Inversdarstellung kann unter MS-DOS durch die Tastenkombination **CRTL+ALT+I** oder durch Beschreiben des Feature-Control-Registers entsprechend der nachfolgenden Tabelle erfolgen. Mit Bit 1 des Feature-Control-Registers wird bei jeder Änderung des VGA-Modus ein kurzer Reset-Impuls beim S/W-LCD-Controller ausgelöst.

Achtung: Wenn dieser Reset-Impuls durch ein Programm erzeugt wird, muß darauf geachtet werden, daß der Controller nur für 1 ms im Reset-Zustand gehalten wird. Bei Nichtbeachtung kann das Display zerstört werden.

Die Darstellung auf dem Monitor und dem Farb-Display werden von diesem Bit nicht beeinflusst.

Feature-Control-Register

Bit 0 =	"0"	Normaldarstellung des S/W-Displays (voreingestellt)
Bit 0 =	"1"	Inversdarstellung des S/W-Displays
Bit 1 =	"0"	S/W-Display-Controller Normalbetrieb (voreingestellt)
Bit 1 =	"1"	S/W-Display-Controller wird in Reset-Zustand gebracht

Input-Status-Register 0 (Adr. 03C2 H lesen)

Am Input-Statusregister Bit 5 (FCIN0) kann die Betriebsart des S/W-LCD-Displays (Graustufen- bzw. S/W-Betrieb) abgefragt werden. S/W-Betrieb kann durch Stecken der Brücke X40 auf dem Grundboard eingeschalten werden. An Bit 6 (FCIN1) kann erkannt werden, ob ein Farb-Display oder ein S/W-Display im Gerät eingebaut ist.

Input-Status-Register 0

Bit 5 =	"0"	LCD-Display wird in S/W-Darstellung betrieben
Bit 5 =	"1"	LCD-Display stellt Graustufen dar (voreingestellt)
Bit 6 =	"0"	Farb-Display ist im Gerät eingebaut
Bit 6 =	"1"	S/W-LCD-Display ist im Gerät eingebaut

Zeichensatz

Beim PG 730 wird grundsätzlich mit einer horizontalen Auflösung von 640 Pixel gearbeitet. Um eine sinnvolle Darstellung zu erzielen, wurde deshalb in den Textmodi, anstelle des 9x16 Pixel Zeichensatzes bei Standard-VGA, ein Zeichensatz von 8x16 Pixel verwendet. Die Parametertabellen der einzelnen Videomodi sind auf das Display des PG 730 angepasst. Das heißt, die horizontale Auflösung wurde in den VGA-Textmodi von 720 auf 640 Pixel reduziert und die vertikale Auflösung grundsätzlich auf 480 Pixel parametrisiert.

23.9.3 Betriebsarten der VGA-Graphik

In nachfolgender Tabelle sind die einzelnen VGA-Betriebsarten aufgeführt, mit denen das Display und der externe Monitor betrieben werden können.

Modus Hexadezimal	Monitor-modus	Darstellung	Farben	Auflösung	Zeichenbox	Spalten/Zeilen	Speicheradresse	V-Sync	H-Sync
02	VGA	Text	16 aus 256K	640x400	8x16	80x25	B8000	+	-
03	VGA	Text	16 aus 256K	640x400	8x16	80x25	B8000	+	-
07	VGA	Text	mono	640x400	8x16	80x25	B8000	+	-
0E	VGA	Graphik	16 aus 256K	640x400	8x16	80x25	A0000	+	-
0F	EGA	Graphik	mono	640x350	8x14	80x25	A0000	-	+
10	VGA	Graphik	16 aus 256K	640x350	8x14	80x25	A0000	-	+
11	VGA	Graphik	2 aus 256K	640x480	8x16	80x25	A0000	-	-
12	VGA	Graphik	16 aus 256K	640x480	8x16	80x25	A0000	-	-
13	VGA	Graphik	256 aus 256K	320x400	8x16	40x25	A0000	+	-

Bei den Darstellungen auf dem Farbmonitor wird jede Farbe aus einer Palette von 262 144 Farben ausgewählt. Mit einem Monochrom-Monitor können max. 64 Graustufen dargestellt werden. Das eingebaute Monochrom-Display kann bis zu 8 Graustufen darstellen. Die Farbe- in Graustufenumsetzung beim S/W-LCD-Display ist in Kapitel S/W-LCD-Display beschrieben. Beim Farb-Display können die darzustellenden Farben aus einer Palette von 512 Farben ausgewählt werden.

23.9.4 Textmodus

Die Modi 2, 3 H und 7 H werden zur alphanumerischen Darstellung (Textdarstellung) verwendet. Die Unterschiede dieser Modi sind aus der Tabelle (VGA-Betriebsarten) ersichtlich.

Im Textmodus werden 25 Zeilen zu je 80 Zeichen (Mode 2, 3 u. 7) dargestellt. Es stehen 16 Farben von 262 144 (512 bei Farb-Display) möglichen zur Auswahl. Die Farbauswahl erfolgt über Register des Attribut-Controllers. Als Bildwiederholpeicher stehen vier Speicherebenen ab Adresse B8000 H (C0, C1, C2, C3) zur Verfügung.

Die Speicherebene C0 enthält die ASCII-Codes der anzuzeigenden Zeichen.
 Die Speicherebene C1 enthält die dazugehörigen Attribute.
 Die Speicherebene C2 beinhaltet zwei ladbare Zeichengeneratoren.

Bit 3 des Attributbytes wählt einen der beiden Zeichengeneratoren aus, so daß gleichzeitig 512 verschiedene Symbole zur Verfügung stehen.
 Über Routinen im ROM-BIOS werden die Zeichengeneratoren vorbesetzt. Sie können später vom Anwender neu geladen werden. Für die Darstellungen auf dem Display muß der Zeichengenerator Zeichen mit einer Matrix von 8x16 verwenden.
 Die darzustellenden Zeichen werden durch jeweils 2 Bytes im Bildspeicher dargestellt.

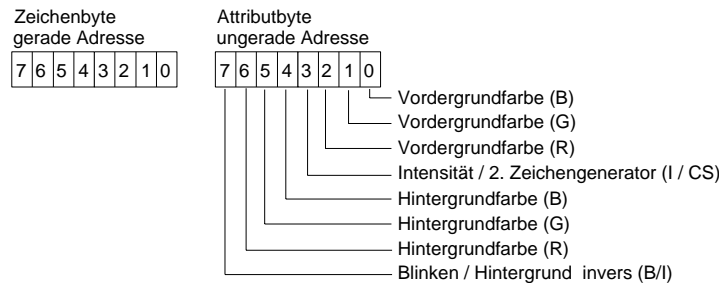


Bild 23.21: Zeichen-/Attributformat

In der Darstellung 25 Zeilen mit je 40 Zeichen wird pro Bildschirmseite 2 kbyte Bildspeicher belegt. Bei der Darstellung 25 Zeilen mit je 80 Zeichen sind pro Bildschirmseite 4 kbyte Bildspeicher erforderlich.

Farbdefinition des Attributbytes

Intensität	Rot	Grün	Blau	Farbe
0	0	0	0	Schwarz
0	0	0	1	Blau
0	0	1	0	Grün
0	0	1	1	Cyan
0	1	0	0	Rot
0	1	0	1	Magenta
0	1	1	0	Braun
0	1	1	1	Weiß
1	0	0	0	Grau
1	0	0	1	Helles Blau
1	0	1	0	Helles Grün
1	0	1	1	Helles Cyan
1	1	0	0	Helles Rot
1	1	0	1	Helles Magenta
1	1	1	0	Gelb
1	1	1	1	Helles Weiß

23.9.5 Graphikmodus

In den folgenden Abschnitten werden die Graphik-Modi der VGA-Graphik beschrieben. Es muß berücksichtigt werden, daß die Farben und die VGA-Parameter der einzelnen Modi vom VGA-BIOS gesetzt werden. Der Inhalt der Color-LookupTable beeinflusst direkt die Art der Farbendarstellung.

Darstellung im VGA-Modus 11 H (640x480 2 Farben)

Die Bildinformation ist in Speicherebene C0 abgelegt. Der Bildspeicher beginnt ab Adresse 0A0000 H. Das erste Byte im Bildspeicher (Adresse 0A0000 H) enthält die ersten 8 Pixel. Es ist nur Monochrom-Darstellung (ohne Graustufen) möglich.

Eigenschaften dieser Darstellung

- Auflösung 640x480 Pixel
- 2 Farben zur Auswahl
- benötigt 38 kbyte pro Bildschirmseite
- Memory Mapped Graphik

Pixelformat im Speicher (Modus 11 H)

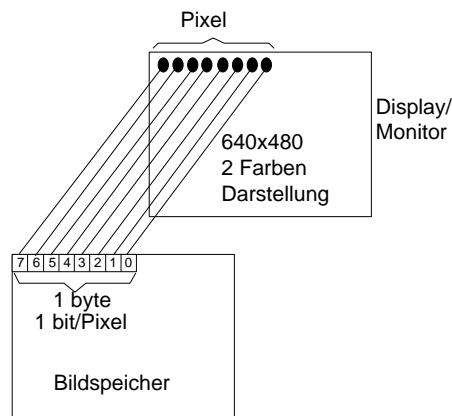


Bild 23.22: Pixelformat im Speicher

Darstellung im EGA-Modus 10, 0E und 12 H (640x480 2 Farben)

Dieser Modus unterstützt Graphikdarstellungen mit 16 Farben. Die Bildinformation wird in den 4 Speicherebenen (C0,C1,C2,C3) abgelegt. Jede Speicherebene (C0, C1 und C2) repräsentiert je eine Grundfarbe. In Speicherebene C3 ist das Intensitätsbit abgelegt. Ein Punkt am Bildschirm setzt sich aus 4 Bit zusammen; je ein Bit aus einer Speicherebene.

Die 4 Speicherebenen werden mit:

C0 = Blauanteil
C1 = Grünanteil
C2 = Rotanteil
C3 = Helligkeit

bezeichnet.

Eigenschaften dieser Darstellung (Modus 10)

- Auflösung 640x350 Pixel
- 16 Farben zur Auswahl
- benötigt 112 kbyte pro Bildschirmseite

Eigenschaften dieser Darstellung (Modus 0E)

- Auflösung 640x200 Pixel
- 16 Farben zur Auswahl
- benötigt 64 kbyte pro Bildschirmseite

Eigenschaften dieser Darstellung (Modus 12)

- Auflösung 640x480 Pixel
- 16 Farben zur Auswahl
- benötigt 153 kbyte pro Bildschirmseite

Pixelformat im Speicher (Modus 0E, 10 und 12 H)

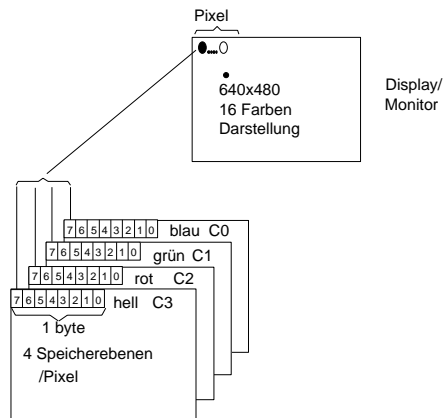


Bild 23.23: Pixelformat

Definition der Farben (Modus 10, 0E und 12 H)

C3	C2	C1	C0	Farbe
0	0	0	0	Schwarz
0	0	0	1	Blau
0	0	1	0	Grün
0	0	1	1	Cyan
0	1	0	0	Rot
0	1	0	1	Magenta
0	1	1	0	Braun
0	1	1	1	Weiß
1	0	0	0	Dunkel Grau
1	0	0	1	Helles Blau
1	0	1	0	Helles Grün
1	0	1	1	Helles Cyan
1	1	0	0	Helles Rot
1	1	0	1	Helles Magenta
1	1	1	0	Gelb
1	1	1	1	Weiß

Die Bildebenen liegen im Speicher ab Adresse A000 H.
 Durch das Maskenregister wird ausgewählt, welche Speicherebenen (C0, C1, C2, C3) beim Beschreiben aktualisiert werden.

Darstellung im VGA-Modus 0F H (640x350 Monochrom)

Dieser Mode emuliert die EGA-Graphikdarstellung mit der Auflösung 640x350 auf einem Monochrom-Monitor. Es können 4 Attribute zur Darstellung verwendet werden.

Vom Bildspeicher werden die beiden Speicherebenen C0 und C2 benutzt. Speicherebene C0 enthält die Bildinformation, in Speicherebene C2 wird das Intensitätsbit des jeweiligen Pixels abgelegt.

Die beiden Speicherebenen beginnen ab Adresse 0A0000 H. Mit dem Plane-/ Map-Mask-Register wird die jeweils zu bearbeitende Speicherebene (C0, C2) freigegeben.

Eigenschaften dieser Darstellung:

- Auflösung 640x350
- Monochrom-Darstellung
- benötigt 56 kbyte Bildspeicher pro Bildschirmseite
- Memory-Maped-Graphik

Pixelformat im Speicher (Modus 0F H)

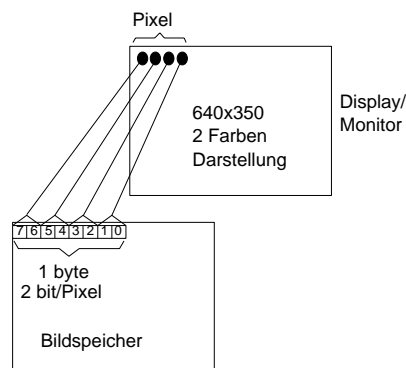


Bild 23.24: Pixelformat

Definition der Farben (Modus 0F H)

C2	C0	Farbe
0	0	Schwarz
0	1	Weiß
1	0	Weiß blinkend
1	1	Helles Weiß

Darstellung im VGA-Modus 13 H (320x200 256 Farben)

Der Modus 13 ist für Graphikdarstellungen mit bis zu 256 gleichzeitig dargestellten Farben aus einer Auswahl von 262 144 Farben vorgesehen.

Der genutzte 64 kbyte-Bildspeicher ist linear organisiert und beginnt ab Adresse 0A0000 H. In der ersten Speicherzelle ist die 8-bit-Farbinformation für das erste Pixel enthalten. Das Bild wird in mehreren Speicherebenen abgelegt. Die interne Palette des Attribut-Controllers wird nicht zur Generierung der Farben verwendet.

Eigenschaften dieser Darstellung

- Auflösung 320x200
- Darstellung in double scan Modus 400 Zeilen
- 256 verschiedene Farben aus 262 144 gleichzeitig darstellbar
- benötigt 64 kbyte Bildspeicher

Pixelformat im Speicher (Modus 13 H)

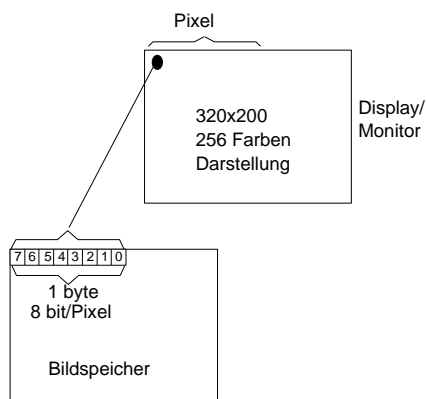


Bild 23.25: Pixelformat

Ein Pixel wird durch jeweils 8 bit dargestellt.

Definition der Farben (Modus 13 H)

Mit einem Byte pro Pixel können somit 256 Farbvariationen dargestellt werden. Die ersten 16 Farbeinträge im Modus 13 stimmen mit den Farben der 16 Farben-Modi (0E, 10 und 12 H) überein. Die folgenden 16 Farbeinträge stellen 16 Graustufen zur Verfügung. Die verbleibenden 216 Farbeinträge stellen einen kontinuierlichen Farbübergang der Farben Rot, Grün und Blau dar.

In der nachfolgenden Tabelle sind die ersten 16 Farbeinträge der Color-Lookup-Table, so wie vom VGA-BIOS initialisiert dargestellt.

C7	C6	C5	C4	C3	C2	C1	C0	Farbe
0	0	0	0	0	0	0	0	Schwarz
0	0	0	0	0	0	0	1	Blau
0	0	0	0	0	0	1	0	Grün
0	0	0	0	0	0	1	1	Cyan
0	0	0	0	0	1	0	0	Rot
0	0	0	0	0	1	0	1	Magenta
0	0	0	0	0	1	1	0	Braun
0	0	0	0	0	1	1	1	Weiß
0	0	0	0	1	0	0	0	Dunkel Grau
0	0	0	0	1	0	0	1	Helles Blau
0	0	0	0	1	0	1	0	Helles Grün
0	0	0	0	1	0	1	1	Helles Cyan
0	0	0	0	1	1	0	0	Helles Rot
0	0	0	0	1	1	0	1	Helles Magenta
0	0	0	0	1	1	1	0	Gelb
0	0	0	0	1	1	1	0	Helles Weiß

Organisation des Graphikspeichers (Modus 13 H)

Der 256 kbyte große Bildspeicher teilt sich in 4 gleich große 64 kbyte umfassende Speicherseiten auf. Der Bildspeicher ist linear aufgebaut und beginnt ab Adresse 0A0000 H.

23.9.6 Registerübersicht der VGA-Graphik

	Zugriff	Monochrome Emulation	Color Emulation	EGA- und VGA-Betrieb
Diskrete Register	-----	-----	-----	-----
Miscellaneous-Output-Register	lesen schreiben	03CC H 03C2 H	03CC H 03C2 H	03CC H 03C2 H
Input-Statusregister 0	lesen	03C2 H	03C2 H	03C2 H
Input-Statusregister 1	lesen	03BA H	03DA H	03DA H
Feature-Control-Register	lesen schreiben	03CA H 03BA H	03CA H 03DA H	03CA H 03DA H
Video Subsystem Enable	lesen schreiben	03C3 H 03C3 H	03C3 H 03C3 H	03C3 H 03C3 H
Setup-Control-Register	lesen schreiben	----- 046E8 H	----- 046E8 H	----- 046E8 H
Attribute-Register	-----	-----	-----	-----
Adress-Indexregister	lesen schreiben	-----	-----	03C0 H 03C0 H
Attribute-Datenregister	lesen schreiben	-----	-----	03C1 H 03C0 H
CRT-Controller-Register	-----	-----	-----	-----
Adress-Indexregister	lesen schreiben	03B4 H 03B4 H	03D4 H 03D4 H	03D4 H 03D4 H
CRT-Controller-Datenregister	lesen schreiben	03B5 H 03B5 H	03D5 H 03D5 H	03D5 H 03D5 H
Sequencer-Register	-----	-----	-----	-----
Adress-Indexregister	lesen schreiben	03C4 H 03C4 H	03C4 H 03C4 H	03C4 H 03C4 H
Sequencer-Datenregister	lesen schreiben	03C5 H 03C5 H	03C5 H 03C5 H	03C5 H 03C5 H
Graphik-Controller	-----	-----	-----	-----
Adress-Indexregister	lesen schreiben	03CE H 03CE H	03CE H 03Ce H	03CE H 03CE H
Graphik-Controller-Datenregister	lesen schreiben	03CF H 03CF H	03CF H 03CF H	03CF H 03CF H
Extension-Register	-----	-----	-----	-----
Adress-Indexregister	lesen schreiben	3B6/3D6 H 3B6/3D6 H	3B6/3D6 H 3B6/3D6 H	3B6/3D6 H 3B6/3D6 H
Extension-Datenregister	lesen schreiben	3B7/3D7 H 3B7/3D7 H	3B7/3D7 H 3B7/3D7 H	3B7/3D7 H 3B7/3D7 H

23.9.7 Diskrete Register

Bezeichnung	Zugriff	Adresse
Setup-Control-Register	schreiben	46E8 H
Input-Statusregister 0	lesen	03C2 H
Input-Statusregister 1	lesen	03DA H
Feature-Control-Register	lesen/ schreiben	03CA H 03BA/ 03DA H
Miscellaneous-Output-Register	lesen/ schreiben	03CC H 03C2 H

23.9.8 Attribute Controller Register

Bezeichnung	Zugriff	Index
Attribute Adress-Index	lesen/schreiben	-----
Attribute Farbpaletten-Daten	lesen/schreiben	00 - 0F H
Mode Control	lesen/schreiben	10 H
Overscan-Farbe	lesen/schreiben	11 H
Farbebene freigeben	lesen/schreiben	12 H
Horizontal Panning	lesen/schreiben	13 H
Pixel Pad	lesen/schreiben	14 H

23.9.9 CRT-Controller-Register

Bezeichnung	Zugriff	Index
CRT Adress Index	lesen /schreiben	-----
Horizontal Total	lesen/schreiben	00 H
Horizontal Display Enable End	lesen/schreiben	01 H
Horizontal Blank Start	lesen/schreiben	02 H
Horizontal Blank End	lesen/schreiben	03 H
Horizontal Sync Start	lesen/schreiben	04 H
Horizontal Sync End	lesen/schreiben	05 H
Vertical Total	lesen/schreiben	06 H
Overflow	lesen/schreiben	07 H
Preset Row Scan	lesen/schreiben	08 H
Maximum Scan Line	lesen/schreiben	09 H
Cursor Start Scan Line	lesen/schreiben	0A H
Cursor End Scan Line	lesen/schreiben	0B H
Start Adress High	lesen/schreiben	0C H
Start Adress Low	lesen/schreiben	0D H
Cursor Location High	lesen/schreiben	0E H
Cursor Location Low	lesen/schreiben	0F H
Vertical Sync Start	lesen/schreiben	10 H
Vertical Sync End	lesen/schreiben	11 H
Lightpen High	lesen/schreiben	10 H
Lightpen Low	lesen/schreiben	11 H
Vertical Display Enable End	lesen/schreiben	12 H
Offset	lesen/schreiben	13 H
Underline Row	lesen/schreiben	14 H
Vertical Blank Start	lesen/schreiben	15 H
Vertical Blank End	lesen/schreiben	16 H
CRT Mode Control	lesen/schreiben	17 H
Line Compare	lesen/schreiben	18 H
Memory Data Latches	lesen/schreiben	22 H
Attribute Controller Toggle	lesen/schreiben	24 H
Clear Vertical Display Enable	lesen/schreiben	3X H

23.9.10 Sequencer

Bezeichnung	Zugriff	Index
Sequencer Adress Index	lesen/schreiben	---
Reset	lesen/schreiben	00 H
Clocking Mode	lesen/schreiben	01 H
Plane/Map Mask	lesen/schreiben	02 H
Character Font	lesen/schreiben	03 H
Memory Mode	lesen/schreiben	04 H
Horizontal Character Count Reset	schreiben	07 H

23.9.11 Graphik-Controller

Bezeichnung	Zugriff	Index
Graphics Adress Index	lesen/schreiben	---
Set/Reset	lesen/schreiben	00 H
Enable Set/Reset	lesen/schreiben	01 H
Color Compare	lesen/schreiben	02 H
Data Rotate	lesen/schreiben	03 H
Read Map Select	lesen/schreiben	04 H
Graphics mode	lesen/schreiben	05 H
Miscellaneous	lesen/schreiben	06 H
Color Don't Care	lesen/schreiben	07 H
Bit Mask	lesen/schreiben	08 H

23.9.12 Extension-Register

Bezeichnung	Zugriff	Index
Extension Adress Index	lesen/schreiben	---
Chip Version	lesen/schreiben	00 H
Dip Switch	lesen/schreiben	01 H
CPU Interface	lesen/schreiben	02 H
ROM Decode	lesen/schreiben	03 H
Memory Mode	lesen/schreiben	04 H
Diagnostic	lesen/schreiben	7F H
CPU Paging	lesen/schreiben	0B H
General Purpose Output B	lesen/schreiben	08 H
General Purpose Output A	lesen/schreiben	09 H
Auxiliary Offset	lesen/schreiben	0D H
Video Interface	lesen/schreiben	28 H
Default Video	lesen/schreiben	2B H
Emulation Mode	lesen/schreiben	14 H
Write Protect	lesen/schreiben	15 H
Trap Enable	lesen/schreiben	16 H
Trap Status	lesen/schreiben	17 H
CGA Color Select	lesen/schreiben	7E H
Alternate H Display End	lesen/schreiben	18 H
Alternate H Sync Start	lesen/schreiben	19 H
Alternate H Sync End	lesen/schreiben	1A H
Alternate H Total	lesen/schreiben	1B H
Alternate H Blank Start	lesen/schreiben	1C H
Alternate H Blank End	lesen/schreiben	1D H
Alternate Offset	lesen/schreiben	1E H

23.9.13 Registerübersicht Color-Lookup-Table

Registerbezeichnung	Zugriff	Adresse
Schreib Adress Index	lesen schreiben	03C8 H 03C8 H
Palete Read Adress Index	schreiben	03C7 H
Statusregister	lesen	03C7 H
Datenregister	lesen schreiben	03C9 H 03C9 H
Pixel Mask Register	lesen schreiben	03C6 H 03C6 H

Zusätzliche Dokumentation zur VGA- und HIGRAPH-Graphik

1.
EGA/VGA-Graphik von Addison-Wesley
ISBN 274-3
2.
Handbuch für Graphik Programmierung VGA, EGA und CGA (Richard Wilton)
Microsoft Press VIEWEG
3.
82C451 Integrated VGA Graphics Controller Data Sheet
REIN Elektronik GmbH, Postfach 1312, D-4054 Nettetal1
4.
TMS34010 User's Guide 2564005-9721
TEXAS INSTRUMENTS, Houston, Texas 77001

24 Disketten- und Festplattensteuerung

Im PG 730 ist die Diskettensteuerung auf der Grundbaugruppe integriert. Die Steuerung des Festplattenlaufwerks ist auf dem Laufwerk integriert, und wird direkt auf der Grundbaugruppe an den Systembus angeschlossen. Das Festplattenlaufwerk wird über eine 40polige IDE-Schnittstelle (Integrated Drive Electronics) angesteuert.

Der Simultanbetrieb von Festplatten- und Floppylaufwerk ist möglich.

Die Adressdecodierung, Chip-Select-Erzeugung und die Steuerung der Datenbustreiber für die IDE-Schnittstelle ist im COMBO I/O-Chip integriert.

24.1 Diskettensteuerung

24.1.1 Controller

Der Floppy-Anschaltungsteil ist kompatibel zum Floppy-Controller uPD 765 A von NEC. Funktion und Registerbelegung können aus dem Datenblatt entnommen werden. Der Datentransfer zwischen Host und Controller erfolgt im DMA-Betrieb.

Laufwerktyp	Upm	Datenrate	Funktion (Diskette)
1,2 Mbyte 5,25" single speed	360	500 kHz/ 300 kHz	High Density (1,2 Mbyte) Double Density (720 kbyte)
1,44 Mbyte 3,5" "ANSI" Type	300	500 kHz/ 250 kHz	High Density (1,44 Mbyte) Double Density (720 kbyte)

Unterstützte Laufwerke

Die Daten-Transfer-Raten werden durch Beschreiben des Floppy-Control-Registers (3F7) eingestellt.

24.1.2 Register der Diskettensteuerung

Zur Steuerung der Laufwerke, der Datenraten und anderer Funktionen stehen verschiedene unidirektionale Register zur Verfügung, die durch die CPU (80386 SX) beschrieben oder gelesen werden können.

Adresse	Lesen	Schreiben
3F2	----	Digital-Operation-Reg.
3F4	FDC-Main-Statusreg.	----
3F5	FDC-Data-Reg.	FDC-Data-Reg.
3F6	HD-Alternate-Statusreg.	HD-Control-Reg.
3F7	Digital-Input-Reg.	FDC-Control-Reg.

FDC Floppy-Disk-Control HD Harddisk (Festplatte)

DIGITAL-OPERATION-REGISTER

I/O-Adresse: 3F2

Dieses Register ist nur beschreibbar. Bei Aktivierung der RESET-Leitung wird dieses Register rückgesetzt.

Bit	Bedeutung
0	0 = Drive A selektiert 1 = Drive B selektiert
1	nicht benutzt
2	0 = RESET des FDC aktiviert
3	Enable für Interrupt (IRQ 6) und DMA-Request (DRQ 2) des FDC 0 = Disable Interrupt und DMA 1 = Enable Interrupt und DMA
4	Kontrolle des MOTOR-ON von Laufwerk A (MOEN1)
5	Kontrolle des MOTOR-ON von Laufwerk B (MOEN2)
6	nicht benutzt
7	nicht benutzt

Digital-Operation-Register

DIGITAL-INPUT-REGISTER

I/O-Adresse: 3F7

Dieses Register ist nur lesbar und enthält Statusinformationen über Floppy- und Winchester-Signale. Hier wird nur die Floppy-Statusleitung beschrieben.

Bit	Bedeutung
0-6	Winchester-Information (siehe Tabelle Digital-Input-Register)
7	DCHG Status der Disk-Change Leitung des angeschlossenen Laufwerks

Digital-Input-Register

FLOPPY-CONTROL-REGISTER

I/O-Adresse: 3F7

Mit Hilfe dieses Registers werden die Datenraten umgeschaltet. Das Register ist nur beschreibbar.

Bit	Bedeutung																				
1-0	<table border="0"> <tr> <td><u>Bit</u></td> <td><u>10</u></td> <td><u>Transfer-Rate</u></td> <td><u>*)</u></td> </tr> <tr> <td></td> <td>00</td> <td>500 kbit MFM</td> <td></td> </tr> <tr> <td></td> <td>01</td> <td>300 kbit MFM</td> <td></td> </tr> <tr> <td></td> <td>10</td> <td>250 kbit MFM</td> <td></td> </tr> <tr> <td></td> <td>11</td> <td>125 kbit FM</td> <td></td> </tr> </table>	<u>Bit</u>	<u>10</u>	<u>Transfer-Rate</u>	<u>*)</u>		00	500 kbit MFM			01	300 kbit MFM			10	250 kbit MFM			11	125 kbit FM	
<u>Bit</u>	<u>10</u>	<u>Transfer-Rate</u>	<u>*)</u>																		
	00	500 kbit MFM																			
	01	300 kbit MFM																			
	10	250 kbit MFM																			
	11	125 kbit FM																			
7-2	nicht benutzt																				

Floppy-Control-Register

*) Im Register muß die für den Diskettentyp geeignete Datenrate eingestellt werden (siehe Tabelle: unterstützte Laufwerke)

FDC-MAIN-STATUS-REGISTER

I/O-Adresse: 3F4

Das 8 bit breite Main-Statusregister enthält die Statusinformation des Floppy-Disk-Controllers (FDC) und kann zu jeder Zeit ausgelesen werden. Das Register ist nur lesbar.

Bit	Bedeutung
0	Bit ist gesetzt, wenn Laufwerk 0 im Seek-Modus ist (Laufwerk A)
1	Laufwerk 1 ist im Seek-Modus (Laufwerk B)
2	Laufwerk 2 ist im Seek-Modus (immer 0) *)
3	Laufwerk 3 ist im Seek-Modus (immer 0) *)
4	Controller BUSY (CB), Lese- oder Schreibkommando wird ausgeführt
5	Bit wird gesetzt, falls FDC nicht im DMA-Modus arbeitet
6	Data Input/Output (DI/O), zeigt Richtung des Datentransfers an 0 = Transfer von CPU (80386) zu FDC 1 = Transfer von FDC Datenregister zu CPU
7	Request for Master (RQM) Der FDC setzt dieses Bit, falls er bereit ist Daten von der CPU (80386) zu empfangen oder an sie zu senden.

FDC-Main-Status-Register *) nur 2 Laufwerke werden unterstützt

FDC-DATA-REGISTER

I/O-Adresse 3F5

Das 8 bit Datenregister ist ein Mehrfunktionsregister (Stack) in das Kommandobytes und Datenbytes eingeschrieben werden und Statusbytes der Result-Phase und Datenbytes abgeholt werden.

Der FDC kann verschiedene Kommandos bearbeiten. Zur Ausführung müssen in das Datenregister entsprechende Parameter übergeben werden. Jedes Kommando besteht aus 3 Phasen.

- **Kommando Phase:** Ausgabe der Parameter und des Kommandos von der CPU (80386) an den FDC. Wichtig: Alle relevanten Kommandobytes müssen ins Datenregister (Stack) eingeschrieben werden.
- **Execution Phase:** Der FDC führt das Kommando aus.

- **Resultat Phase:** Nach Ausführung des Kommandos können die Statusinformationen abgeholt werden. Wichtig: Es müssen alle Statusbytes aus dem Datenregister ausgelesen werden.

Es folgt eine Gesamtübersicht der Kommandobytes (schreiben) und der Statusbytes (lesen) als Referenz. Für die einzelnen Kommandos sind nicht alle Bytes relevant. Bei den jeweiligen Kommandos sind die mnemonischen Codes der relevanten Teile aufgeführt.

Es bedeuten in den Kommandobytes (schreiben):

C	= Zylindernummer	D	= Datenmuster zum Füllen
H	= Kopf (0 oder 1)		
N	= Zahl der Datenbytes, die in einen Sektor geschrieben werden		
R	= Zahl der Sektoren, die gelesen oder geschrieben werden		
MT	= Multitrack Mode	MF	= MFM Data Mode
SK	= Skip Deleted Address Mark	US0	= Unit (Drive) Select B
HS	= Head Select 1	HA	= Head Adress 1
ND	= Non-DMA Transfer Mode	DTL	= Data Length, wenn N = 0
STP	1 = Scan Compare Contiguous Sectors 2 = Scan Compare Alternate Sectors		

MT, MF und SK sind 0, wenn sie im Kommando nicht benutzt werden.

Das Laufwerk wird im Digital-Operation-Register ausgewählt; US0 dient nur als Referenz.

Der Kopf wird durch das HS-Bit ausgewählt; HA dient nur zur Identifikation des Sektors.

Mnemonic	7	6	5	4	3	2	1	0
CMD	MT	MF	SK	CMD CODE				
SEL	0	0	0	0	0	HS	0	US0
C	0	CYLINDER NUMBER						
H	0	0	0	0	0	0	0	HA
R	0	0	0	0	SECTOR NUMBER			
N	0	0	0	0	0	0	1	0
EOT	0	0	0	0	TRACK FINAL SECTOR #			
GPL	FORMAT GAP LENGTH							
DTL	1	1	1	1	1	1	1	1
SC	0	0	0	0	SECTORS PER CYLINDER			
D	(FORMAT) DATA FILLER BYTE							
STP	0	0	0	0	0	0	STP	STP
SHT	STEP RATE TIME (SRT)				HEAD UNLOAD TIME (HUT)			
HLD	HEAD LOAD TIME (HLT)							ND
NCN	0	NEW CYLINDER NUMBER						

Übersicht Kommandobytes (schreiben)

Mnemonic	7	6	5	4	3	2	1	0
ST0	IC		SE	EC	NR	HS	0	US0
ST1	EN	0	DE	OR	0	ND	NW	MA
ST2	0	CM	DD	WC	SH	SN	BC	MD
ST3	FT(0)	WP	RY(1)	T0	WP	HS	US1	US0
C	0	CYLINDER NUMBER						
H	0	0	0	0	0	0	0	HA
R	0	0	0	0	SECTOR NUMBER			
N	0	0	0	0	0	0	BYTES	
PCN	0	PRESENT CYLINDER NUMBER						

Übersicht Statusbytes (lesen)

Es bedeuten in den Statusbytes (lesen):

SE	=	Seek End	EC	=	Equipment Check
HS	=	Current Head Adr	US0	=	Unit Select A
DE	=	Data Error	OR	=	Overrun Error
NW	=	No Write	MA	=	Missing Addr Mark
DD	=	Data Field Error	WC	=	Wrong Cylinder
SN	=	Scan Not Hit	BC	=	Bad Cylinder
NR	=	Drive Not Ready	EN	=	End of Cylinder
ND	=	No Data Transferred	CM	=	Control Mark Found
SH	=	Scan Equal Hit	MD	=	Missing Data Mark
FT	=	Drive Fault	WP	=	Drive Write Protect
RY	=	Drive Ready	T0	=	Track 0 Flag
TS	=	Drive Two Side	HD	=	Drive Head Address
N	=	Zahl der Datenbytes je Sektor	HA	=	Head Adress
US1/0	=	Drive Select Code:	0	=	Drive A
			1	=	Drive B
IC	=	Interrupt Code:	0	=	Normal Command Termination
			1	=	Abnormal (Error) Command Termination
			2	=	Invalid Command
			3	=	Abnormal (Drive Ready Change) Termination

ST3 enthält den Status des ausgewählten Laufwerks, während ST0, ST1, und ST2 Stausinformationen über den Controller und das Kommando enthalten.

C, H, R und N enthalten Information zur Sektoridentifikation. PCN gibt die aktuelle Kopfposition an.

Kommandos des FDC:

- READ DATA** — Der FDC liest Daten aus dem Sektor, der vorher spezifiziert wurde.
 Kommando: CMD = MT MF SK 00110, SEL, C, H, R, N, EOT, GPL, DTL.
 Resultat: ST0, ST1, ST2, C, H, R, N
- READ DELETED DATA** — Die Funktionen dieses Kommandos sind **gleich** dem Kommando READ DATA
 Kommando: CMD = MT MF SK 01100, (sonst Kommando und Resultat wie READ DATA)

WRITE DATA	— Der FDC schreibt Daten byteweise in den gewählten Sektor. Kommando: CMD = MT MF 000101, SEL, C, H, R, N, EOT, GPL, DTL. Resultat: ST0, ST1, ST2, C, H, R, N
WRITE DELETED DATA	— Die Funktionen dieses Kommandos entsprechen WRITE DATA Kommando: CMD = MT MF 001001, (sonst Kommando und Resultat wie WRITE DATA)
READ ID	— Der FDC liest die Information aus dem ID-Feld. Kommando: CMD = 0 MF 001010, SEL Resultat: ST0, ST1, ST2, C, H, R, N
SCAN EQUAL	— Der FDC vergleicht den angegebenen Sektor mit vom 80386 transferierten Daten auf Gleichheit. Kommando: CMD = MT MF SK 10001, SEL, C, H, R, N, EOT, GPL, STP Resultat: ST0, ST1, ST2, C, H, R, N
SCAN LOW OR EQUAL	— FDC vergleicht, ob Daten von Disk kleiner als Daten vom 80386. Kommando: CMD = MT MF SK 11001, SEL, C, H, R, N, EOT, GPL, STP Resultat: ST0, ST1, ST2, C, H, R, N
SCAN HIGH OR EQUAL	— FDC vergleicht, ob Daten von Disk größer als Daten vom 80386. Kommando: CMD = MT MF SK 11101, SEL, C, H, R, N, EOT, GPL, STP Resultat: ST0, ST1, ST2, C, H, R, N
SEEK	— Der FDC sucht die spezifizierte Spurnummer. Kommando: CMD = 00001111, SEL, NCN
RECALIBRATE	— Der FDC sucht die Spur 0. Im Falle des uPD 765 A kann der FDC mit einem Kommando nur 77 Steps ausführen, so daß eventuell 2 RECALIBRATE-Kommandos notwendig sind. Kommando: CMD = 00000111, SEL

- SENSE INTERRUPT** — Mit diesem Kommando wird der Result-Status am **STATUS** Ende des SEEK- oder RECALIBRATE-Kommandos eingeleitet
Kommando: CMD = 00001000
Resultat: ST0, PCN
- SPECIFY** — Mit diesem Kommando werden die Head-Load-Time, die Head-Unload-Time und die Step-Rate-Time eingestellt und der DMA Modus gesetzt.
Kommando: CMD = 00000011, SHT, HLD
- SENSE DEVICE STATUS** — Der FDC setzt den Device Status in ST3 und schreibt ST3 in das Datenregister, wo die Daten vom 80386 gelesen werden können.
Kommando: CMD = 00000100, SEL
Resultat: ST3
- READ TRACK** — Eine ganze Spur - vom Index bis zum "end of track" wird gelesen
Kommando: CMD = 0 MF SK 00010, SEL, C, H, R, N, EOT, GPL, DTL
Resultat: ST0, ST1, ST2, C, H, R, N
- FORMAT TRACK** — Die ausgewählte Spur wird ab der Indexmarke formatiert mit Adreßmarken, ID-Feld, Datenfeld und Leerfeld.
Kommando: CMD = 0 MF 001101, SEL, N, SC, GPL, D
Resultat: ST0, ST1, ST2, C, H, R, N

24.2 Festplattensteuerung

An der Festplattensteuerung können zwei Laufwerke (Winchester-Laufwerke) betrieben werden. Dabei ist ein Simultanbetrieb von einer Winchester möglich.

Die Festplattensteuerung besitzt ein IDE-Standard-Interface für Winchester-Laufwerke mit einer Datenrate von ca. 4,5 Mbyte/s.

24.2.1 Busbetrieb

Es können max. 2 Winchester-Laufwerke angeschlossen werden. Der eigentliche Controller befindet sich auf dem Winchester-Laufwerk. Damit beim Betrieb mit zwei Laufwerken nicht beide Controller wirksam sind, die sich gegeneinander beeinflussen würden, wird ein Controller (der Slave-Controller) auf dem Laufwerk durch Steckbrücken stillgelegt. Siehe auch Abschnitt Festplattenlaufwerk.

Die Übertragung der Kommandos von der CPU an das Laufwerk erfolgt byteweise über I/O-Adressen; während der Datentransfer wortweise über I/O-Adressen durchgeführt wird. Auf dem Laufwerk ist ein Puffer (Cache, Look Ahead Read Buffer) von 64 kbyte Länge der eine schnellere Datenübertragung ermöglicht.

Nach POWER ON, wenn das Laufwerk hochgelaufen ist, führt es einen Selbsttest durch, bei dem alle wesentlichen Funktionen getestet werden. Während dieser Zeit ist das Laufwerk BUSY und kann nicht angesprochen werden. Dies wird angezeigt durch die leuchtende LED an der Frontseite des PG.

Nach erfolgreichem Selbsttest meldet sich das Laufwerk mit READY.

24.2.2 ECC-Prüfung und Korrektur

In der Voreinstellung ist der ECC-Modus (error correction code) auf dem Laufwerk eingeschaltet. Damit überprüft der auf dem Laufwerk befindliche Winchester-Controller die Daten und wertet sie nach ECC aus. Im Fehlerfall wird eine ECC-Korrektur durchgeführt und das korrigierte Byte in den Sektorpuffer geschrieben. Die maximal korrigierbare Bitfolge beträgt 11 bit pro Sektor. Die Firmware des Laufwerks beinhaltet eine intelligente Fehlerkorrektur. Wird ein Fehler erkannt und kann er korrigiert werden, so wird das korrigierte Byte an der Schnittstelle angeboten und der CPU mitgeteilt "Es

wurde korrigiert". Konnte der Fehler nicht korrigiert werden, dann wird der Sektor ausgelagert in einen leeren Sektor geschrieben und dies der CPU mitgeteilt. Pro Zylinder ist ein leerer Sektor vorhanden. Die fehlerhaften Daten werden auch in diesem Fall an der Schnittstelle angeboten. Der Anwender kann in diesem Fall entscheiden, ob die Daten brauchbar sind oder nicht.

Durch diesen Algorithmus hat der Anwender immer ein Laufwerk ohne defekte Sektoren.

24.2.3 Winchester-Controller

In den folgenden Abschnitten werden die Befehle des Winchester-Controllers beschrieben. Alle Befehle werden in das Kommandoregister geschrieben (Adresse 1F7 H). Dabei werden die dazugehörigen Parameter in den I/O-Registern des Taskfiles übergeben.

24.2.4 Taskfile des Winchester-Controllers

Das Taskfile des Controllers besteht aus les- und schreibbaren Registern.

Adresse	Lesen	Schreiben
1F0 H	Data Reg. (16 bit)	Data Reg. (16 bit)
1F1 H	ERROR Reg.	Write Precomp.
1F2 H	Sector Count	Sector Count
1F3 H	Sector Number	Sector Number
1F4 H	Cyl. Low	Cyl. Low
1F5 H	Cyl. High	Cyl. High
1F6 H	SDH-Reg.	SDH-Reg.
1F7 H	Statusreg.	Command Reg.
3F6 H	Alternate Statusregister	Digital Output Register
3F7 H	Drive Adressregister	unbenutzt

Register des Taskfile

DATA-Register

Adresse: I/O 01F0 H

Mit nur dieser Adresse wird der Laufwerk-Datenpuffer (immer 16 bit, wortweise) vom 80386SX angesprochen. Der Zugriff erfolgt im I/O-Mode.

In diesen Puffer werden die Sektordaten vom Laufwerk geschrieben und gelesen. Dies geschieht immer wortweise außer im Falle des R/W-Long-Mode. Hier müssen vier weitere Bytes (ECC) in diesen Puffer transferiert werden. Der zeitliche Abstand zwischen diesen Byte-Transfers muß mindestens 2 µs betragen. Die ECC-Daten, die auf der Platte gespeichert werden, werden mit aufsteigender Wertigkeit transferiert.

WRITE PRECOMP-CYLINDER

Adresse: I/O 01F1 H

Ein Eintrag in dieses Register hat keine Auswirkung, da die Laufwerke diese Aufgabe selbst übernehmen.

ERROR-Register nur lesbar

Adresse: I/O 01F1 H

Bit	Bedeutung
0	Daten-Adreßmarke nicht gefunden. Wird nach dem READ SECTOR-Kommando die Adreßmarke nicht gefunden, dann wird dieses Bit gesetzt.
1	TK 000 ERROR Nach einem RESTORE-Kommando werden bis zu 1023 Steps ausgegeben, um die Köpfe auf Track 0 zurückzufahren Falls das Track-0-Signal nicht kommt, dann wird dieses Bit gesetzt.
2	Aborted-Kommando Dieses Bit wird gesetzt, wenn ein Kommando ausgegeben wird und das Signal DRDY des Laufwerks nicht gesetzt oder das Kommando undefiniert ist.
3	nicht belegt (0)
4	ID nicht gefunden. Dieses Bit wird gesetzt, falls der richtige Zylinder, Kopf oder Sektor nicht gefunden werden konnte.
5	nicht belegt (0)
6	ECC Datenfehler Es ist ein nicht korrigierbarer ECC-Fehler aufgetreten, wenn dieses Bit gesetzt ist.
7	Bad Block Detect Falls ein ID-Feld gefunden wird, welches eine Bad-Block-Marke enthält. Diese Marke wird nicht fabrikmäßig gesetzt sondern nur mit dem Format-Kommando.

SECTOR-COUNT lesen/schreiben Adresse: I/O 01F2 H

Im Falle eines Multisektorbetriebs enthält dieses Register die Anzahl der Sektoren, die durch die Befehle READ SECTOR, WRITE SECTOR oder FORMAT bearbeitet werden sollen. Ist der eingetragene Wert 0, so bedeutet das einen Transfer von 256 Sektoren. Ist der eingetragene Wert 01, so wird nur ein Sektor transferiert.

SECTOR NUMBER lesen/schreiben Adresse: I/O 01F3 H

Dieses Register enthält die Nummer des zu bearbeitenden Sektors (Start).

CYLINDER NUMBER LOW lesen/schreiben Adresse: I/O 01F4 H

Dieses Register enthält das niederwertige Byte der zu bearbeitenden Zylinder Nummer.

CYLINDER NUMBER HIGH lesen/schreiben Adresse: I/O 01F5 H

Dieses Register enthält das höherwertige Byte der zu bearbeitenden Zylinder Nummer (Die Bits 3 bis 7 sind 0).

Es sind nur die Zylinder Nummern von 0 - 1023 zugelassen.

SDH-Register lesen/schreiben

Adresse: I/O 01F6 H

In das SDH-Register (**S**ector **D**rive **H**ead) wird die gewünschte Sektorlänge, die Laufwerksnummer und die aktuelle Kopfnummer eingetragen.

Bit	Bedeutung
0	Headbit 0
1	Headbit 1
2	Headbit 2
3	Headbit 3
4	Driveselect 0= Laufwerk 0 1= Laufwerk 1
5	muß auf 1 gesetzt werden
6	immer 0
7	immer 1

SDH-Register

STATUS-Register nur lesen

Adresse: I/O 01F7 H

Das Statusregister enthält die Statusinformationen des Laufwerks (Tabelle). Wird das Statusregister gelesen, so wird der Bus-Interrupt rückgesetzt. Falls Bit 7 (BUSY) gesetzt ist, so sind alle anderen Bits dieses Registers undefiniert.

Bit	Bedeutung
0	ERROR Dieses Bit zeigt, ob eine Fehlermeldung im ERROR-Register vorliegt.
1	Index Dieses Bit wird bei jeder Plattenumdrehung auf "1" gesetzt.
2	Corrected Data in the Sector Buffer Wurde ein Fehler im Datensektor erfolgreich korrigiert, nachdem ein Lesefehler entdeckt wurde, so wird dieses Bit gesetzt.
3	Data Request Ist dieses Bit gesetzt, ist der Datenpuffer bereit, Daten zu empfangen oder zu senden. Falls der Puffer voll beschrieben oder ganz ausgelesen wurde, wird das Bit rückgesetzt.
4	Seek Complete Status des Seek-Complete-Signals des Laufwerks. Das heißt, wenn dieses Bit gesetzt ist, dann haben sich die Schreib-/Leseköpfe auf den neuen Zylinder bewegt.
5	Write Fault Dieses Bit zeigt den Status des Write-Fault-Signals des Laufwerks.
6	Drive Ready Dieses Bit zeigt den Status des Drive-Ready-Signals des Laufwerks.
7	Fixed-Disk-Controller BUSY Falls das Bit gesetzt ist, kann auf die anderen Taskfile-Register nicht zugegriffen werden.

Statusregister (nur lesen)

HD-Alternate-Statusregister nur lesen Adresse: I/O 03F6 H

Dieses Register ist nur lesbar. Es hat die gleiche Bitbelegung wie das Statusregister (01F7 H); es werden jedoch beim Lesen keine Hardware-Zustände (Interrupts) zurückgesetzt.

Digital-Output-Register nur schreiben Adresse: I/O 03F6 H

Dieses Register ist nur beschreibbar. Es dient zur Steuerung der Reset- und Interruptfunktionen.

Bit	Bedeutung
0	unbenutzt
1	Interrupt Enable (HDMAEN) mit diesem Signal wird der Interrupt IRQ 14 freigegeben. 0: Hardware-Interrupt ist freigegeben 1: Hardware-Interrupt ist gesperrt (hochohmig)
2	Software-Reset für das Winchester-Laufwerk 0: inaktiv 1: RESET des oder der Laufwerke
3-7	unbenutzt

Fixed-Disk-Register (nur schreiben)

Digital-Input-Register nur lesen

Adresse: I/O 03F7 H

Dieses Register ist nur lesbar. Es gibt den aktuellen Zustand an, welcher Kopf von welchem Laufwerk selektiert ist. Alle Signale sind aktiv Low.

Bit	Bedeutung
0	$\overline{DS0}$ Driveselect 0
1	$\overline{DS1}$ Driveselect 1
2	$\overline{HS0}$ Headselect 0
3	$\overline{HS1}$ Headselect 1
4	$\overline{HS2}$ Headselect 2
5	$\overline{HS3}$ Headselect 3
6	\overline{WG} (=Write Gate) Es werden gerade Daten auf die Platte geschrieben.
7	Dieses Bit wird vom Floppy-Controller geliefert. (DCHG)

COMMAND-Register (nur schreiben)

Adresse: I/O 01F7 H

Zur Steuerung des Laufwerks gibt es verschiedene Kommandos.

Kommando Name	H-Code	Parameter				
		SC	SN	CY	DS	HD
Restore, Recalibrate	1x H (10 H-1F H)				g	
Read Sector (mit Wiederholung)	20 H	g	g	g	g	g
Read Sector (ohne Wiederholung)	21 H	g	g	g	g	g
Read Long (mit Wiederholung)	22 H	g	g	g	g	g
Read Long (ohne Wiederholung)	23 H	g	g	g	g	g
Write Sektor (mit Wiederholung)	30 H	g	g	g	g	g
Write Sektor (ohne Wiederholung)	31 H	g	g	g	g	g
Write Long (mit Wiederholung)	32 H	g	g	g	g	g
Write Long (ohne Wiederholung)	33 H	g	g	g	g	g
Read Verify (mit Wiederholung)	40 H	g	g	g	g	g
Read Verify (ohne Wiederholung)	41 H	g	g	g	g	g
Format Track	50 H			g	g	g
Seek	7x H (70 H-7F H)			g	g	g
Diagnose	90 H				g	
Set Parameter	91 H	g			g	g
Read Sector Buffer	E4 H *)				g	
Write Sector Buffer	E8 H *)				g	
Identify Drive	EC H *)				g	
Hersteller spezifische Kommandos	Cx H, Fx H, ..*)	g	g	g	g	g

*) Spezielle Kommandos bei IDE-Laufwerken

g	gültiger Parameter für das betreffende Kommando	
SC	Sector Count Register	I/O Adr. 1F2 H
SN	Sector Number Register	I/O Adr. 1F3 H
CY	Zylinder Low und High Register	I/O Adr. 1F4 H,1F5 H
DS	Drive Select im Drive/Head Register	I/O Adr. 1F6 H
HD	Head Select im Drive/Head Register	I/O Adr. 1F6 H

Kommandobeschreibung

RECALLIBRATE

Mit dem Restore-Kommando werden die Schreib- und Leseköpfe auf Spur 0 (Track 0) zurückgestept.

SEEK

dieses Kommando bewegt die Köpfe auf den Zylinder, der in den Zylinder-Registern programmiert wurde.

READ BUFFER

Mit diesem Kommando kann der Inhalt des Puffers (512 byte) ausgelesen werden (Daten eines Sektors).

READ SECTOR

Mit diesem Kommando können zwischen 1-256 Sektoren transferiert werden. Die Anzahl der zu transferierenden Sektoren wird ins SECTOR-COUNT-Register geschrieben. Dieser Lesebetrieb ist kopf- und zylinderüberschreitend. Dieses Kommando kann mit und ohne Wiederholungen ausgeführt werden.

READ SECTOR LONG

Mit diesem Kommando werden außer den 512 Datenbytes auch die ECC-Kontrollbytes mit in den Puffer geladen, die von der CPU mit abgeholt und ausgewertet werden können.

WRITE SECTOR

Wie bei READ können auch mit diesem Kommando zwischen 1 bis 256 Sektoren transferiert werden. Der Schreibbetrieb ist kopf- und zylinderüberschreitend. Dieses Kommando kann mit und ohne Wiederholungen ausgeführt werden.

WRITE SECTOR LONG

Mit diesem Kommando können außer den 512 Datenbytes gleich anschließend die vom Anwender gewünschten ECC-Bytes mit geschrieben werden.

WRITE BUFFER

Mit diesem Kommando können 512 Datenbytes in den Puffer geschrieben werden.

FORMAT TRACK

Das Laufwerk wird bereits "Low-Level-Formatiert" vom Hersteller angeliefert, so daß dieser Vorgang eingespart werden kann. Sollte ein Low-Level-Format-Programm gestartet werden, so schreibt das Laufwerk in sämtliche Datenfelder Nullen. Die Festplatte ist somit gelöscht und läßt sich auch nicht mehr restaurieren.

Nach Erstanwendung kann die Festplatte gleich mit FDISK eingerichtet werden und anschließend mit "FORMAT" das High-Level-Format aufgespielt werden.

Ein Low-Level-Format vom Anwender kann die Defektstelleneinträge des Laufwerkherstellers löschen, was zu Frühausfällen des Laufwerks führen kann. Diese Defektstelleneinträge werden von den intelligenten Laufwerken selbst verwaltet und sind für den Anwender unsichtbar.

READ VERIFY

Dieses Kommando funktioniert wie READ SECTOR, es werden jedoch keine Daten an die CPU (80386SX) ausgegeben. Die Anzahl der zu prüfenden Sektoren kann 1-256 betragen. Es wird lediglich ein ECC-Prüfung durchgeführt. Dieses Kommando kann mit und ohne Wiederholungen ausgeführt werden.

DRIVE DIAGNOSTIC

Mit diesem Kommando wird eine Onboard-Diagnostic des Winchester-Laufwerks veranlaßt. In der Firmware des Laufwerks sind einige Testroutinen enthalten, um den Winchesterteil auf seine Funktion zu testen. Als Testergebnis schreibt der System Manager (Mikroprozessor auf dem Laufwerk) eine Fehlernummer in das Fehlerregister. Dieses Register kann unter der I/O-Adresse 1F1 H ausgelesen werden.

Fehlernr.:	1	-	kein Fehler
	2	-	allgemeiner Controller-Fehler (Format)
	3	-	Fehler im Sektorpuffer
	4	-	Fehler im ECC-Teil (Korrektur/Puffer)
	5	-	Fehler im Steuerungs-Mikroprozessor (ROM-Checksumme, RAM-Datenfehler)
	6-FF H		undefiniert

INITIALIZE DRIVE PARAMETERS

Dieser Befehl resultiert noch aus der Parametrierung in Verbindung mit den Laufwerken mit ST 506 Schnittstelle. Das IDE Laufwerk braucht diese Angabe nicht. Um softwarekompatibel zur alten Winchester-Schnittstelle zu sein, ist dieses Kommando beim IDE-Laufwerk ebenfalls implementiert. Es aktiviert den translate Mode, wenn es im Sector Number Register den Wert 17 findet. Damit rechnet es selbständig die Parameter um. D.h. Es dürfen Zylinder- und Kopfanzahl in beliebiger Größe angegeben werden, nur muß die Gesamtzahl der Sektoren \leq der max. Blockanzahl sein. (Anzahl der Zylinder x Anzahl der Köpfe x 17 \leq max. Blockanzahl). Dieser Wert wird als Winchesterstertyp für jedes Laufwerk in den SETUP-Daten eingetragen und vom BIOS ausgewertet.

Die automatische Umsetzung der Laufwerkparameter geschieht für den Anwender unsichtbar auf dem Laufwerk und ist bei verschiedenen Laufwerksherstellern unterschiedlich. Bei manchen Laufwerken darf die Anzahl der Köpfe nicht variiert werden.

24.2.5 Multisektortransfer

Das Laufwerk bietet die Möglichkeit, bis zu 256 Sektoren pro Auftrag zu transferieren. Das heißt, daß der Transfer spur-, kopf- und zylinderüberschreitend sein kann. Die Abwicklung über Spuren und Köpfe macht das Laufwerk selbständig.

Bei "READ LONG"- und "WRITE LONG"- Befehlen kann jedoch immer nur ein Sektor übertragen werden (siehe auch SECTOR-COUNT-Register).

25 Programmierschaltung

25.1 Allgemeines

Mit der **Programmierschaltung** (PROGAS) des PG 730 lassen sich SIMATIC-Module programmieren. Die PROGAS ist auf dem Grundboard integriert.

Die Baugruppe verfügt über folgende Funktionsgruppen:

- Host-Interface
- Programmier-Spannungserzeugung
- SIMATIC-Modulschnittstelle

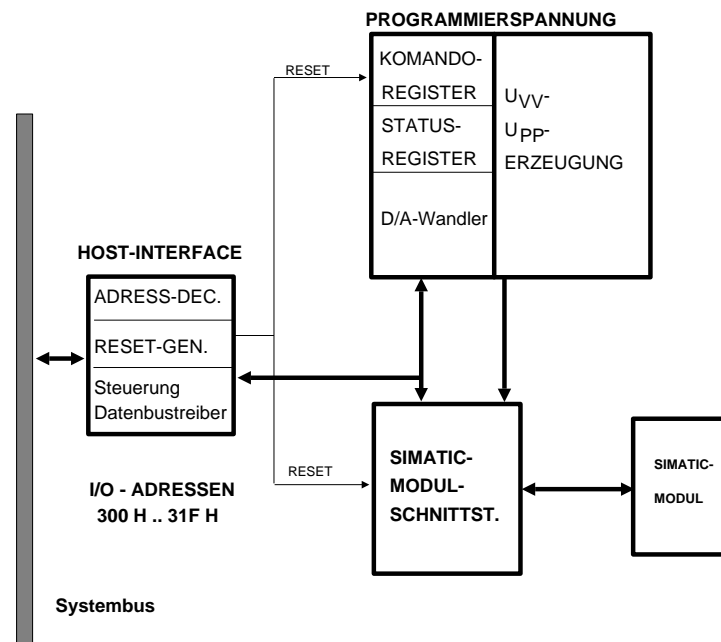


Bild 25.1: Blockbild Programmierschaltung

25.2 Host-Interface

Die Programmierschaltung 730 wird in den I/O-Bereich des 80386SX gemappt, und kann somit über I/O-Befehle angesprochen werden.

Das Businterface ist 8 bit breit ausgelegt, als Adreßbereich wurden die I/O-Adressen 300 H..31F H vorgesehen.

Die PROGAS kann durch Rücksetzen des Bit 1 im Port D (I/O 65 H) oder durch den entsprechenden Eintrag in der SETUP-Maske gesperrt werden (siehe Kapitel 4 und 7). Der Adreßbereich 300..31F H ist bei gesperrter PROGAS frei.

Adreßplan

I/O-Adresse	Bedeutung	SIMATIC-Signale	Baustein	Read/Write
300	PORT 1A	ADB0-7	82C55	R/W
301	PORT 1B	K1-K5, PSW	82C55	R/W
302	PORT 1C	ADB8-12	82C55	R/W
303	PORT 1 Mode-Register		82C55	W
304	PORT 2A	SDBL0-7	82C55	R/W
305	PORT 2B	SDBH0-7	82C55	R/W
306	PORT2C	CS1-4, PGM1-4	82C55	R/W
307	PORT 2 Mode-Register		82C55	W
308	reserviert			
309	reserviert			
30A	reserviert			
30B	reserviert			
30C	Steuerreg.(LED,Trist.)		PAL	W
30E	Mode-Reg.Spngs-Erz			W
30F	Fehlerport Spngs-Erz.			R
310	D/A-Wandler 2 (U _{PP})		DAC	W
311	D/A-Wandler 1 (U _{VV})		DAC	W
31F	Software-Reset			W

Die Buszugriffe vom Host auf die Baugruppe erfolgen in 6 Clock-Zyklen (inklusive 4 Waitstates). Bei einer Busfrequenz von 8 MHz werden also 750 ns pro Bytezugriff benötigt.

Durch Beschreiben der I/O-Adresse 31F H mit beliebigem Datum kann die PROGAS 730 zurückgesetzt werden. Es wird folgender Zustand eingestellt:

- $U_{VV}, U_{PP} = 0 \text{ V}$
- Port 1..2 sind als Eingänge parametrier
- BUSY-LED dunkel
- Inverter ist tristate

Die Busfrequenz des Systembusses muß bei mehr als 10 MHz auf eine geringere Frequenz umgeschaltet werden, wenn man die PROGAS durch Beschreiben der I/O-Adresse 31F H rücksetzen will. Die PROGAS wird sonst nicht korrekt zurückgesetzt.

25.3 Programmier-Spannungserzeugung

Die Programmier-Spannungserzeugung kann in folgende Funktionsblöcke aufgeteilt werden:

- Mode-Register
- Fehler-Port
- Digital-Analog-Wandler
- U_{VV} -Spannungsregler
- U_{PP} -Spannungsregler

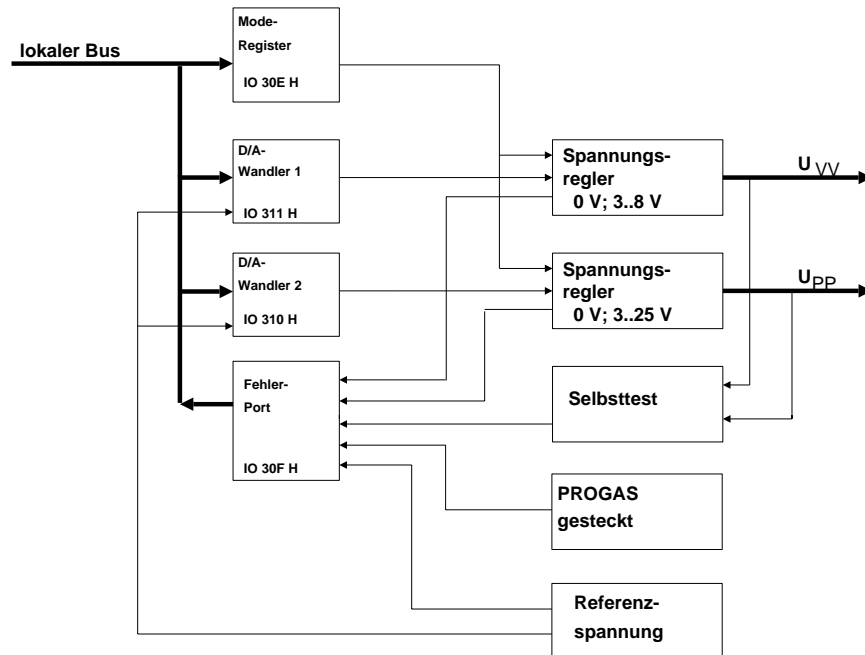


Bild 25.2: Programmier-Spannungserzeugung

Mit der Programmier-Spannungserzeugung können zwei verschiedene Spannungen erzeugt werden:

- U_{VV} = Versorgungsspannung variabel
- U_{PP} = Programmierspannung variabel

Mode-Register

Mit dem Mode-Register können die einzelnen Spannungen abgeschaltet werden. Das Mode-Register kann nur beschrieben werden. Nach RESET und nach POWER UP ist das Register rückgesetzt, die Spannungen U_{VV} und U_{PP} sind abgeschaltet.

Mode-Register (Adresse IO 30E H WRITE)

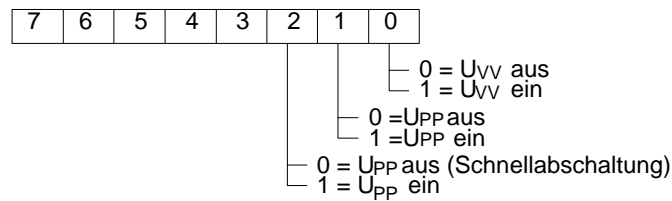


Bild 25.3: Mode-Register

Fehler-Port

Am Fehler-Port kann man den Status der Spannungserzeugung abfragen. Folgende Fehler können am Fehler-Port abgefragt werden:

- Überstromfehler der U_{VV} -Erzeugung
- Überstromfehler der U_{PP} -Erzeugung
- -12 V-Versorgungsspannung fehlt
- Fehler in der Referenz-Spannungserzeugung

Fehler-Port (Adresse IO 30FH READ)

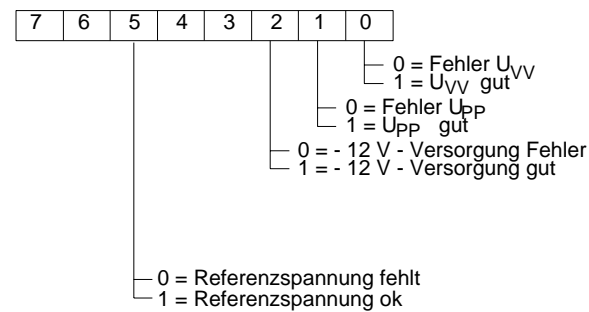


Bild 25.4: Fehler-Port

Ein Überstromfehler wird erkannt, wenn die entsprechende Spannungserzeugung wegen zu hohem Laststrom abgeschaltet hat. Störungen in der Referenz-Spannungserzeugung werden ebenfalls erkannt. Bit 0 und 1 sind nur gültig, wenn die Spannungen U_{VV} und U_{PP} auch eingeschaltet sind (Mode-Register).

Die Statusbits U_{VV} -Fehler/Gut und U_{PP} -Fehler/Gut sind 53 ms nach dem Einschalten der entsprechenden Spannung gültig.

Wenn die -12 V-Versorgungsspannung gestört ist, wird dies als -12 V-Fehler registriert.

Störungen in der Referenz-Spannungserzeugung werden ebenfalls erkannt.

Tritt ein Fehler in der -12 V-Versorgung oder der Referenz-Spannungserzeugung auf, wird U_{PP} bzw. U_{VV} abgeschaltet oder läßt sich nicht einschalten.

Digital-Analog-Wandler

Mit dem Dual-D/A-Wandler kann der Spannungswert von U_{VV} und U_{PP} eingestellt werden.

Einstellung von U_{VV} / U_{PP}

Spannung ausschalten Mode-Register WR IO 30E	
t _{off} warten	
D/A-Wandler (1 oder 2) laden WR IO 310/311	
Spannung einschalten Mode-Register WR IO 30E	
t _{on} warten	
Fehler-Port abfragen RD IO 30F <small>(Fehlerbits 53 msec nach dem Einschalten von U_{VV} / U_{PP} gültig)</small>	
Spannung ok ?	
Nein	Ja
Fehler	_____

25.5: Einstellung von U_{VV} / U_{PP} 

Bei der Ein- und Ausschaltreihenfolge der Spannungen U_{VV} und U_{PP} müssen die Angaben in den Datenblättern der Bausteine auf den Modulen beachtet werden.

25.3.1 U_{VV}-Spannungserzeugung

Die Spannung U_{VV} kann von +3 V .. +8 V eingestellt und mit max. 400 mA belastet werden. Die Spannung läßt sich in Inkrementen von 37 mV/Digit einstellen. Dazu muß ein entsprechender Hexadezimal-Wert in den D/A-Wandler 1 (Adr. I/O 311 H) geladen werden.

Berechnung der Ausgangsspannung und des Hexadezimal-Werts:

$$U_a = 10 \text{ V} - \text{H-Wert} \times 0,0375 \text{ [V]}$$

$$\text{H-Wert} = (10 \text{ V} - U_a) / 0,0375$$

Es ist folgender Wertebereich zugelassen: H-Wert = 35 H .. BA H

H-Wert	U _{VV}
BA H	3 V
85 H	5 V
6A H	6 V
35 H	8 V

Die variable Versorgungsspannung wird mit einem DC/DC-Wandler erzeugt und mit D/A-Wandler 1 eingestellt. Durch Setzen und Rücksetzen von Bit 0 im Mode-Register wird U_{VV} ein- und ausgeschaltet.

$$U_{VV} = 0 \text{ V} ; \quad 3 \text{ V} .. 8 \text{ V} \quad 400 \text{ mA}$$

Nach dem Einschalten von U_{VV} vergeht die Einschaltzeit t_{on}, bis der mit dem D/A-Wandler 1 eingestellte Spannungswert erreicht ist.

$$t_{on} = 5 \text{ ms/V} \text{ (d.h. für } U_{VV} = 5 \text{ V} \Rightarrow t_{on} = 5 \text{ V} \times 5 \text{ ms/V} = 25 \text{ ms)}$$

Nach dem Abschalten von U_{VV} vergeht die Abschaltzeit t_{off}, bis die Ausgangsspannung auf 0 V abgesunken ist.

$$t_{off} = 5 \text{ ms/V}; \quad t_{off} \geq 10 \text{ ms (minimale Zeit)}$$

$$\text{(d.h. für } U_{VV} = 5 \text{ V} \Rightarrow t_{off} = 5 \text{ V} \times 5 \text{ ms/V} = 25 \text{ ms)}$$

Wird U_{VV} abgeschaltet, um dann auf eine andere Spannung umprogrammiert zu werden, und ist die neue Spannung geringer als die vorher eingestellte, so genügt t_{off} = 10 ms (z.B. Umprogrammierung von 6 V auf 5 V t_{off} = 10 ms; t_{on} = 25 ms).

25.3.2 U_{PP}-Spannungserzeugung

Die Spannung U_{PP} kann von +3 V .. +25 V eingestellt und mit max. 300 mA belastet werden. Die Spannung läßt sich in Inkrementen von 97 mV/Digit einstellen. Dazu muß ein entsprechender Hexadezimal-Wert in den D/A-Wandler 2 (Adr. I/O 310 H) geladen werden.

Berechnung der Ausgangsspannung und des Hexadezimal-Werts:

$$U_a = 25 \text{ V} - \text{H-Wert} \times 0,0973 \text{ [V]}$$

$$\text{H-Wert} = (25 \text{ V} - U_a) / 0,0973$$

Es ist folgender Wertebereich zugelassen: H-Wert = 0 H .. E2 H

H-Wert	U _{PP}
E2 H	3 V
CD H	5 V
85 H	12 V
80 H	12..5 V
29 H	21 V
0 H	25 V

Die variable Versorgungsspannung wird mit einem DC/DC-Wandler erzeugt und mit D/A-Wandler 2 eingestellt. Durch Setzen und Rücksetzen von Bit 1 im Mode-Register wird U_{PP} ein- und ausgeschaltet.

$$U_{PP} = 0 \text{ V} ; 3 \text{ V} .. 25 \text{ V} \quad 300 \text{ mA}$$

Nach dem Einschalten von U_{PP} vergeht die Einschaltzeit t_{on}, bis der mit dem D/A-Wandler 2 eingestellte Spannungswert erreicht ist.

$$t_{on} = 2,4 \text{ ms/V (d.h. für } U_{PP} = 12,5 \text{ V} \Rightarrow t_{on} = 12,5 \text{ V} \times 2,4 \text{ ms/V} = 30 \text{ ms)}$$

Nach dem Abschalten von U_{PP} vergeht die Abschaltzeit t_{off1}, bis die Ausgangsspannung auf 0 V abgesunken ist.

$$t_{off1} = 4 \text{ ms/V; } t_{off1} \geq 10 \text{ ms (minimale Zeit)}$$

$$\text{(d.h. für } U_{PP} = 12,5 \text{ V} \Rightarrow t_{off1} = 12,5 \text{ V} \times 4 \text{ ms/V} = 50 \text{ ms)}$$

Wird U_{PP} abgeschaltet, um dann auf eine andere Spannung umprogrammiert zu werden, und ist die neue Spannung geringer als die vorher eingestellte, so genügt

$t_{\text{off1}} = 10 \text{ ms}$ (z.B. Umprogrammierung von 12,5 V auf 5 V $t_{\text{off1}} = 10 \text{ ms}$;
 $t_{\text{on}} = 30 \text{ ms}$).

Die U_{PP} -Schnellabschaltung t_{off2} wird für die Programmierung von EPROMs 27512 u.ä. benötigt. Es kann so der schnelle Wechsel von 12,5 V auf 0 V und zurück auf 12,5 V (1 ms Takt) realisiert werden.

Nach dem Rücksetzen von Bit 2 im Mode-Register vergeht die Schnellabschaltzeit t_{off2} bis U_{PP} auf 0 V abgefallen ist:

$t_{\text{off2}} = 500 \mu\text{s}$

Die Zeit t_{off2} verlängert sich, wenn auf dem Modul Pufferkondensatoren für U_{PP} eingesetzt werden.

Hinweis:

Bei der Verwendung der Schnellabschaltung muß bedingt durch das schnellere Zeitverhalten darauf geachtet werden, daß die Ein- und Ausschaltreihenfolge der Spannungen (z.B. für EPROM-Bausteine) nicht verletzt wird.

25.3.3 Abschaltverhalten im Fehlerfall

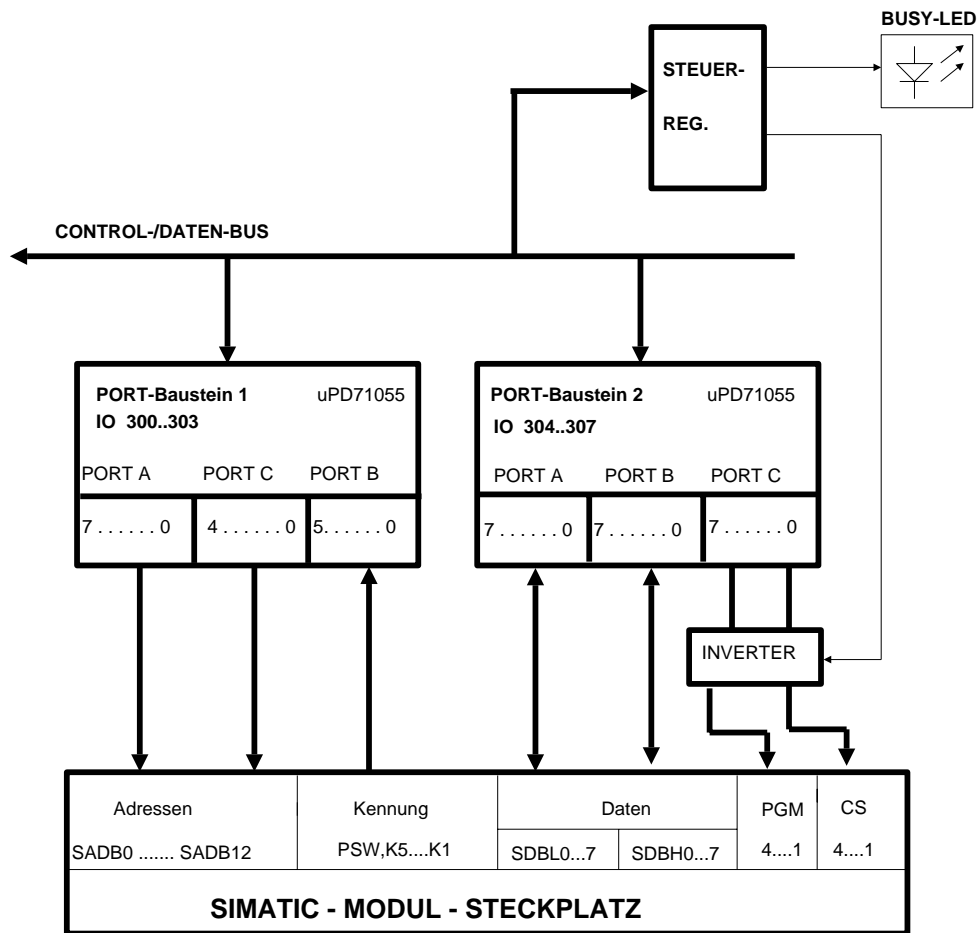
Die Spannungen U_{VV} und U_{PP} werden abgeschaltet, wenn einer der folgenden Fehler auftritt:

- -12 V-Versorgungsspannung fehlt
- Referenzspannungsfehler
- Reset-DRV=aktive

Die Spannungen können durch Setzen der entsprechenden Bits im Mode-Register nur dann wieder eingeschaltet werden, wenn die Fehler beseitigt sind.

25.4 Modulschnittstelle

Auf der PROGAS 730 ist ein SIMATIC-Steckplatz vorhanden.



25.6: SIMATIC-Schnittstelle

Nach RESET und POWER UP sind die Port-Bausteine als Input-Ports parametrierung und somit hochohmig, die BUSY-LED ist ausgeschaltet und der Inverter ist im Tristate-Zustand.

Die Modulschnittstelle sollte immer dann in diesen passiven Zustand gebracht werden, wenn keine Module gelesen oder programmiert werden. Die Versorgungsspannungen U_{VV} und U_{PP} müssen dann auch abgeschaltet werden.

Beispiel für eine Initialisierung und Deinitialisierung der Modulschnittstelle:

BUSY-LED einschalten Inverter aktiv schalten OUT 30C H
U_{VV} einschalten D/A-Wandler 1 (OUT311 H) laden, Mode-Register (OUT 30E H)
U_{PP} einschalten D/A-Wandler 2 (OUT 310 H) laden, Mode-Register (OUT 30E H)
Port 1 und 2 parametrieren OUT 303 H und 307 H
Modul lesen oder programmieren
Port 1 und 2 als Input-Ports parametrieren OUT 303 H und 307 H
U_{PP} abschalten OUT 30E H
U_{VV} abschalten OUT 303 H
BUSY-LED ausschalten Inverter tristate schalten OUT 30C H

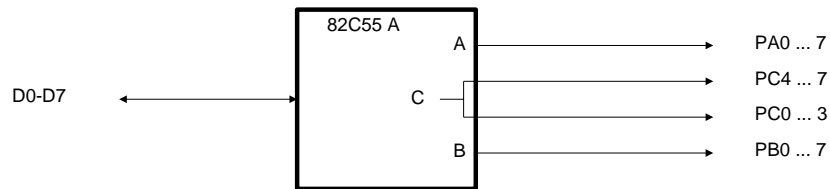
Parameter der Port-Bausteine

Die Port-Bausteine werden durch Laden der Mode-Register (303 H und 307 H) parametrierbar. Diese Register können nicht gelesen werden. Nach der Parametrierung sind alle Port-Ausgänge Low.

PORT-Baustein 1 :

Mode-Register WRITE I/O 303 H = 80 H

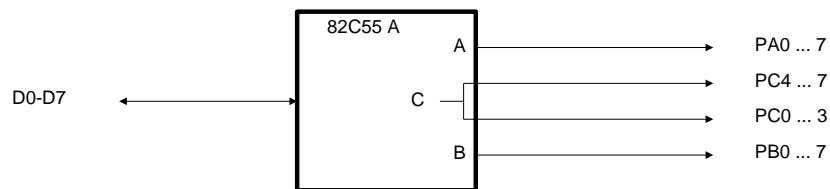
Funktion und Transfer-Richtung



PORT-Baustein 2 :

Mode-Register WRITE I/O 307 H = 80 H

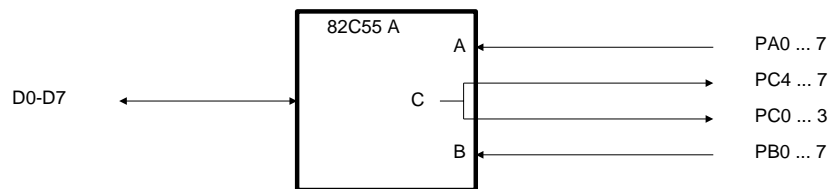
Modul programmieren



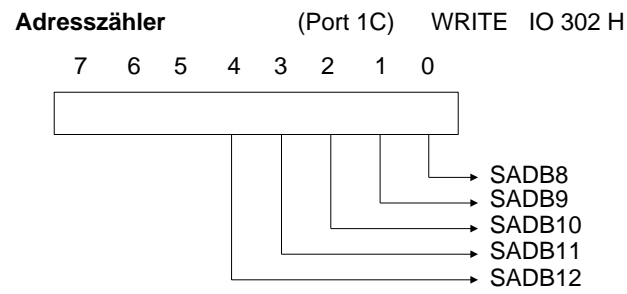
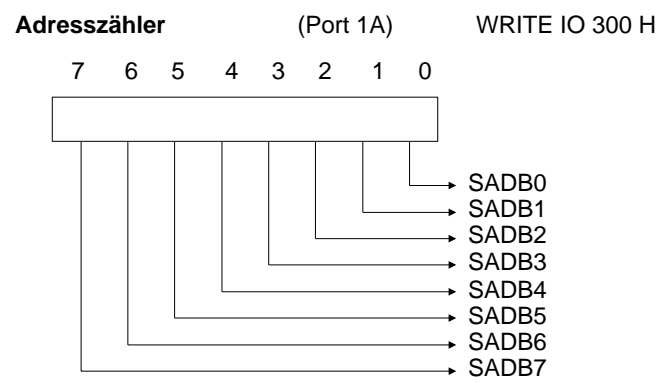
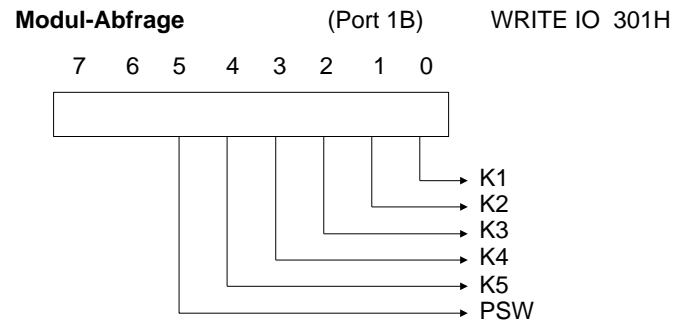
PORT-Baustein 2 :

Mode-Register WRITE I/O 307 H = 92 H

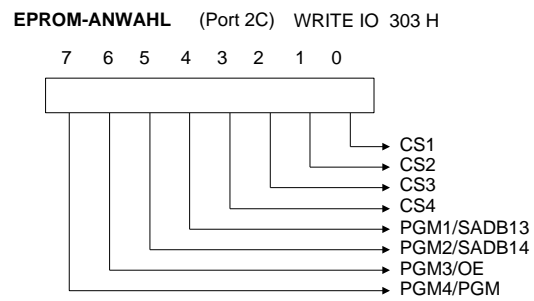
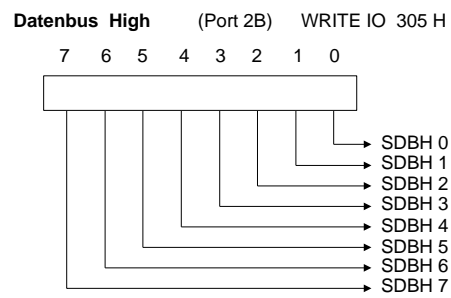
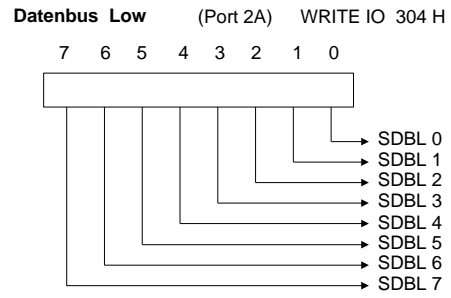
Modul lesen



25.7: Port-Bausteine für die SIMATIC-Schnittstelle



25.8: Funktion des Port 1



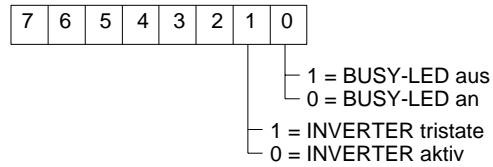
25.9 Funktion des Port 2

Das Datum an Port 2C muß invers zu dem vom EPROM-Modul geforderten Pegel sein (CS1..4, PGM1..4 werden durch Inverter zusätzlich invertiert).

25.5 Steuerregister

Das Steuerregister wird zur Ansteuerung der BUSY-LED benutzt. Es können ferner die tristate-fähigen Inverter aktiv oder tristate geschaltet werden. Das Steuerregister kann nur beschrieben werden.

STEUER-PAL (Adresse IO 30C H WRITE)



25.10: Steuerregister

25.6 Steckerbelegung SIMATIC-Modulsteckplatz

Pin	Reihe c	Reihe b	Reihe a
1	SADB12	M	+5 V (U _{VV})
2	SADB 0	SADB 1	SADB 2
3	SADB 3	SADB 4	SADB 5
4	SADB 6	SADB 7	SADB 8
5	SADB 9	SADB10	SADB11
6	SADB13 / PGM 1	SADB14 / PGM 2	OE_N / PGM 3
7	PGM_N / PGM 4	SDBH 0	SDBH 1
8	SDBH 2	SDBH 3	SDBH 4
9	SDBH 5	SDBH 6	SDBH 7
10	SDBL 0	SDBL 1	SDBL 2
11	SDBL 3	SDBL 4	SDBL 5
12	SDBL 6	SDBL 7	K 1
13	CS1_N	CS3_N	K 2
14	CS2_N	CS4_N	K 3
15	V _{PP} (U _{PP})	PSW	K 4
16	V _{PP} (U _{PP})	M	K 5

26 Display und Inverter

26.1 S/W-Display

In der S/W-Version des PG 730 wird als Anzeige ein 10" LC-Display eingesetzt. Neu an dieser Anzeige ist die MST-Technologie (Super Twist + Folie), mit der eine echte S/W-Darstellung ermöglicht wird. Das LCD-Modul besteht im Prinzip aus einer herkömmlichen STN (Super Twist Nematic) Anzeige, die durch eine passive Folien-schicht farbkompensiert wird. Die dadurch ermöglichte Verdrillung der Flüssigkristalle von ca. 240...270 °C erhöht den Kontrast um das vierfache gegenüber STN-Displays. Mit dieser Technik kann deshalb eine weiße Hintergrundfarbe dargestellt werden.

26.1.1 Technische Daten LCD

Allgemeine Daten

Auflösung	: 640x480 Bildpunkte (VGA-Auflösung)
Anzeigediagonale	: 10"
Anzeigefläche	: 206x156 mm, entspiegelt
Außenmaße	: 276x182x20 mm
Dotgröße	: 0,31x0,31 mm
Multiplexrate	: 1/240
Anstiegs-/Abfallzeit	: 200 ms/200 ms
Kontrast	: 12:1
Ablesewinkel	: -10 ... +35 Grad
Anzeigefarbe	: schwarz/weiß (temperaturunabhängig)
Hinterleuchtung	: 2 Leuchtstoffröhren Kaltkathodenröhre (wechselbar)
Gewicht	: 700 g

Stromversorgung

	Spannung	Toleranz	Strom
Logik	+5 V	+/- 5%	30 mA
Display V _{EE}	-24 V	+/- 5%	25 mA
Display V _O	-17 ... -22 V	+/- 10%	25 mA
Hinterleuchtung	250 ... 600 V	+/- 10%	15 mA

zulässige Umgebungsbedingungen

	Temperatur (in Grad °C)	Luftfeuchtigkeit *
Betrieb	0 ... +50	10 ... 90%
Transport	-20 ... +60	10 ... 90%
Lagerung	-20 ... +60	10 ... 90%

* Feuchte Lampe darf max. 29 °C warm sein, kein kondensiertes Wasser an der Lampe.

26.1.2 Technische Daten Hinterleuchtung

Versorgungsspannung : 300 .. 600 V Wechselfspannung (Sinus)
 Startspannung : 900 .. 1500 V
 Frequenz : ca. 20 ... 45 kHz
 Strom : ca. 2x5 mA (AC)
 MTBF : 20.000 h

26.1.3 Anschlußbelegung LCD

Auf der Rückseite des Displays ist zur Signalübertragung ein 20poliges Folienkabel fest eingelötet (verbunden mit X2 Inverter).

Pin Nr.	Signalbezeichnung	Beschreibung
1	GND	Ground
2	NC	Not Connected
3	FP	Startsignal Bild
4	LP	Startsignal Zeile
5	SCP	Takt für Spalten-Schieberegister
6	GND	Ground
7	UD0	Datenbit 0 obere Bildschirmhälfte
8	UD1	Datenbit 1 obere Bildschirmhälfte
9	UD2	Datenbit 2 obere Bildschirmhälfte
10	UD3	Datenbit 3 obere Bildschirmhälfte

Pin Nr.	Signalbezeichnung	Beschreibung
11	GND	Ground
12	V _{DD}	+5-V-Versorgungsspannung
13	V _o	-17 V ... -22 V Spannung für Kontrasteinstellung
14	V _{EE}	-24 V LCD Versorgungsspannung
15	GND	Ground
16	LD0	Datenbit 0 für untere Bildschirmhälfte
17	LD1	Datenbit 1 für untere Bildschirmhälfte
18	LD2	Datenbit 2 für untere Bildschirmhälfte
19	LD3	Datenbit 3 für untere Bildschirmhälfte
20	GND	Ground

26.1.4 Anschlußbelegung Hinterleuchtung

Die Spannungsversorgung der Leuchtstofflampen erfolgt über ein 3- und ein 2poliges Kabel, die fest mit dem Display verbunden sind.

Buchse X3 Kontakt	Belegung
1	Leuchtstofflampe 1
2	Leuchtstofflampe 2
3	frei

Buchse X4 Kontakt	Belegung
1	frei
2	gemeinsamer Anschluß Leuchtstofflampe 1 und 2

26.2 Inverter für S/W-LCD-Display

Als Inverter bezeichnet man einen DC/AC-Wandler, mit dem die beiden Leuchtstoffröhren angesteuert werden.

Im PG 730 wird die Inverterplatine zur:

- Hochspannungserzeugung für die LCD-Hinterleuchtung
- Kontrasteinstellung für das Display
- Umrangieren der LCD-Signalleitungen

benutzt.

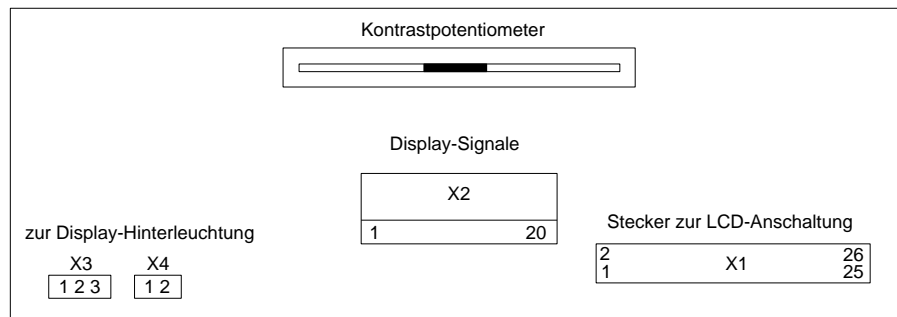


Bild 26.1: Aufbau der Inverterplatine

26.2.1 Technische Daten

Eingangsspannung Inverter : +12 V (DC)
 Ausgangsspannung Inverter max. : 1500 V (AC) / 35 kHz
 Ausgangsstrom max. : 2x10 mA (AC)

26.2.2 Anschlußbelegung

X1: Stecker zur LCD-Anschaltung:

Pin	Bezeichnung	Pin	Bezeichnung
1	VLCD	2	GND
3	DU0	4	DU1
5	DU2	6	DU3
7	DL0	8	DL1
9	DL2	10	DL1
11	B_0	12	B_1
13	B_2	14	B_3
15	GND	16	S (First Line)
17	FP (Frame Pulse)	18	CL1
19	CL2	20	CL3
21	CL4	22	GND
23	+5 V	24	GND
25	+12 V	26	+12 V

X2: Stecker der LCD-Anzeige:

Pin	Bezeichnung	Pin	Bezeichnung
1	GND	11	GND
2	NC	12	+5 V
3	Frame Pulse	13	V0 (-17,5 V ... -22 V)
4	Line Pulse	14	-24 V
5	Shift Clock Pulse	15	GND
6	GND	16	DL0
7	DU0	17	DL1
8	DU1	18	DL2
9	DU2	19	DL3
10	DU3	20	GND

X3: Stecker zur LCD-Hinterleuchtung:

Pin	Bezeichnung
1	Spannungsversorgung Leuchtstoffröhre1
2	Spannungsversorgung Leuchtstoffröhre 2
3	NC

X4: Stecker zur LCD-Hinterleuchtung:

Pin	Bezeichnung
1	NC
2	Gemeinsamer Anschluß Leuchtstoffröhre 1 und 2 (Masse)

26.3 TFT-Farb-Display

Beim PG 730 C wird ein 10" Aktiv-Matrix-Farb-Display verwendet. Mit dem Display kann eine Auflösung von bis zu 640x480 Bildpunkten dargestellt werden. Maximal sind 256 Farben aus einer Palette von 512 Farben gleichzeitig darstellbar. Das Kontrastverhältnis liegt bei optimalem Blickwinkel bei 1:100. Als Hintergrundbeleuchtung werden zwei Heißkathodenröhren verwendet.

Die TFT-Technik beruht auf folgendem physikalischen Prinzip:

Durch die Kombination von 'Thin Film Transistoren', einem LCD (Display) und einem RGB-Rasterfeld (Farbfilter), das deckungsgleich auf eine Dünnschicht-Transistor-Matrix aufgebracht wird, lassen sich bis zu 512 Farben darstellen. Das Mischen der Farben ist möglich, da sich die einzelnen RGB-Felder selektiv ansteuern lassen.

Durch die matrixförmige Anordnung der Transistoren kann jedes Pixel selektiv an- oder ausgeschaltet werden, ohne daß dabei benachbarte Pixel beeinflusst werden. Die damit erzielte Bildschärfe und Kontrastverbesserung bei der Darstellung hebt sich erheblich von Darstellungen mit Standard Farb-LCD-Displays ab.

Nachfolgend ist der Aufbau des TFT-Displays dargestellt.

26.3.1 Technische Daten TFT-Farb-Display

Allgemeine Daten

Typ	: LQ10D011
Abmessungen	: 283 mm (H) x 217 mm (V) x 25 mm (D)
Effektive Anzeigefläche	: 10,4 " (diagonal)
Anzeigefläche	: 211,2x158,4
Bildwiederholfrequenz	: 60 Hz
Anstiegs-/Abfallzeit	: 30 ms Anstiegs-, 50 ms Abfallzeit
Kontrast	: 1:60 (Minimum)
Ablesewinkel	: +-45° (Horizontal), -30°, +10° (Vertikal)
Auflösung	: 40 x (RGB) x 480 (1 Pixel = R + G + B)
Pixelgröße	: 0,33 mm (H) x 0,33 mm (V)
Display-Betriebsart	: Weiße Darstellung
Hinterleuchtung	: 2 Heißkathodenröhren (wechselbar)
Gewicht	: 960 g

Stromversorgung

	Spannung	Toleranz	Strom
Logik V _{CC}	+5,0 V	+/-5%	100 mA max.
Display V _{DD}	+12,0 V	+/-5%	420 mA max.
Hinterleuchtung	+12,0 V	+/-5%	1500 mA

zulässige Umgebungsbedingungen

	Temperatur (in Grad C)	Luftfeuchtigkeit	Vibration	Schock
Betrieb	0 °C ... +40 °C	Bemerkung 1	----	----
Transport	-25 °C ... +60 °C	Bemerkung 1	Bem. 2	Bem. 3
Lagerung	-25 °C ... +60 °C	Bemerkung 1	Bem. 2	Bem. 3

Bemerkung 1: Bei Umgebungstemperaturen größer 40 °C sind 80% RH max. zulässig. Bei Umgebungstemperaturen kleiner 40 °C sind 95% RH zulässig.

Bemerkung 2: Frequenz: 10 - 57 Hz
 Frequenz: 58 - 500 Hz
 Schütteldauer: 11 min
 Fibrationsauslenkung: 0,075 mm
 Beschleunigung: 1 G
 Testdauer: 6 Stunden (für x, y und z Richtung jeweils 2 Stunden)

Messungen erfolgten nach IEC 68-2-6, IEC 68-2-47.

Bemerkung 3: größte zulässige Beschleunigung: 50 G
 Anregung: 11ms sinusförmig
 Richtung: +-X, +-Y, +-Z (3 Versuche in jede Richtung)

Messungen erfolgten nach Norm IEC 68-2-49.

26.3.2 Technische Daten Hinterleuchtung

Die Hinterleuchtung des TFT-Farb-Display beim PG 730 C besteht aus 2 Heißkathodenröhren der Fa. Toshiba (Lampen Bezeichnung HCFT[FI6EX-D/265T12/LB]). Die Lebensdauer der Heißkathodenröhren beträgt ca. 5000 H. Innerhalb der spezifizierten Röhrenlebensdauer nimmt die Leuchtstärke um ca. 50% ab. Der zum Betrieb der Heißkathodenröhren notwendige Inverter und die beiden Röhren haben eine Leistungsaufnahme von 18 W.

Technische Daten der verwendeten Heißkathodenröhre (HCFT[FI6EX-D/265T12/LB])

	Minimum	Typisch	Maximum	Einheit
Röhrenbetriebsstrom	90	100	110	mA
Röhrenbetriebsspannung	51	61	71	V
Zündspannung	---	---	360	V
Röhrenheizspannung	6,5	7,5	8,5	V
Röhrenheizstrom	95	105	115	mA
Betriebsfrequenz	20	---	60	kHz
Leistungsverbrauch	---	6,1	8,4	W

26.3.3 Anschlußbelegung des TFT-Farb-Displays

Die Stiftleiste für die Interface-Signale des TFT Farb-Displays ist mit CN1 gekennzeichnet.

Pin-Belegung Buchse CN1	Signalbezeichnung	Signalbeschreibung
1	CK	Taktleitung zum Abtasten der Datensignale
2	GND	
3	R0	Datensignal Rot (R0)
4	R1	Datensignal Rot (R1)
5	R2	Datensignal Rot (R2)
6	GND	
7	G0	Datensignal Grün (G0)
8	G1	Datensignal Grün (G1)
9	G2	Datensignal Grün (G2)
10	GND	
11	B0	Datensignal Blau (B0)
12	B1	Datensignal Blau (B1)
13	B2	Datensignal Blau (B2)
14	GND	
15	HSYNC	Horizontal-Synchronsignal
16	GND	
17	VSYNC	Vertikal-Synchronsignal
18	V _{CC}	+5-V-Stromversorgung (LCD)
19	GND	
20	V _{DD}	+12-V-Stromversorgung (LCD)
21	---	reserviert
22	---	reserviert

26.3.4 Stromversorgungsanschluß der Hinterleuchtung

Pin-Belegung der Stiftleisten CN2 und CN3 (Stiftleiste 51006-0800 von Fa. Molex).

Pin-Belegung für Buchse CN2 und CN3	Signalbezeichnung	Signalbeschreibung
1	Vlamp1	Stromversorgung Lampe Seite (A)
2	---	reserviert
3	Vlamp1	Stromversorgung Lampe Seite (A)
4	---	reserviert
5	Vlamp2	Stromversorgung Lampe Seite (B)
6	---	reserviert
7	Vlamp2	Stromversorgung Lampe Seite (B)
8	---	reserviert

Stecker CN2 versorgt die obere Lampe, CN3 die untere Lampe.

26.4 Inverter für TFT-Farb-Display

Der Inverter wandelt die Eingangsgleichspannung in eine Wechselspannung zum Betrieb der Heißkathodenröhren um. Die Inverterplatine ist im Display-Gehäuse des PG 730 C untergebracht.

26.4.1 Technische Daten des Inverters

Eingangsspannung	: 12 V (DC)
Eingangsstrom	: 1,5 A (DC)
Brennspannung	: 55 ... 71 V (AC)
Brennstrom	: max. 230 mA (je Ausgang 115 mA) (AC)
Heizspannung	: 6,5 ... 8,5 V (AC)
Heizzstrom	: max. 230 mA (AC)
Vorheizzeit	: ca. 3 s
Zündspannung	: ca. 360 V (AC)
Gesamtleistung	: max. 18 W
Frequenz	: 20 kHz ... 28 kHz

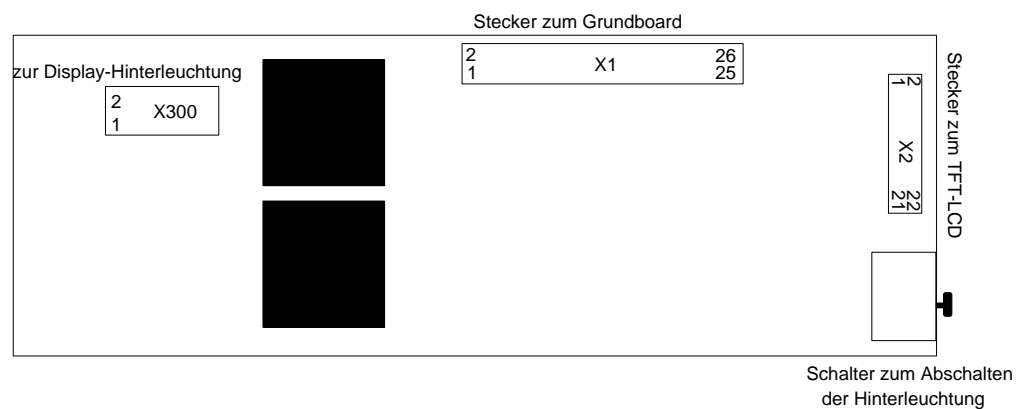


Bild 26.2: Aufbau des TFT-Display-Inverters

26.4.2 Steckerbelegung des Inverters

Stecker zur Grundplatine X1

Pin	Signal	Pin	Signal
1	VLCD (-24 V)	2	0 V
3	CLOCK Col.	4	0 V
5	GRÜN 2	6	GRÜN 1
7	GRÜN 0	8	0 V
9	BLAU 2	10	BLAU 1
11	BLAU 0	12	0 V
13	ROT 2	14	ROT 1
15	ROT 0	16	0 V
17	FEATURE CON IN 1	18	VERTIKAL CLOCK
19	HORIZONTAL CLOCK	20	+ 5 V
21	+ 12 V	22	0 V (Hinterleuchtung)
23	+ 5 V	24	0 V (Hinterleuchtung)
25	+ 12 V (Hinterleuchtung)	26	+ 12 V (Hinterleuchtung)
27	BLAU 3	28	ROT 3
29	GRÜN 3	30	0 V

Stecker zum Farb-LCD X2

Pin	Signal	Pin	Signal
1	Pixel-Clock	2	0 V
3	Rot 0	4	Rot 1
5	Rot 2	6	0 V
7	Grün 0	8	Grün 1
9	Grün 2	10	0 V
11	Blau 0	12	Blau 1
13	Blau 2	14	0 V
15	HSYNC	16	0 V
17	VSYNC	18	+ 5 V
19	0 V	20	V _{DD} (+ 12-V-Versorgung)
21	frei	22	frei

Stecker zur Hinterleuchtung X300

Pin	Signal	Pin	Signal
1	Versorgung Röhre 1	2	Heizung Röhre 1
3	frei	4	frei
5	Heizung Röhre 1	6	Versorgung Röhre 1
7	frei	8	frei
9	Versorgung Röhre 2	10	Versorgung Röhre 2
11	frei	12	frei
13	Heizung Röhre 2	14	Versorgung Röhre 2

27 Tastatur

Die PG 730 Tastatur ist in das Gehäuse des PG 730 integriert. Elektrisch ist die Tastatur im Gehäuse mit dem System Motherboard Buchse X17 verbunden. Die Tastaturschnittstelle ist erst nach Öffnen des Gehäuses zugänglich.

Nach dem Einschalten des Grundgeräts leuchten die drei grünen Anzeigen in den Tasten LOCK (30), NUM LOCK (90) und SCROLL LOCK (125) zweimal kurz auf.

27.1 Aufbau

Das Tastenfeld ist in vier Blöcke unterteilt.

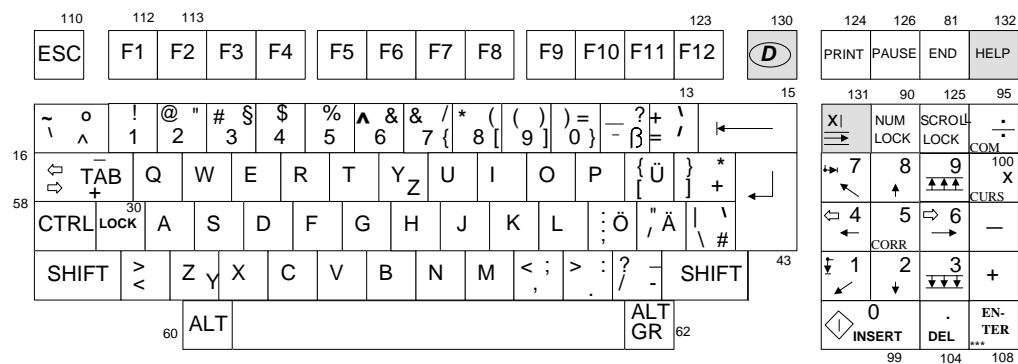


Bild 27.1: Tastatur des PG 730

Schreibmaschinentastatur (alphanumerische Tastatur)

Die Tasten des großen Feldes, linksbündig beginnend, entsprechen der Anordnung auf einer Schreibmaschine. Das Feld enthält Tasten für Buchstaben, Ziffern und Sonderfunktionen.

Zehnertastatur mit Steuerfunktionen

Der Tastenblock rechts dient zur Cursorsteuerung und Eingabe numerischer Daten.

Funktionstasten

Zwölf programmierbare Funktionstasten sind in einer Tastenreihe über dem Schreibmaschinenblock angeordnet.

Sondertasten

Die Tasten ESC, D ("Sprachen-Taste"), PRINT, PAUSE, END und HELP sind in der gleichen Zeile wie die Funktionstasten angeordnet.

Über den Funktionstasten und Sondertasten kann ein Beschriftungsstreifen eingelegt werden, der die jeweils spezifischen Funktionen dieser Tasten erläutert.

27.1.1 Schreibmaschinentastatur

Dieser Teil der Tastatur wird hauptsächlich zur Dateneingabe verwendet. Die Tasten werden wie die einer Schreibmaschine benutzt.

Groß- und Kleinschreibung

Standardeinstellung ist die Kleinschrift: betätigt man eine Buchstabentaste, so wird der Buchstabe in Kleinschrift auf dem Bildschirm angezeigt. Zusammen mit der SHIFT-Taste (links oder rechts) können Buchstaben in Großschrift wiedergegeben werden. Wird die Taste LOCK (30) aktiviert (grüne Anzeige in der Taste leuchtet), so wird permanent auf Großschrift umgeschaltet; zur Rückkehr in die Kleinschrift muß – abhängig von der Anwendung – erneut die LOCK-Taste bzw. die SHIFT-Taste betätigt werden, so daß die Anzeige erlischt.

Repeat-Funktion

Hält man eine Taste länger gedrückt, wird die Eingabe des Zeichens automatisch wiederholt. Die Betätigungszeit bis zur Wiederholung des Zeichens beträgt 0,25..1 s. Die Wiederholgeschwindigkeit (2..30 Zeichen/s) ist programmierbar (siehe Tastatur-Controller). Standardmäßig wird als Betätigungszeit bis die Wiederholung einsetzt 0,5 s und als Wiederholrate 10,9 Zeichen/s eingestellt.

Wichtige Tasten

Return (43)

Dies ist die Eingabetaste; sie wird auch als Enter- oder Returntaste bezeichnet. Wird die Eingabetaste betätigt, dann springt die Schreibmarke (Cursor) an den Anfang der nächsten Zeile. Die Schreibmarke markiert die Stelle auf dem Bildschirm, an der das nächste Zeichen geschrieben wird. Aus der gewählten Anwendung ergibt sich, wann die Eingabetaste betätigt werden muß.

Back Space (15)

Die Rücktaste bewegt die Schreibmarke um eine Marke nach links und löscht dabei das Zeichen an dieser Stelle. Die Funktion ist von der gewählten Anwendung abhängig.

TAB-Sprung (16)

Die Tabulator-Taste verschiebt den Cursor um mehrere Stellen nach rechts bzw. zusammen mit SHIFT nach links.

27.1.2 Tastenbelegung der Schreibmaschinentastatur (MS-DOS)

Voreinstellung:

Im Betriebssystem MS-DOS wird nach dem Start automatisch die internationale Tastaturbelegung aktiv (linke Bedruckung auf den Tasten). Weitere Tastaturbelegungen können durch Laden des entsprechenden Tastatortreibers benutzt werden (z.B. nationaler Zeichensatz). Über das AUTOEXEC.BAT-File lassen sich beim Booten automatisch weitere Tastatortreiber einbinden und starten; es kann immer nur ein Tastatortreiber aktiv sein. Ist ein weiterer Tastatortreiber geladen, so kann – wie nachfolgend beschrieben – der jeweils gewünschte Zeichensatz aktiv geschaltet werden (nur möglich, wenn die entsprechende Betriebssystem-Utility vorhanden ist).

Zum Umschalten auf die internationale Tastaturbelegung drückt man entweder:

die "Sprachen-Taste" 130, dabei erlischt die in der Taste eingebaute Leuchtdiode, oder:

gleichzeitig die Tasten ALT- (60), CTRL- (58) und die F1-Taste (112). Bei dieser Vorgehensweise wird die Leuchtdiode in Taste 130 - Indikator für die nationale Tastaturbelegung - ausgeschaltet.

Zum erneuten Umschalten auf die deutsche oder anderssprachige Tastaturbelegung drückt man entweder:

erneut die "Sprachen-Taste" 130; dabei wird die Leuchtdiode, die in der Taste eingebaut ist, eingeschaltet,

oder:

gleichzeitig die ALT- (60), die CTRL- (58) und die F2-Taste (113). Dabei wird die Leuchtdiode in Taste 130 wieder eingeschaltet.

Bei der deutschen Tastaturbelegung ist die Tastenbeschriftung der rechten Tastenspalte gültig.

ASCII-Code-Eingabe

Beim Betriebssystem MS-DOS können ASCII-Zeichen über den zugehörigen ASCII-Code eingegeben werden. Dies ist beispielsweise bei nicht darstellbaren Zeichen (Steuerzeichen) vorteilhaft. Dazu hält man die ALT-Taste gedrückt und gibt den dezimalen Zahlenwert des ASCII-Codes über die Zifferntasten des numerischen Blocks ein.

Akzent-Taste

Die zweitletzte Taste in der obersten Reihe des Schreibmaschinenblocks (13) ist bei *deutscher* Tastaturbelegung eine Akzenttaste. Sie ist nur wirksam in Kombination mit einer weiteren Taste.

Beispiel: Drücken Sie bei deutscher Belegung diese Taste und anschließend die A-Taste, so wird das Zeichen á eingegeben und am Bildschirm dargestellt. Drücken Sie die Akzenttaste zusammen mit der SHIFT-Taste und anschließend die A-Taste, so wird das Zeichen à eingegeben und am Bildschirm dargestellt. Auf entsprechende Weise kann man auch die Buchstaben è, ì, ò und ù mit Akzent versehen.

Zehnertastatur mit Steuerfunktionen (Cursortastatur)

Auf der rechten Seite der Tastatur befindet sich die Zehnertastatur. Dieser Tastenblock dient zur Cursorsteuerung und zur Eingabe von numerischen Daten. Die Tasten haben zwei besondere Funktionen: Sie befinden sich entweder im numerischen Modus (grüne Anzeige in der NUM LOCK-Taste leuchtet) oder im Cursorkontroll-Modus. Im Cursorkontroll-Modus (Anzeige aus) steuert der numerische Tastenblock die Cursorbewegung.

SIMATIC-spezifische Tastenbelegungen sind auf der Zehnertastatur links (dünn) aufgedruckt. Nähere Angaben zur Bedeutung werden in den SIMATIC-Kapiteln der Betriebsanleitung gemacht.

Cursor-Kontrollmodus

Im Cursor-Kontrollmodus kann der Cursor um eine Stelle in eine der vier Richtungen bewegt werden, die mit den entsprechenden Tasten angegeben werden. Soll der Cursor um mehr als eine Stelle bewegt werden, so muß die entsprechende Taste länger als 0,5 s gedrückt werden. Die Taste kann auch losgelassen und die Tastenanschläge können nach Bedarf wiederholt werden. Bei einigen BASIC-Interpretern kann der Cursor mit den Tasten zur Cursorsteuerung an jede beliebige Stelle auf dem Bildschirm bewegt werden, um die angezeigten Daten zu bearbeiten.

Folgende Cursortasten werden unterschieden:

Cursor nach oben (96), Cursor nach unten (98), Cursor nach links (92), Cursor nach rechts (102), Home (Cursor zur Anfangsposition = 91), End (Cursor zur Endposition = 93), Page up (Blättern zur vorhergehenden Seite = 101), Page down (Blättern zur nachfolgenden Seite = 103).



Diese Funktionen zur Cursorsteuerung gelten für BASIC und einige andere Anwender-Software-Pakete. Es gibt jedoch bestimmte Programme, wie "EDLIN" (den MS-DOS Zeileneditor) und MS-DOS, bei denen außer der Verschiebung des Cursors um eine Stelle nach links, um das links neben dem Cursor stehende Zeichen zu löschen, und um eine Stelle nach rechts, keine andere Cursorkontrolle unterstützt wird. Dies gilt auch bei der Eingabe von Befehlen unter anderen Betriebssystemen.

Numerischer Modus.

Mit der Taste "NUM LOCK" (90) kann man die Zifferntasten dieses Blocks einschalten (Numerischer Modus). Im numerischen Modus leuchtet die Anzeige der Taste "NUM LOCK". Die Zifferntasten des numerischen Blocks erleichtern die Eingabe von Zahlenkolonnen. Um in den Cursorkontroll-Modus zurückzuschalten, drückt man erneut die Taste "NUM LOCK".

Ein "kurzzeitiges" Umschalten in den jeweils anderen Modus ist durch zusätzliches Betätigen der SHIFT-Taste möglich.

27.1.3 Funktionstastenbelegung bei MS-DOS

Zwölf programmierbare Funktionstasten sind in einer Tastenreihe über dem Schreibmaschinentastentastenfeld angeordnet.

Unter dem Betriebssystem MS-DOS werden die Funktionstasten F1 - F5 im wesentlichen zur Editierung benutzt. Nachfolgend wird ihre Funktion erläutert.

Jeder Eingabebefehl an das Betriebssystem MS-DOS wird in einem Eingabespeicher (template) hinterlegt. Der Inhalt des Eingabespeichers lässt sich mit den Funktionstasten wieder ganz oder teilweise auf dem Bildschirm ausgeben. Der Inhalt dieses Speichers wird bei Eingabe einer neuen Befehlszeile überschrieben.

Funktionstaste F1

Bei jeder Betätigung von F1 wird ein Zeichen aus dem Eingabespeicher angezeigt. Dasselbe Ergebnis kann mit der Taste " →" erzielt werden.

Beispiel: Geben Sie "Programmier Gerät" über die Tastatur ein. Betätigen Sie F5, um die Zeichen in den Eingabespeicher zu kopieren. Nun betätigen Sie die Taste F1 17mal. Sämtliche Zeichen des Textes werden - eines nach dem anderen am Bildschirm angezeigt.

Funktionstaste F2

Wird die Taste F2 betätigt und ein Zeichen eingegeben, so werden sämtliche Zeichen vor dem angegebenen Zeichen angezeigt. Das angegebene Zeichen und die nachfolgenden Zeichen werden nicht angezeigt.

Beispiel: Betätigen Sie die Taste F2, und geben Sie "G" ein. Dadurch wird sofort "Programmier" auf dem Bildschirm angezeigt. Wird nun die Taste F3 betätigt, so wird wieder das Wort "Gerät" hinter dem Wort "Programmier" angezeigt.

Funktionstaste F3

Mit der Taste F3 werden sämtliche Zeichen aus dem Eingabespeicher auf den Bildschirm kopiert.

Funktionstaste F4

Mit dieser Taste werden sämtliche Zeichen vor einem angegebenen Zeichen gelöscht. Das angegebene Zeichen und alle darauf folgenden Zeichen bleiben erhalten.

Beispiel: Betätigt man die Taste F4 und gibt "G" ein, so scheint nichts geschehen zu sein. Betätigt man nun die Taste F3, wird "Gerät" auf dem Bildschirm ausgegeben. Der Text "Programmier" wurde aus dem Eingabespeicher gelöscht.

Funktionstaste F5

Durch Betätigen der Taste F5 werden sämtliche Zeichen in den Eingabespeicher kopiert, ohne sie zur Verarbeitung an den Computer zu senden.

Beispiel: Geben Sie im Anschluß an die DOS-Systemanzeige > "Programmier Gerät PG 730" ein und betätigen Sie die Taste F5. Am Ende der Zeile wird nun das Zeichen "@" angezeigt. Der Cursor springt an den Anfang der nächsten Zeile. Nun betätigen Sie die Taste F3. Alle Zeichen im Eingabespeicher werden angezeigt.

Anwendungsbeispiel:

Sie wollen das Programm zum Prüfen von Disketten laden. Wegen eines Tippfehlers haben Sie jedoch CHDKSK statt CHKDSK eingegeben.

Drücken Sie nun zweimal die F1-Taste. Die Zeichen CH werden am Bildschirm ausgegeben.

Drücken Sie die Delete-Taste des Cursorblocks. Die Bildschirmanzeige ändert sich nicht, jedoch wird das Zeichen D im Eingabespeicher gelöscht.

Drücken Sie die F1-Taste. Das Zeichen K wird ausgegeben.

Drücken Sie nacheinander die INSERT-Taste, die D-Taste und wieder die INSERT-Taste.

Damit fügen Sie das Zeichen D ein.

Drücken Sie nun die F1- oder die F3-Taste. Am Bildschirm steht der korrigierte Befehl, den Sie sofort eingeben können, indem Sie die Return-Taste drücken.

27.1.4 Weitere Editiertasten bei MS-DOS

Neben den fünf Funktionstasten können noch weitere Tasten für die Editierung bei MS-DOS benutzt werden:

INSERT (99)

Mit INSERT werden Zeichen an beliebiger Stelle in der Zeile eingefügt. Die "INSERT"-Taste befindet sich im unteren Teil des numerischen Tastenblocks.

Beispiel: Geben Sie "Programmier Gerät" ein. Betätigen Sie F5, um diese Zeichen in den Eingabespeicher zu kopieren. Nun betätigen Sie F1, bis "Programmier" auf dem Bildschirm angezeigt wird. Nun betätigen Sie INSERT einmal und geben "SIMATIC" ein. Darauf betätigen Sie die INSERT-Taste erneut, um den Einfügemodus zu beenden. Wird F3 betätigt, so wird "Programmier SIMATIC Gerät" auf dem Bildschirm ausgegeben.

DELETE (104)

Mit der DEL-Taste werden Zeichen aus dem Eingabespeicher gelöscht, obwohl sich der Cursor auf dem Bildschirm nicht bewegt. DEL befindet sich am unteren Ende des numerischen Tastenblocks.

Beispiel: Betätigen Sie wie im obigen Beispiel F1, bis "Programmier" auf dem Bildschirm angezeigt wird. Nun betätigen Sie die DEL-Taste sieben Mal, bevor Sie F3 betätigen. Darauf wird "Programmier Gerät" auf dem Bildschirm ausgegeben. Der Text "SIMATIC" wurde aus dem Eingabespeicher gelöscht.

ESC (110)

Mit der ESC-Taste wird die aktuelle Zeile gelöscht. Die Zeichen im Eingabespeicher bleiben jedoch unverändert.

Beispiel: Während "Programmier Gerät" angezeigt wird, betätigen Sie die ESC-Taste. Der Cursor geht in die nächste Zeile. Nun können entweder neue Daten eingegeben, wobei die alten Daten aus dem temporären Speicherbereich gelöscht werden, oder Sie können die Taste F3 betätigen, um "Programmier Gerät" erneut ausgeben zu lassen.

27.1.5 Sondertasten

PrtSc (100)

Wird PrtSc mit der SHIFT-Taste betätigt, so werden sämtliche auf dem Bildschirm stehenden Daten auf dem Drucker ausgedruckt (nur unter dem Betriebssystem MS-DOS). Wird diese Taste zusammen mit der CTRL-Taste benutzt, so wird jede Zeile - wie über die Tastatur eingegeben - ausgedruckt.

Control (58)

Die CTRL-Taste wird für Steuerfunktionen benutzt, die in den Beschreibungen der Betriebssysteme und der Anwenderprogramme erklärt sind. Eingaben mit der CTRL-Taste bestehen aus Tastenkombinationen.

Alternate (60)

Der ALT-Taste sind wie der CTRL-Taste Funktionen zugeordnet, die im jeweiligen Betriebssystem oder Anwenderprogramm festgelegt sind. Auch die ALT-Taste ist eine Kombinationstaste.

Werden die ASCII-Codes (ASCII-Äquivalent für Buchstaben, Zahlen und andere Symbole) über die Zehnertastatur eingegeben, während die ALT-Taste gedrückt gehalten wird, so wird das entsprechende ASCII-Zeichen auf dem Bildschirm ausgegeben (nur unter dem Betriebssystem MS-DOS). Auf diese Weise lassen sich viele ASCII-Zeichen, die nicht direkt über die Schreibmaschinentastatur eingetippt werden können, eingeben.



Unter keinen Umständen wird der Computer durch Betätigen einer bestimmten Tastenkombination beschädigt.

ALT GR (62)

Diese Taste wirkt wie die ALT-Taste (60); zusätzlich können durch sie weitere Tasten-Codes erzeugt werden. Bei MS-DOS 3.3 (deutsche Tastatur) erhält man bei folgenden Tastenbetätigungen zusammen mit ALT GR (62):

2 (3)	²	(hoch zwei)	ß (12)	\	(Backslash)
3 (4)	ⁿ	(hoch n)	Q (17)	@	(Klammeraffe)
7 (8)	{	(geschweifte Klammer auf)	+ (28)	~	(Tilde)
8 (9)	[(eckige Klammer auf)	M (52)	μ	(My)
9 (10)]	(eckige Klammer zu)	< (61)		(senkrechter Strich)
0 (11)	}	(geschweifte Klammer zu)			

**CTRL+ ALT + DEL
(58) (60) (104)**

Mit dieser Tastenkombination (CTRL-, ALT- und DEL-Taste – (30) (58) (104) – gleichzeitig drücken!) läßt sich das PG rücksetzen. Alle Programme werden abgebrochen. Das Betriebssystem wird neu geladen und gestartet. Dies kann in etwa mit dem Ausschalten und erneutem Einschalten des Gerätes verglichen werden.

SCROLL LOCK (125):

Die Funktion ist abhängig vom Anwenderprogramm. Es werden z.B. mit den Pfeiltasten Fensterausschnitte statt der Schreibmarke verschoben.

PRINT SCREEN (124)

Es wird eine Routine gestartet, die den Bildschirminhalt ausdruckt.

PAUSE (126)

Die Pause-Taste startet eine Schleife, in der auf eine Tastenbedienung gewartet wird. Auf diese Weise kann eine Operation temporär unterbrochen werden, z.B. die Ausgabe von Listen angehalten werden.

End (81)

Die Funktion ist abhängig vom Anwenderprogramm. Es wird z.B. eine Operation beendet.

HELP (132)

Sonderfunktion beim PG 730, z.B. Help-Maske aufrufen.

Enter (108)

Übernahme-Taste.

⇒ (131)

Sonderfunktion beim PG 730, z.B. Netzwerk oder Zeile einfügen.

x | (131 mit SHIFT)

Sonderfunktion beim PG 730, z.B. Netzwerk oder Zeile löschen.

27.2 Ablauf der seriellen Datenübertragung von der Tastatur

Die Daten von der Tastatur werden in einen seriellen Datenstrom umgewandelt und an das System übertragen.

Das zu übermittelnde Datenformat besteht aus: 1 Startbit, 8 Datenbits, 1 Paritybit (ungerade Parität), 1 Stoppbit. Die Datenübertragung erfolgt halbduplex und wird stets vom in der Tastatur erzeugten Taktsignal (CLK) synchronisiert.

Am Ende jeder Übertragung bleibt die Taktleitung noch für eine bestimmte Zeit auf Low-Pegel (1). Während dieser Zeit sperrt das Grundgerät den Datenverkehr; wenn dann Daten- und Taktleitung wieder High-Pegel einnehmen (2) = "idle state", kann weiterer Datenverkehr erfolgen. Im Bild ist der typische Verlauf des Daten- und Takt (CLK)-Signals dargestellt.

Beim Auftreten eines Parityfehlers fordert die Tastaturschnittstelle auf dem Systemboard die Tastatur auf, das Zeichen noch einmal zu senden. Ist das empfangene Zeichen wieder fehlerhaft, dann wird in den Ausgabepuffer das Zeichen FF Hex geschrieben und das Parity-Fehlerbit im Statusregister gesetzt.

Die Übertragung eines Bytes von der Tastatur wird zeitlich überwacht. Dauert eine Übertragung länger als 2 ms, wird in den Ausgabepuffer das Zeichen FF Hex geschrieben und das Receive-Time-Out-Bit im Statusregister gesetzt. Eine Wiederholung der Zeichenübertragung findet in diesem Fall nicht statt.

Vom Tastatur-Controller auf dem Motherboard wird anschließend der empfangene Tasten-Scan-Code in den System-Scan-Code zur weiteren Verarbeitung übersetzt.

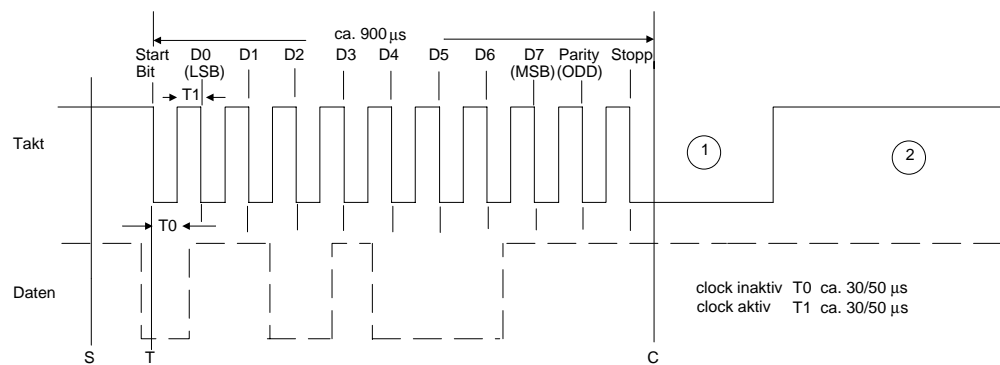


Bild 27.2: Verlauf von Daten- und Taktsignal

27.3 Tastencodes

Zur sicheren Identifizierung der Tasten wurde jede Taste mit einer fortlaufenden Nummer versehen (Key Number).

110	112	113	114	115	116	117	118	119	120	121	122	123	130	124	126	81	132				
1	2	3	4	5	6	7	8	9	10	11	12	13	15	131	90	125	95				
16	17	18	19	20	21	22	23	24	25	26	27	28	43	91	96	101	100				
58	30	31	32	33	34	35	36	37	38	39	40	41		42	92	97	102	105			
44	45	46	47	48	49	50	51	52	53	54	55	57	60	61			62	93	98	103	106
														99	104	108					

Bild 27.3: Zuordnung Tastennummer

Die Tastatur verfügt über 3 Scan-Code-Sets. Diese sind vom PG aus umschaltbar. Standardmäßig wird Code-Set 2 aktiviert.

Beim Betätigen einer Taste werden zwei Arten von Codes von der Tastatur zum PG gesendet, die sogenannten Make- und Break-Codes. Bild 27.4 zeigt die Make-Codes aus dem Standard Scan-Code-Set (Set 2).

76	05	06	04	0C	03	0B	83	0A	01	09	78	07	1)	2)	3)	E069	18				
0E	16	1E	26	25	2E	36	3D	3E	46	45	4E	55	66	60	77	7E	E04A				
0D	15	1D	24	2D	2C	35	3C	43	44	4D	54	5B	5A	6C	75	7D	7C				
14	58	1C	1B	23	2B	34	33	3B	42	4B	4C	52		5D	6B	73	74	7B			
12	61	1A	22	21	2A	32	31	3A	41	49	4A	59	11	29			E011	69	72	7A	79
														70	71	E05A					

Bild 27.4: Zuordnung Tasten-Make-Codes aus Set 2

1) wenn LED=ein
111405

Led=aus
111406

2) E012E07C
3) E11477E1F014F077

27.3.1 Make-Code

Beim Drücken einer Taste wird ein 8-bit-Abtast-Code (Make-Code) gesendet. Bei festgehaltener Taste wird zyklisch immer der Make-Code gesendet.

27.3.2 Break-Code

Beim Loslassen einer Taste wird der zugehörige "Break-Code" gesendet; er besteht aus einem Vorabzeichen F0 (H) und dem "Make-Code".

Die Unterscheidung zwischen "Make-" und "Break-Code" dient zur Einleitung des Repetierens: Bleibt eine Taste über die Wartezeit von ca. 0,5 s hinausgedrückt, so setzt das automatische Wiederholen dieses Zeichens ein (nur "Make-Code" wird gesendet), solange bis diese Taste losgelassen wird. Bei mehreren betätigten Tasten repetiert nur die zuletzt gedrückte Taste. Außer der PAUSE- und D-Taste repetieren alle Tasten. Die LOCK-, SCROLL LOCK-, und NUM LOCK-Taste sind in ihrer Funktion ebenfalls nicht repetierend.

Die Scan-Codes werden im Grundgerät (speziell im Tastatur-Controller) mittels einer Tabelle in den System-Code übersetzt. Die Systemcodes stehen dem Tastaturreiber (Bestandteil des Betriebssystems) zur weiteren Verfügung.

27.4 Technische Daten der Tastatur

Übertragungsgeschwindigkeit	: 11800 bit/s
Stromversorgung	: + 5 V/max. 100 mA (typ. 22,59 mA, 4 LEDs aus...ein)
Reset-Zeit beim Einschalten	: ca. 0,5 s
Signal-Logik	: low 0,4 V high 2,4 V
Zeit Tastendruck bis Start der Auto-Repeat-Funktion	: programmierbar
Auto Repeat-Funktion	: programmierbar
Anzeigen	: 4 Leuchtdioden (LOCK, NUM LOCK, SCROLL LOCK, D ("Sprachen-Taste"))
Datenformat	: 1 Startbit, 8 Datenbits, ungerade Parität, 1 Stopbit

27.5 Steckerbelegung Buchse X17 Tastaturanschluß

Zuordnung der Pin-Nr. zum Signalnamen:

Pin 1	GND
Pin 2	reserviert
Pin 3	NC
Pin 4	reserviert
Pin 5	KBD +5 V
Pin 6	KBD_CLK
Pin 7	KBD_DATA
Pin 8	reserviert
Pin 9	NC
Pin 10	NC

Stichwortverzeichnis

I

0WS	18-10
146818	2-4, 2-14
16450	2-6
80386SX	2-1, 2-7, 10-1
80387SX	2-1, 2-9, 5-1
8042	17-1
8237	2-4, 8-1
8254	2-4 - 2-5, 11-1
8259A	2-4
82C106	13-2, 14-1, 15-5, 16-1
8742	17-1
9026	19-2
9032	19-2
90C66	19-2

A

Acknowledge	14-3
Adreßplan	
ARCNET	19-4
COM 1	15-4
COM 2	16-2
Graphikprozessor	23-20
Speicher	4-1
Tastatur	17-14
AEN	18-10
Akustische Meldungen	7-32
Akustische Signale	11-1
ARCNET	19-1, 19-3
Adressen	7-41
Rekonfiguration	19-2
Arithmetikprozessor	5-1
80387SX	5-1
ASIC	
Konfiguration	9-1
ASIC8	13-2
Auto Feed	14-4
AUX	15-23

B

BALE	18-8
Baudrate	15-7
Baugruppen	12-5
Bildschirme	1-2
BIOS	2-10, 7-1
ARCNET	19-5
booten	7-42
Bootvorgang	7-2
Bussignale	18-6
BUSY	5-8, 14-4
BUSY LED	24-10

C

Cache	24-10
cassette	7-23
CCITT	16-5, 22-2
Centronics	14-1
CMOS-RAM	2-15
Konfigurationsspeicher	2-21, 12-5
Color-Lookup-Table	23-21 - 23-22, 23-25, 23-48, 23-54, 23-59
COM 1	15-1
Adreßplan	15-4
Lage	13-1
COM 2	16-1
Lage	13-1
COMBO I/O-Chip	2-1, 2-6, 9-1, 13-2, 14-1, 15-5, 16-1, 17-1
communication	7-21
Coprozessor	2-9
CPU	2-7
CTRL-P	14-9

D

DACK	18-10
Data	14-3
Datenbus	2-7
Datenformat	15-6
Datenübertragung	15-9
Device-Treiber	2-10
digital input register	24-18
Direkt-Steckverbinder	18-1
Diskettensteuerung	24-1
Kommando	24-5
Register	24-2
DMA	2-4, 2-8, 8-1
Kanäle	8-1
DRQ	18-9
Drucker	7-29, 14-1

E

ECC	24-10, 24-13
EGA	7-7
EGA-Mode	23-55
EGB	1-5
Einstellung SETUP	7-36
equipment flags	7-12
ERROR	14-4
ET	19-9, 19-11
ARCNET	19-11
ET-Bit	
ARCNET	19-9, 19-11
EXCEPTION	5-6
Extended Memory	7-39

F

Farb-Display	23-25, 23-29, 23-48, 26-7, 26-12
Farbgraphik-Anschaltung	
Interrupt	23-11
Farbpalette	23-23
Fast-Page-Mode	2-12

FAST-PRINT	23-31
Fehler	7-32
Festplattensteuerung	24-10
Kommando	24-19
FLEXNET	7-41
Floppy-Disk	
Abschlußwiderstand	20-3
Brücken	20-8
Stecker	20-4
formatieren	24-21
FTARC	7-41
ARCNET	19-5

G

graphics	7-10
Graphikmodus	23-54
Graphikprozessor	23-6
Grundplatine	2-1
GSP	23-6
GSP-INTRES	23-21
GSP-Port	23-21, 23-24, 23-25
GSP-Register	23-7
GSP-Schnittstellen	23-27
GSP-Video-RAM	23-20, 23-24, 23-26
GSP-Video-Timing	23-13

H

Hardcopy	14-9
Hardware-Reset	
ARCNET	19-7
Heißkathodenröhre	26-9, 26-7, 26-12
HIGRAPH	23-1, 23-6
Hinterleuchtung	26-2 - 26-3, 26-9, 26-11
HUB	19-1

I

I/O CHCK	18-8
I/O CS16	18-11
I/O-Adressen	
Winchester-Laufwerk	24-12
I/O-Programmierung	2-30
I/OR	18-9
I/OW	18-9
IDENT	12-1, 12-5
Ident-Code	12-4
Identifikation	12-1
Funktion	12-2, 12-6
Programmbeispiel	12-9
Identsystem	18-5
Initialisierung	
ARCNET	19-5
INT 0B	16-3
INT 10	7-11
INT 12	7-13
INT 14	7-21
INT 15	7-23
INT 16	7-28
INT 17	7-29
Interrupt	2-4, 7-1, 7-3, 10-1, 10-8
Hardware	10-8
Maskierung	10-3
Priorität	10-2
Programmierung	10-3
Vektortabelle	10-4, 10-8
INTR	
Hardware	10-1
Inverter	26-4, 26-12
IRQ	10-1, 18-8
IRQ 1	17-1
IRQ 5	19-3
ISA-Bus-Controller	2-1, 2-4, 9-1

K

Knoten	19-2
Konfiguration	9-1
ARCNET	19-7
Konfigurationsregister	2-21

L

LA17..23	18-7
Lautsprecher	2-6, 4-4, 11-1
Leitung	
Drucker	15-23
Linienstrom	15-21
Look Ahead Read Buffer	24-10
Low Level Format	24-21
LPT 1	14-9
Lage	13-1
LWL	19-1

M

MASTER	18-11
Maus	13-1
Anschluß	16-1
Mausschnittstelle	
Adressen	16-2
MEM CS16	18-11
memory	7-13
MEMR	18-9
MEMW	18-9
MODE	15-22
Modem	13-1, 15-2
Modemsignale	15-12
Monitor	23-3, 23-30, 23-31
Monitorauflösung	23-42
MSNET	7-41
Multisektortransfer	24-22

N

Netzausfall	3-2
Netzteil	3-1
Stecker	3-5
Strombedarf	3-4
Netzwerk	19-1
NMI	2-30, 5-3, 10-5
NOVELL	7-41
NUM LOCK	7-42
Numerikprozessor	2-9

O

OSC	18-11
-----	-------

P

Page-Interleave	2-12
parallele Schnittstelle	14-1
parallele Schnittstelle	
Adressen	14-2
Parallelport	2-6
Parallelschnittstelle	2-37
Parameter	
COMBO I/O-Chip	9-5
ISA-Bus-Controller	9-5
System-Controller	9-4
Paritätsfehler	10-5
Paritätsprüfung	2-13
PE	14-4
Peripherie	4-1
Steckplatz	18-1
PG 730	1-1
PG 730 C	1-1
PG-PG-Kopplung	19-1
PGNET	7-41
Pieptöne	7-32
Port 01F0 H	24-12
Port 01F1 H	24-13
Port 01F2 H	24-14
Port 01F3 H	24-14

Port 01F4 H	24-14
Port 01F5 H	24-14
Port 01F6 H	24-15
Port 01F7 H	24-16, 24-19
Port 03F6 H	24-17
Port 03F7 H	24-18
Port 80 H	7-32
Port B	4-4, 10-6
Port C	4-4, 12-3
Port D	4-5, 23-5
POST	7-32
Power Good	3-2, 10-5
PRINT	14-9
PRN	14-9, 15-22
Programmbeispiel	
Drucker	14-10
Graphikprozessor	23-33
Identifikation	12-9
Uhr	2-31
V.24	15-24
Programmierspannung	25-4
protected mode	2-7, 2-9, 5-6

R

RAM	2-12, 2-15
real mode	2-7, 2-9, 5-6
Refresh	2-5, 2-8, 2-12, 18-10
RESET	3-2, 18-7
ARCNET	19-5
RIM	19-2
ROM-BIOS	5-6
RS 232	7-21
RS232	7-22

S

S/W-LCD-Display	23-25, 23-30, 23-49, 26-1
S/W-Display	23-2, 23-30
SA0..19	18-6
SBHE	18-10

Scanner	14-1	Floppy	20-4, 22-18
Schnittstelle		Grundplatten-Versorgung	22-12, 22-16
Centronics	14-2	Laufwerksversorgung	20-7, 22-20
COM 1	15-1	LPT 1	14-3, 22-3
COM 2	16-1	Maus	16-5, 22-2
Drucker	14-2	Modem	15-20
Erweiterungsperipherie	18-1, 18-12	Monitorversorgung	3-5
Interrupt	15-5, 15-11	Netzteil	3-5
Maus	16-1	Parallel	14-3, 22-3
Modem	15-1	Speichererweiterung	22-8
Parallel	14-2	TTY	15-21, 22-1
Tastatur	17-1, 17-14	V.24	15-20, 22-1
V.24	15-1	Strobe	14-3
Schnittstellen	2-37	Strombedarf	3-4
SD0..15	18-7	SYSCLK	18-7
Seitenregister		System-Controller	2-1, 2-4, 9-1
DMA	8-4	Systembus	
Selbsttest	24-10	Signalbeschreibung	18-6
SETUP	2-17, 7-35	Steckerbelegung	18-2, 22-6
Shadow-RAM	2-26	Systembuskonfiguration	4-4
Slave-Controller	24-10	Systemhochlauf	7-42
SMEMR	18-9	Systemspeicher	7-2
SMEMW	18-9		
Softwarereset		T	
ARCNET	19-7	T/C	18-10
Speicher	2-10, 4-1	Tastatur	7-28
batteriegepuffert	7-35	Adressen	17-14
CMOS	2-15	Ausgabepuffer	17-15
SETUP	7-39	Datenübertragung	27-11
Uhr	2-15	Eingabepuffer	17-15
Speicher		Funktionsblöcke	27-1
batteriegepuffert	2-15	Indikatoren	17-13
Speichererweiterung	2-10, 22-8	Kommandos	17-10
Speicherschutz	2-7	Sondertasten	27-9
Spooler	15-22	Tastaturbelegung	17-4
Stecker	3-5	Tastaturkennung	17-9
AT-Bus	18-2, 22-6	Tastaturschnittstelle	17-1
Centronics	14-3, 22-3	Taste D	17-7
COM 1	15-20, 22-1	Tastenfeld	27-1
COM 2	16-5, 22-2	Timer	2-5, 11-1
Festplatte	21-3	Token	19-2

Tonerzeugung 11-1
 translate mode 24-22
 TTY 2-37, 13-1,
 15-21

U

UART 2-6
 Uhr 2-14, 7-30
 Blockschaltbild 2-14
 Programmbeispiel 2-31
 Register 2-18
 Umgebungsbedingungen 1-5

V

V.24 15-1
 VGA 23-1, 23-42
 VGA-BIOS 23-50, 23-54
 VGA-Graphik 23-51
 VGA-Mode 23-52, 23-54,
 23-57 - 23-58
 VGA-Textmodus 23-52
 video 7-8
 virtual 8086 mode 2-7

W

Wandler 26-4
 Wartetakt 2-7
 Winchester 7-35, 24-10
 Controller 24-11
 Format 24-21
 Interrupt 24-17
 Kommandoregister 24-11
 Kopfnummer 24-15
 Lesebetrieb 24-20
 Multisektortransfer 24-11
 Parametrierung 24-22
 Recalibrate 24-20
 Reset 24-17
 Seek 24-20

Statusregister 24-17
 Taskfile 24-12
 Track 0 24-13
 Zylinder Nummer 24-14
 Winchester-Laufwerk
 Stecker 21-3
 Winchester-Schnittstelle 24-22

Z

Zeichensatz 23-51
 Zeitgeber 2-5, 2-12
 Blockschaltbild 2-5